



**ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ ΙΔΡΥΜΑ ΚΡΗΤΗΣ**

---

**ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ  
ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΙΑΣ**

**ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ**

---

**ΚΑΤΑΣΚΕΥΗ ΣΥΣΤΗΜΑΤΟΣ ΡΥΘΜΙΣΗΣ  
ΘΕΡΜΟΚΡΑΣΙΑΣ ΣΕ ΦΟΥΡΝΟ 500<sup>0</sup>C ΜΕ  
ΜΙΚΡΟΕΛΕΓΚΤΗ Η MICROCONVERTER**

**ΣΠΟΥΔΑΣΤΗΣ**

**ΜΟΝΔΑΝΟΣ ΠΑΝΑΓΙΩΤΗΣ**

**ΕΙΣΗΓΗΤΗΣ**

**ΜΗΝΑΔΑΚΗΣ ΙΩΑΝΝΗΣ**

*ΕΥΧΑΡΙΣΤΙΕΣ*

*ΤΟΝ ΚΑΘΗΓΗΤΗ ΜΟΥ ΓΙΑΝΝΗ ΜΗΝΑΔΑΚΗ*

*Ευχαριστώ για την πολύτιμη βοήθεια τους*

ΘΑΝΑΣΗ ΤΟΥΤΟΥΝΤΖΗ

*Και τους φίλους για την αμέριστη συμπαράστασή τους*

ΓΙΩΡΓΟ ΤΣΙΧΛΗ

ΒΑΓΓΕΛΗ ΖΕΑΚΗ

ΝΙΚΟ ΤΖΑΤΖΑΛΑ

ΔΗΜΗΤΡΗ ΘΕΟΔΟΣΟΠΟΥΛΟ

ΔΗΜΗΤΡΗ ΔΕΛΑΠΟΡΤΑ

ΓΙΩΡΓΟ ΣΤΙΒΑΚΤΑΚΗ

ΘΟΔΩΡΗ ΣΩΤΗΡΙΟΥ

ΔΗΜΗΤΡΗ ΡΟΥΜΕΛΙΩΤΗ

## ΕΙΣΑΓΩΓΗ

Η πτυχιακή μου εργασία είναι η αναζήτηση και η γνωριμία με τα σύγχρονα μετρητικά κυκλώματα και η διεξαγωγή μιας εφαρμογής , μέτρηση θερμοκρασίας , με ένα μικρομετατροπέα .

Τα νέα μετρητικά συστήματα που μας κίνησαν το ενδιαφέρον και αποφασίσαμε να ασχοληθούμε, ήταν οι μικρομετατροπείς ADuC , τα οποία είναι η συγχώνευση σε ένα τσιπ ενός μικροελεγχτή , ενός ή περισσότερων μετατροπέων αναλογικού σε ψηφιακό σήμα , ενός ή περισσότερων μετατροπέων ψηφιακού σε αναλογικό σήμα και ενισχυτών των σημάτων εισόδου .

Ο μικρομετατροπέας που αποφασίσαμε να χρησιμοποιήσουμε είναι ο ADuC824 της Analog Devices ο οποίος έχει δύο μετατροπείς σήματος αναλογικού σε ψηφιακό , έναν μετατροπέα από ψηφιακό σε αναλογικό , έναν μικροελεγχτή με πυρήνα 8051 και ενισχυτές σίγμα δέλτα στις εισόδους του αναλογικού σήματος .

Οι προδιαγραφές της εφαρμογής την οποία θέσαμε ως στόχο δόθηκαν από έναν εργαστηριακό φούρνο ο οποίος έφτασε στα χέρια μας προς επισκευή στο εργαστήριο κατασκευών την περίοδο που έκανα την πρακτική μου άσκηση και οι οποίες ήταν ο έλεγχος μιας θερμοκρασίας ως 500 0C για συγκεκριμένο χρόνο και με ακρίβεια της τάξης του βαθμού κελσίου . Όμως λόγω της δυσκολίας που αντιμετωπίσαμε στην εύρεση αισθητηρίου τόσο υψηλής θερμοκρασίας αλλά και την κατασκευή συστήματος που θα είχε την δυνατότητα να φτάνει σε τέτοιες θερμοκρασίες καταλήξαμε στον έλεγχο μιας χαμηλής θερμοκρασίας η οποία στηρίζεται ακριβώς πάνω στην ίδια λογική .

Η διεκπεραίωση της πτυχιακής έγινε σε τέσσερα στάδια

- Την έρευνα για το hardware και τον εντοπισμό software κατάλληλο για τον προγραμματισμό του
- Την κατασκευή ενός βασικού hardware
- Τον προγραμματισμό του μικρομετατροπέα
- Και την σύνταξη της πτυχιακής

Κατά το πρώτο στάδιο αντιμετώπισα αρκετές δυσκολίες γιατί οι πληροφορίες τόσο του λογισμικού όσο και σχεδίων κάποιας πλακέτας επικοινωνίας με τον Η/Υ μέσω της εταιρίας ήταν ελλιπής .

Στο δεύτερο βήμα αν και δεν περίμενα να αντιμετωπίσω ιδιαίτερα προβλήματα , λόγω του ότι έχω διδαχτεί τα προγράμματα σχεδιασμού πλακετών , τελικά η οργάνωση και η ολοκλήρωση ενός τόσο μεγάλου σχεδίου μου έδειξε πως η μεθοδικότητα στην σχεδίαση είναι κάτι τόσο υποτιμημένο αλλά και τόσο αναγκαίο .

Το τρίτο μέρος της πτυχιακής δεν μου δημιουργείσε ιδιαίτερο πρόβλημα πλην του ότι έπρεπε να μάθω τόσο καινούρια προγράμματα όσο και καινούργια λογική προγραμματισμού λόγω της διαφορετικής αρχιτεκτονικής του μικροεπεξεργαστή του .

Το τελευταίο στάδιο ήταν αυτό της συγγραφής του βιβλίου της πτυχιακής μας εργασίας.

Τα προβλήματα και οι παραλείψεις δεν έλειψαν και αυτό τελικά είχε μάλλον ευεργετικές συνέπειες (παρά τον πολύ χρόνο που διέθεσα γι' αυτά), αφού διδάχτηκα πολλά που ίσως να μην μου δινόταν η ευκαιρία να τα μάθω αν δεν είχαν παρουσιαστεί στην εργασία αυτή.

Στα κεφάλαια που ακολουθούν θα προσπαθήσω να μεταδώσω στον αναγνώστη την γνώση που απόκτησα για την υλοποίηση τέτοιου είδους θερμικών συστημάτων αυτομάτου ελέγχου και την γνώση που απέκτησα για τον τρόπο που πρέπει να δουλέψει κανείς για να περατώσει τέτοιου είδους εργασίες.

# Ο ΕΛΕΓΧΟΣ ΤΗΣ ΘΕΡΜΟΚΡΑΣΙΑΣ

## ΘΕΩΡΗΤΙΚΗ ΜΕΛΕΤΗ

### Γενικά

Τα συστήματα γενικότερα χωρίζονται σε δύο μεγάλες κατηγορίες. Στα γραμμικά και στα μη γραμμικά. Γραμμικά συστήματα είναι αυτά που περιγράφονται από μαθηματικά μοντέλα της μορφής  $Y = Ax + Bz$ , όπου  $A$  και  $B$  είναι σταθερές ή συντελεστές της εξίσωσης και  $x, z$  σήματα εισόδου. Οι συντελεστές αυτοί με την σειρά τους, ανάλογα με το αν είναι σταθεροί ή χρονικά μεταβλητοί, χωρίζουν τα γραμμικά συστήματα σε γραμμικά- χρονικά αμετάβλητα και γραμμικά- χρονικά μεταβλητά.

Για να χαρακτηρίσουμε ένα θερμικό σύστημα όπως και το δικό μας σαν γραμμικό, θα πρέπει η μάζα του να είναι ομογενοποιημένη σε σχέση με την θερμοκρασία του. Από τους νόμους της χημείας γνωρίζουμε ότι η μάζα των αερίων από την φύση της δεν είναι ομογενοποιημένη ως προς την θερμοκρασία, λόγω της αδράνειας που παρουσιάζουν. Αν μπορούσαμε να δούμε την μάζα ενός αερίου που βρίσκεται μέσα σε ένα δοχείο θα παρατηρούσαμε ότι η ψυχρότερη μάζα βρίσκεται στο κάτω μέρος αυτού και όσο ανεβαίνουμε προς την κορυφή να συναντάμε όλο και πιο θερμές μάζες. Το γεγονός λοιπόν ότι το αέριο μας δεν έχει την ίδια θερμοκρασία σε όλη την μάζα του, χαρακτηρίζει το σύστημα μας ως μη γραμμικό.

Μία πολύ καλή λύση την οποία και εφαρμόζουμε για να ομογενοποιήσουμε την μάζα του αερίου και να έχουμε τελικά την ίδια θερμοκρασία σε αυτήν, είναι να χρησιμοποιήσουμε κάποιο τρόπο ανάδευσης. Σε τέτοιες περιπτώσεις χρησιμοποιούμε ένα ηλεκτρικό ανεμιστήρα μικρής ισχύος. Έτσι καταφέρνουμε να κάνουμε το σύστημά μας σχεδόν γραμμικό.

## **ΠΑΡΑΓΟΝΤΕΣ ΠΟΥ ΕΠΗΡΕΑΖΟΥΝ ΤΟ ΣΥΣΤΗΜΑ**

Έχοντας τώρα καταλήξει στο συμπέρασμα ότι το σύστημα μας είναι γραμμικό, θα πρέπει να αναφερθούμε στους παράγοντες που το επηρεάζουν. Ένας πρώτος λοιπόν παράγοντας είναι η προσφερόμενη θερμική ισχύς στο σύστημα, που εξαρτάται άμεσα από το μέσο που την προκαλεί. Στην περίπτωση ενός φούρνου το θερμαντικό μέσο είναι μία αντίσταση, της οποίας η ισχύς εξαρτάται από την τάση που εφαρμόζεται στα άκρα της. Έτσι λοιπόν μεταβάλλοντας την τάση τροφοδοσίας της αντίστασης, επεμβαίνουμε στο σύστημα και τελικά μπορούμε να πούμε ότι η τάση τροφοδοσίας της αντίστασης είναι μία ενεργός παράμετρος του συστήματος.

Ένας δεύτερος παράγοντας, είναι η ποσότητα της μάζας του αερίου. Το σύστημα συμπεριφέρεται διαφορετικά σε μεταβολές της ποσότητας της μάζας. Έτσι λοιπόν και η μάζα του αερίου είναι μια ενεργός παράμετρος του συστήματος.

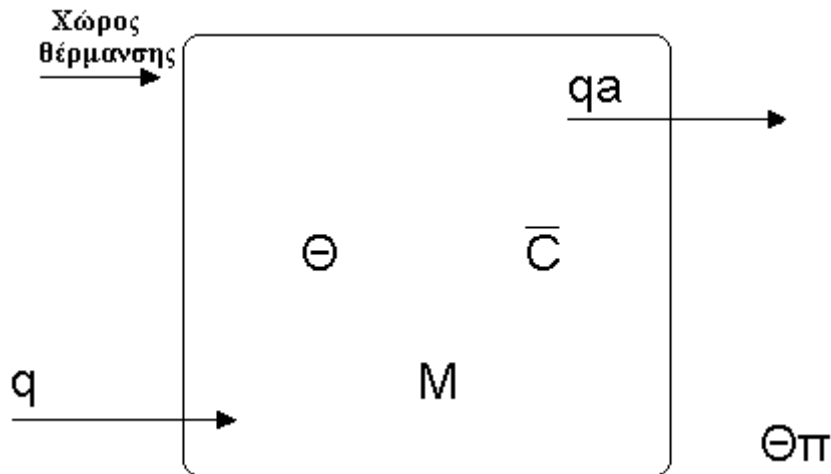
Στη συνέχεια, χαρακτηρίζονται ως ενεργοί παράμετροι του συστήματός μας η θερμοκρασία περιβάλλοντος και η θερμοκρασία του αερίου .

Η διαφορά τώρα των δύο προηγούμενων θερμοκρασιών εισάγει ακόμη μια ενεργό παράμετρο του συστήματος, τις απώλειες προς το περιβάλλον.

Όλες οι παραπάνω παράμετροι, εισάγονται σε μαθηματικές εξισώσεις όπου συνδυάζονται, λύνονται και τελικά μας δίνουν τις τιμές ισχύος που θα εφαρμόσουμε στον έλεγχο μας .

### **Μοντέλο Θερμικού συστήματος**

Ένα θερμικό σύστημα χαρακτηρίζεται από τον χώρο θέρμανσης, από το υλικό που πρόκειται να θερμανθεί, από την θερμότητα που εισέρχεται στο χώρο αυτόν και από την θερμότητα που εξέρχεται από αυτόν, είτε σε μορφή απωλειών, είτε σε ωφέλιμη θερμική ενέργεια. Θα μπορούσαμε σχηματικά να παρουσιάσουμε τα παραπάνω ως εξής:



**Σχήμα: 3.1.** Μοντέλο θερμικού συστήματος.

Όπου:

- $q$  : θερμότητα εισόδου ( Kcal / h )
- $q_a$  : θερμικές απώλειες προς το περιβάλλον ( Kcal / h )
- $\Theta$  : εσωτερική θερμοκρασία χώρου (  $^{\circ}\text{C}$  )
- $\Theta_{\pi}$  : θερμοκρασία περιβάλλοντος (  $^{\circ}\text{C}$  )
- $M$  : μάζα ( gr )
- $\bar{C}$  : μέση θερμοχωρητικότητα ( Kcal/  $^{\circ}\text{C} * \text{gr}$  )

Αρχικά θα ασχοληθούμε με τις απώλειες προς το περιβάλλον. Η σχέση που τις χαρακτηρίζει είναι :

$$q_a = k * E (\Theta - \Theta_{\pi})$$

Όπου :

$E$  : συνολική επιφάνεια που θερμαίνεται .

$K$  : σταθερά που εξαρτάται από το υλικό της επιφάνειας και λέγεται συντελεστής απωλειών.

Στην περίπτωση που η επιφάνεια αποτελείται από διάφορα υλικά, τότε υπολογίζουμε το  $\bar{K}$  που αντιστοιχεί στον μέσο όρο των επιμέρους  $K$ , που ονομάζεται σταθμισμένος συντελεστής απωλειών και δίνεται από τον τύπο:

$$\bar{k} = \frac{\Sigma(k_i * E_i)}{E} \quad , \quad E = \Sigma E_i$$

Ομοίως και το  $\bar{C}$  αντιπροσωπεύει το μέσο όρο των επιμέρους  $C$ , ονομάζεται σταθμισμένη χωρητικότητα και δίνεται από τον τύπο:

$$\bar{C} = \frac{\Sigma(m_i * C_i)}{\Sigma m_i}$$

Η αύξηση της θερμοκρασίας στον χώρο δίνεται από τον τύπο:

$$q - q_a = M * \bar{C} * \frac{d\Theta}{dt} \quad (1)$$

όπου ο όρος  $d\Theta/dt$  δηλώνει τον ρυθμό αύξησης της θερμοκρασίας.

Η θερμική ενέργεια που εισέρχεται στον χώρο ονομάζεται εισαγόμενη ενέργεια και υπολογίζεται από το ολοκλήρωμα της θερμότητας εισόδου σε χρονικό διάστημα  $t_1 - t_2$  δηλαδή :

$$Q = \int_{t_1}^{t_2} q * dt$$

Τελικά για την αύξηση της θερμοκρασίας και σύμφωνα με τον τύπο (1) έχουμε ότι η ενέργεια που απαιτείται για αύξηση της θερμοκρασίας κατά διαφορά θερμοκρασίας  $\Delta\Theta$  σε συγκεκριμένο χρόνο δίνεται από τον τύπο :

$$Q = \int_{t_1}^{t_2} (q - q_a) * dt = [M * \bar{C} * \Delta\Theta]_{t_1}^{t_2} \Rightarrow$$

$$Q = M * \bar{C} * [\Theta(t_2) - \Theta(t_1)]$$

Στην συνέχεια για να βρούμε την διαφορική εξίσωση που περιγράφει την μεταβολή της θερμοκρασίας στον χώρο αρκεί να εξισώσουμε την αύξηση της θερμοκρασίας στον χώρο με τον υπολογισμό των απωλειών. Έτσι έχουμε:

$$q - q_a = M * \bar{C} * \Theta$$

$$q_a = \bar{k} * E * (\Theta - \Theta_{\pi})$$

Από τις δυο παραπάνω σχέσεις έχουμε:

$$q = \bar{k} * E * (\Theta - \Theta_{\pi}) + M * \bar{C} * \Theta \Rightarrow$$



$$\mathbf{q} = \bar{\mathbf{k}} * \mathbf{E} * \Theta - \bar{\mathbf{k}} * \mathbf{E} * \Theta_{\Pi} + \mathbf{M} * \bar{\mathbf{C}} * \Theta \Rightarrow$$

$$\mathbf{M} * \bar{\mathbf{C}} * \Theta + \bar{\mathbf{k}} * \mathbf{E} * \Theta = \mathbf{q} + \bar{\mathbf{k}} * \mathbf{E} * \Theta_{\Pi}$$

# ΤΕΧΝΙΚΑ ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΤΟΥ ADUC824

## 1. Γενική περιγραφή

Ο ADuC824 είναι ένα πλήρης έξυπνος μετατροπέας front-end , περιέχει δύο υψηλής ανάλυσης σίγμα-δέλτα ADCs , ένα οκτάμπιτο MCU και μια Flash/EE μνήμη δεδομένων και προγράμματος όλα σε ένα απλό τσιπ . Αυτή η χαμηλής κατανάλωσης συσκευή μπορεί να δέχεται απευθείας ασθενή σήματα προς επεξεργασία από την πηγή τους .

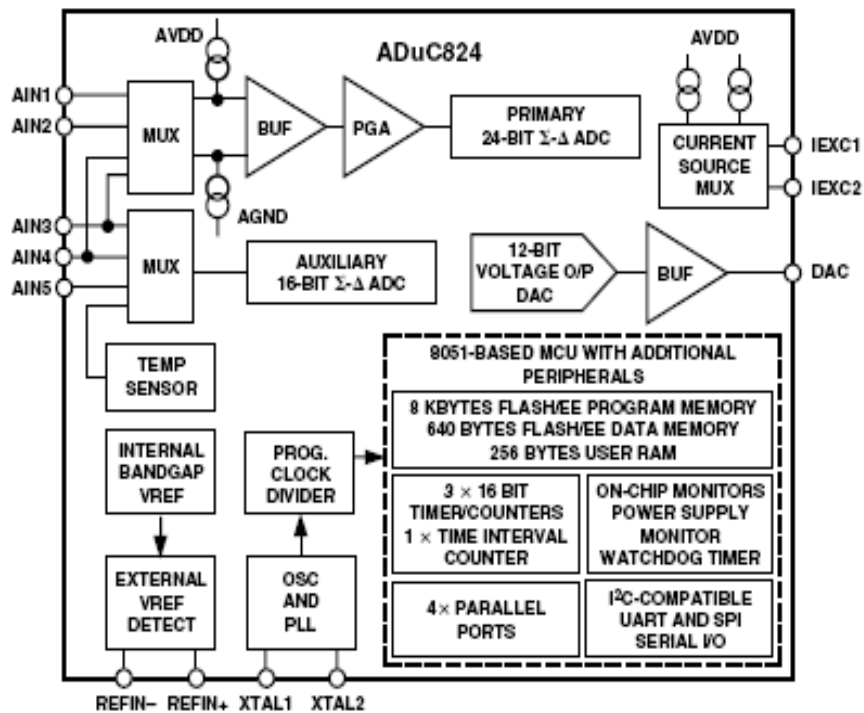
Οι δύο ανεξάρτητοι ADCs ( πρωτεύων , δευτερεύων ) περιέχουν έναν αισθητήρα θερμοκρασίας και ένα PGA , το οποίο τους επιτρέπει απευθείας μέτρηση ασθενών σημάτων . Οι ADCs έχουν ενσωματωμένο ψηφιακό φίλτρο και γι' αυτό ενδείκνυνται για τις μετρήσεις σημάτων μεγάλης κλίμακας , χαμηλής συχνότητας όπως αυτά του βάρους , επιμήκυνσης , πίεσης και θερμοκρασίας . Η κλίμακα δεδομένων εξόδου του ADC είναι προγραμματιζόμενη και η ανάλυσή της είναι ανάλογη του προγραμματισμένου κέρδους και της συχνότητας λειτουργίας .

Η συσκευή λειτουργεί με κρύσταλλο των 32 KHz και ένα ενσωματωμένο PLL που δημιουργεί ρολόι υψηλών συχνοτήτων των 12.58 MHz . Το ρολόι αυτό είναι κυκλικό και διοχετεύεται σε ένα διαιρέτη συχνότητας από τον οποίο δημιουργείται η συχνότητα λειτουργίας του πυρήνα του επεξεργαστή . Ο πυρήνας του μικροεπεξεργαστή είναι τύπου 8052 και γι' αυτό είναι συμβατές οι εντολές λειτουργίας του 8051 . Ο μηχανικός κύκλος λειτουργίας του πυρήνα αποτελείται από 12 περιόδους της προεπιλεγμένης συχνότητας λειτουργίας για το ρολόι του πυρήνα . Στο ολοκληρωμένο υπάρχουν 8Kbytes σταθερής Flash/EE μνήμης προγράμματος , 640 bytes σταθερής Flash/EE μνήμης δεδομένων και 256 bytes RAM .

Ο ADuC824 ενσωματώνει επιπρόσθετα , αναλογική λειτουργία με ένα 12bit DAC , πηγές ρεύματος , μόνιτορ παροχής τάσεως και bandgap reference . Στο τσιπ περιλαμβάνονται ψηφιακά περιφερειακά , ρολόι watchdog , μετρητής χρόνου διακοπής , τρία ρολόγια/μετρητές και τρεις σειριακές I/O πύλες ( SPI , UART , I<sup>2</sup>C ) .

Το ολοκληρωμένο εκ κατασκευής παρέχει in-circuit σειριακή μεταφορά δεδομένων και μετάφρασή τους μέσω της UART , επίσης παρέχει ένα pin προσομοίωσης ( EA ) . Το ολοκληρωμένο λειτουργεί με τάσεις 3V ή 5V . Όταν λειτουργεί με τάση 3V η κατανάλωση του είναι χαμηλότερη των 10 mW . Ο ADuC824 παρέχεται σε πακέτο 52-lead MQFP . Ένα μπλοκ διάγραμμα λειτουργίας του παρουσιάζεται παρακάτω .

### FUNCTIONAL BLOCK DIAGRAM



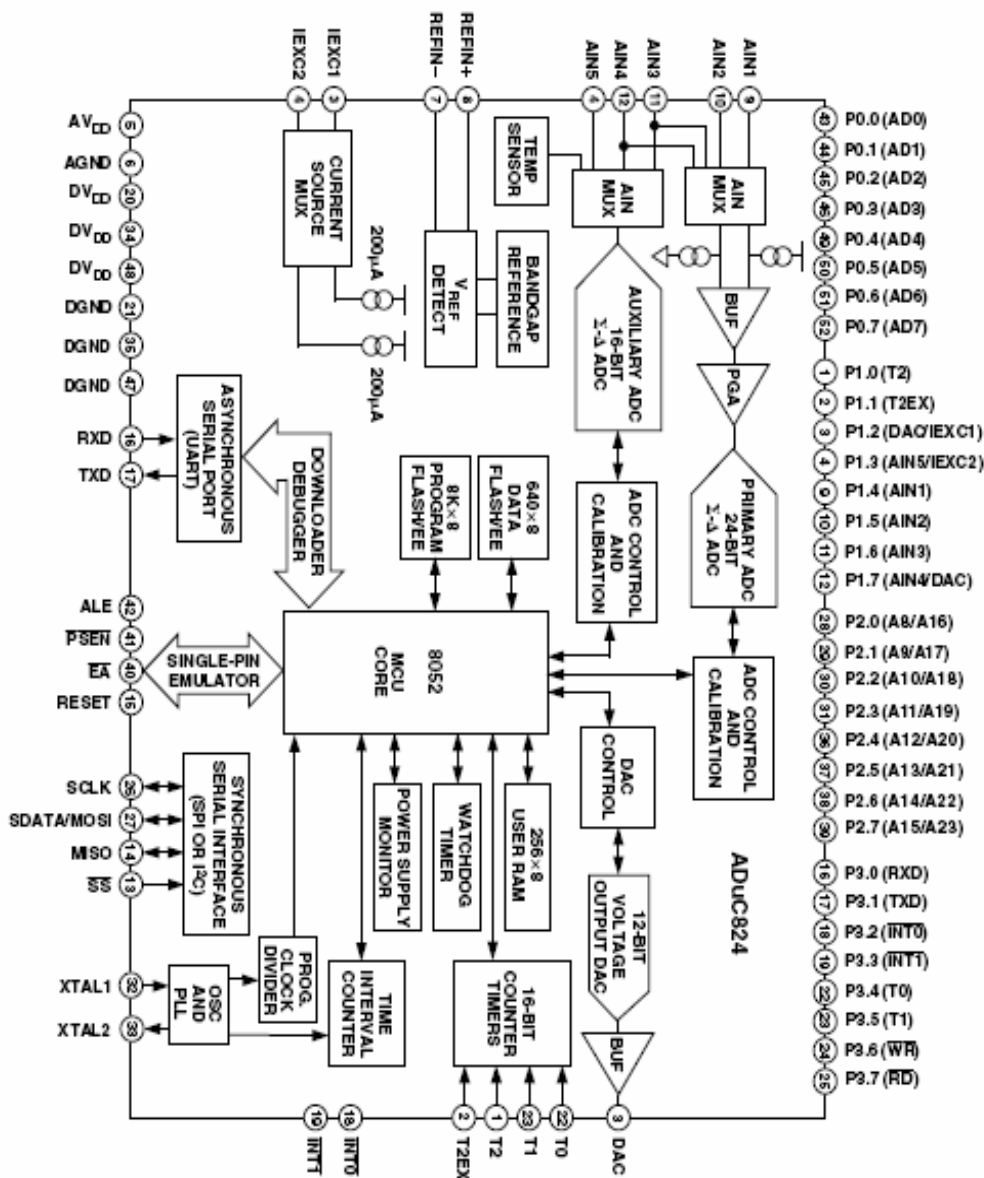
## 2. Περιγραφή λειτουργίας Pins

| Pin No. | port name | Pin fuction | type | description   |
|---------|-----------|-------------|------|---|
| 1       | P1.0      | T2          | I/O  | <p>Το Port1.0 μπορεί να λειτουργήσει ως μια ψηφιακή είσοδος ή ως μια ψηφιακή έξοδος και έχει pull-up διαμόρφωση όπως περιγράφεται παρακάτω για το Port 3 . Το P1.0 έχει μια αυξημένη ικανότητα βύθισης ρεύματος των 10mA και μπορεί επίσης να χρησιμοποιηθεί για να παρέχει είσοδο ρολογιού στον Timer 2 . Όταν ενεργοποιηθεί , ο Counter 2 αυξάνει αποκρινόμενος σε μια αρνητική μετάβαση στον ακροδέκτη εισόδου του T2</p> <p>Το Port1.1 μπορεί να λειτουργήσει ως μια ψηφιακή είσοδος ή έξοδος και έχει pull-up διαμόρφωση όπως περιγράφεται παρακάτω για το Port 3 . Το P1.1 έχει μια αυξημένη ικανότητα βύθισης ρεύματος των 10mA και μπορεί επίσης να χρησιμοποιηθεί για να παρέχει μια έξοδο ελέγχου στον Timer 2 . Όταν ενεργοποιηθεί , μια αρνητική μετάβαση στον ακροδέκτη εξόδου του T2EX θα προκαλέσει στον Timer2 ένα γεγονός σύλληψης ή επαναφόρτισης .</p> <p>Το Port 1.2 δεν έχει ψηφιακή έξοδο , μπορεί να λειτουργήσει ως ψηφιακή είσοδος για την οποία το ( 0 ) πρέπει να γράφεται στο bit του port . Ως ψηφιακή είσοδος πρέπει να οδηγείται στο high ή στο low εξωτερικά . Η τάση εξόδου από το DAC μπορεί να διαμορφωθεί να εμφανίζεται εδώ . Εάν η DAC έξοδος δεν χρησιμοποιείται , μία η και οι δύο από τις διεγέρτριες πηγές ρεύματος ( 200μΑ ή 2×200μΑ ) μπορούν να προγραμματιστούν να τροφοδοτούνται από αυτό τον ακροδέκτη .</p> <p>Το Port1.3 δεν έχει ψηφιακή έξοδο , μπορεί να λειτουργήσει ως ψηφιακή είσοδος για την οποία το ( 0 ) πρέπει να γράφεται στο bit του port . Ως ψηφιακή είσοδος πρέπει να οδηγείται στο high ή στο low εξωτερικά . Ο ακροδέκτης αυτός μπορεί να παρέχει μια αναλογική είσοδο ( AIN5 ) στον βοηθητικό ADC και μία η και οι δύο από τις διεγέρτριες πηγές ρεύματος ( 200μΑ ή 2×200μΑ ) μπορούν να προγραμματιστούν να τροφοδοτούνται από αυτό τον ακροδέκτη .</p> |
| 2       | P1.1      | T2EX        | I/O  |   |
| 3       | P1.2      | DAC/IEXC1   | I/O  |   |
| 4       | P1.3      | AIN5/IEXC2  | I    |   |
| 5       |           | AVDD        | S    | Αναλογική πηγή τάσης , 3V ή 5V  |
| 6       |           | AGND        | S    | Αναλογική γείωση . Ακροδέκτης αναφοράς γείωσης για τα αναλογικά στοιχεία του κυκλώματος .   |
| 7       |           | REFIN-      | I    | Αναφορά εισόδου , αρνητικό τερματικό .  |
| 8       |           | REFIN+      | I    | Αναφορά εξόδου , θετικό τερματικό .   |
| 9       | P1.4      | AIN1        | I    | <p>Τα Port1.4 έως Port1. δεν έχουν ψηφιακή έξοδο , μπορούν να λειτουργήσουν ως ψηφιακές εισοδοι για τις οποίες το ( 0 ) πρέπει να γράφεται στο bit του port . Ως ψηφιακές εισοδοι πρέπει να οδηγηθούν στο high ή στο low εξωτερικά . Βασικό ADC κανάλι , Θετική αναλογική είσοδος .</p>   |
| 10      | P1.5      | AIN2        | I    | Βασικό ADC κανάλι , αρνητική είσοδος .  |
| 11      | P1.6      | AIN3        | I    | Είσοδος δευτερεύοντος ADC ή πολυπλεγμένο βασικό ADC κανάλι , θετική αναλογική είσοδος .   |
| 12      | P1.7      | AIN4/DAC    | I/O  | <p>Το Port 1.7 δεν έχει ψηφιακή έξοδο , μπορεί να λειτουργήσει ως ψηφιακή είσοδος για την οποία</p>   |

|    |      |       |     |  |
|----|------|-------|-----|--|
|    |      |       |     | το ( 0 ) πρέπει να γράφεται στο bit του port . Ως ψηφιακή είσοδος πρέπει να οδηγείται στο high ή στο low εξωτερικά . Ο ακροδέκτης αυτός μπορεί να παρέχει αναλογική είσοδο ( AIN4 ) στον δευτερεύων ADC ή πολυπλεγμένο βασικό ADC κανάλι , αρνητική αναλογική είσοδος . Η τάση εξόδου από τον ADC μπορεί επίσης να διαμορφωθεί να εμφανίζεται σε αυτό τον ακροδέκτη .  |
| 13 |      | SS    | I   | Επιλογή καθοδηγούμενης εισόδου για την SPI διασυνδετική διάταξη . Στον ακροδέκτη αυτό παρουσιάζεται μια ασθενής pull-up διάταξη .  |
| 14 |      | MISO  | I/O | Κύρια είσοδος \ δευτερεύων έξοδος για την SPI διασυνδετική διάταξη . Στον ακροδέκτη αυτό παρουσιάζεται μια ασθενής pull-up διάταξη .   |
| 15 |      | RESET | I   | Είσοδος reset . Ένα υψηλό επίπεδο σε αυτό τον ακροδέκτη για 24 κύκλους ρολογιού του πυρήνα καθώς τρέχει ο ταλαντωτής , επανατοποθετεί την συσκευή . Υπάρχει μια ασθενής pull-up διάταξη και ένας Schmitt σκανδαλιστής σε φάση εισόδου στον ακροδέκτη αυτό .Ένα εξωτερικό POR (power-on reset ) κύκλωμα πρέπει να προστεθεί για να οδηγεί τον RESET ακροδέκτη όπως περιγράφεται παρακάτω .  |
| 16 | P3.0 | RXD   | I/O | P3.0-P3.3 είναι αμφίδρομα Port, ακροδέκτες με εσωτερικές pull-up αντιστάσεις. Οι ακροδέκτες του Port 3 στους έχουν γραφτεί ( 1 ) άσσοι οδηγούνται σε high από τις εσωτερικές pull-up αντιστάσεις και σε αυτή την κατάσταση μπορούν να χρησιμοποιηθούν ως είσοδοι . Ως είσοδοι οι ακροδέκτες του Port 3 οδηγούμενοι εξωτερικά σε low θα πηγάσουν ρεύμα λόγω των εσωτερικών pull-up αντιστάσεων . Όταν οδηγούν μια μετάβαση εξόδου από το 0 στο 1 , ένα δυνατό pull-up ενεργοποιείται για δύο περιόδους ρολογιού του πυρήνα του κύκλου εντολών . |
| 17 | P3.1 | TXD   | I/O | Αποδέκτης δεδομένων εισόδου ( ασύγχρονος ) ή δεδομένων εισόδου / εξόδου ( σύγχρονος ) της σειριακής πύλης ( UART )   |
| 18 | P3.2 | INT0  | I/O | Μεταδότης δεδομένων εισόδου ( ασύγχρονος ) ή έξοδος ρολογιού (σύγχρονος) της σειριακής πύλης ( UART )  |
| 19 | P3.3 | INT1  | I/O | Interrupt 0 ,  |
| 20 |      | DVDD  | S   | Interrupt 1 ,  |
| 21 |      | DGND  | S   | Ψηφιακή πηγή 3V ή 5V   |
| 22 | P3.4 | T0    | I/O | Ψηφιακή γη , σημείο αναφοράς γης για το ψηφιακό κύκλωμα .  |
| 23 | P3.5 | T1    | I/O | P3.4-P3.7 είναι αμφίδρομοι ακροδέκτες της πόρτας P3 με εσωτερικές pull-up αντιστάσεις. Οι ακροδέκτες της πόρτας P3 που έχουν λογικό άσσο οδηγούνται σε λογικό high από τις εσωτερικές pull-up αντιστάσεις , σε αυτή την κατάσταση μπορούν να χρησιμοποιηθούν ως είσοδοι . Όταν οδηγούνται από το 0 στο 1 στην έξοδο ένα ισχυρό pull-up ενεργοποιείται για δύο περιόδους του ρολογιού του πυρήνα .Επίσης είναι το ρολόι/μετρητής 0  |
| 24 | P3.6 | WR    | I/O | Ως δευτερεύουσα λειτουργία είναι το ρολόι/μετρητής 1   |
|    |      |       |     | Ως δευτερεύουσα λειτουργία έχει τον έλεγχο σήματος εγγραφής . Στέλνει τα byte δεδομένων μέσω του Port 0 σε μια εξωτερική μνήμη .   |

|    |      |            |     |   |
|----|------|------------|-----|---|
| 25 | P3.7 | RD         | I/O | Ως δευτερεύουσα λειτουργία έχει τον έλεγχο σήματος ανάγνωσης . Στέλνει τα byte δεδομένων στην Port 0 από μια εξωτερική μνήμη .  |
| 26 |      | SCLK       | I/O | Ρολόι σειριακής επικοινωνίας τόσο για το I <sup>2</sup> C όσο και για το SPI . Ως είσοδος αυτό το Pin είναι ένας Schmitt-triggered και παρουσιάζει ένα ασθενές pull-up εκτός και αν είναι σε θέση λογικού μηδέν .   |
| 27 |      | SDATA/MOSI | I/O | Pin I/O σειριακών δεδομένων για το I <sup>2</sup> C ή κύρια έξοδος και δευτερεύουσα είσοδος για το SPI. Παρουσιάζει ένα ασθενές εσωτερικό pull-up εκτός και αν είναι σε θέση λογικού μηδέν .  |
| 28 | P2.0 | A8/A16     | I/O | P2.0-P2.3 είναι αμφίδρομοι ακροδέκτες της πόρτας P2 με εσωτερικές pull-up αντιστάσεις. Τα Pin της πόρτας 2 τα οποία έχουν άσους (A8-A11) οδηγούνται σε λογικό 1 από τις εσωτερικές pull-up αντιστάσεις ενώ στην κατάσταση (A16-A19) μπορούν να λειτουργήσουν σαν είσοδοι . Ως είσοδοι οδηγούνται σε ιδιαίτερα χαμηλό επίπεδο και αντλούν ρεύμα λόγω των εσωτερικών pull-up αντιστάσεων . Η πόρτα 2 λαμβάνει τα σημαντικά byte όταν υπάρχει τροφοδοσία από εξωτερική μνήμη προγράμματος ενώ στέλνει τα σημαντικότερα και τα μεσαίας σημαντικότητας byte όταν στέλνονται δεδομένα στη 24-bit εξωτερική μνήμη .  |
| 29 | P2.1 | A9/A17     | I/O |   |
| 30 | P2.2 | A10/A18    | I/O |   |
| 31 | P2.3 | A11/A19    | I/O | Είσοδος στον μετατροπέα του ταλαντωτή κρυστάλλου.   |
| 32 |      | XTAL1      | I   | Έξοδος από τον μετατροπέα του ταλαντωτή κρυστάλλου.   |
| 33 |      | XTAL2      | O   |   |
| 34 |      | DVDD       | S   | Ψηφιακή πηγή 3V ή 5V  |
| 35 |      | DGND       | S   | Ψηφιακή γη , σημείο αναφοράς γης για το ψηφιακό κύκλωμα .   |
| 36 | P2.4 | A12/A20    | I/O | P2.4-P2.7 είναι αμφίδρομοι ακροδέκτες της πόρτας P2 με εσωτερικές pull-up αντιστάσεις. Τα Pin της πόρτας 2 τα οποία έχουν άσους (A12-A15) οδηγούνται σε λογικό 1 από τις εσωτερικές pull-up αντιστάσεις ενώ στην κατάσταση (A20-A23) μπορούν να λειτουργήσουν σαν είσοδοι . Ως είσοδοι οδηγούνται σε ιδιαίτερα χαμηλό επίπεδο και αντλούν ρεύμα λόγω των εσωτερικών pull-up αντιστάσεων . Η πόρτα 2 λαμβάνει τα σημαντικά byte όταν υπάρχει τροφοδοσία από εξωτερική μνήμη προγράμματος ενώ στέλνει τα σημαντικότερα και τα μεσαίας σημαντικότητας byte όταν στέλνονται δεδομένα στη 24-bit εξωτερική μνήμη .   |
| 37 | P2.5 | A13/A21    | I/O |   |
| 38 | P2.6 | A14/A22    | I/O |   |
| 39 | P2.7 | A15/A23    | I/O | Ενεργοποίηση εξωτερικής πρόσβασης , λογική είσοδος . Όταν κρατείται σε υψηλό επίπεδο ενεργοποιεί την συσκευή να τροφοδοτείται με κώδικα από την εσωτερική μνήμη προγραμματισμού , στις περιοχές 0000H ως 1FFFH . Όταν κρατείται σε χαμηλό επίπεδο ενεργοποιεί τη συσκευή να τροφοδοτείται με όλες τις οδηγίες από την εξωτερική μνήμη προγραμματισμού . Για να τερματιστεί η κατάσταση εκτέλεσης κώδικα εσωτερικού ή εξωτερικού το EA Pin δειγματολογείτε μετά από ένα το τέλος ενός εξωτερικού RESET ή μετά τη διακοπή τροφοδοσίας της συσκευής . Το EA μπορεί ακόμα να χρησιμοποιηθεί σαν ένα Pin I/O εξωτερικής προσομοίωσης γι' αυτό το επίπεδο τάσης του δεν πρέπει να αλλάζει κατά την διάρκεια της κανονικής του λειτουργίας διότι |
| 40 |      | EA         | I/O |   |

|    |      |      |     |   |
|----|------|------|-----|---|
|    |      |      |     | μπορεί να προκαλέσει παύση της εκτέλεσης του προγράμματος.  |
|    |      |      |     | Ενεργοποίηση αποθήκευσης προγράμματος , λογική έξοδος . Η έξοδος αυτή είναι ένα σήμα που ενεργοποιεί την πρόσβαση της εξωτερικής μνήμης προγραμματισμού , ενεργοποιείται κάθε έξι κύκλους του ταλαντωτή εκτός κατά την διάρκεια επικοινωνίας της εξωτερικής μνήμης δεδομένων . Το Pin αυτό παραμένει σε λογικό ένα κατά την διάρκεια της λειτουργίας της εσωτερικής μνήμης προγραμματισμού . Το PSEN μπορεί ακόμα να χρησιμοποιηθεί για την ενεργοποίηση του σειριακού κατεβάσματος προγράμματος όταν πέσει σε λογικό μηδέν μετά από ένα RESET ή μια διακοπή τροφοδοσίας της συσκευής . |
| 41 |      | PSEN | O   | Ενεργοποίηση αποστολής διευθύνσεων , λογική έξοδος . Αυτή η έξοδος χρησιμοποιείται για την αποστολή των λιγότερων σημαντικών byte των διευθύνσεων στην εξωτερική μνήμη κατά την διάρκεια χρησιμοποίησης της είτε σαν μνήμη προγραμματισμού είτε ως μνήμης δεδομένων . Ενεργοποιείται κάθε έξι περιόδους του ταλαντωτή και μπορεί να τεθεί εκτός λειτουργίας σετάροντας το PCON.4 bit του PCON SFR   |
| 42 |      | ALE  | O   |   |
| 43 | P0.0 | AD0  | I/O |   |
| 44 | P0.1 | AD1  | I/O |   |
| 45 | P0.2 | AD2  | I/O | Τα pin P0.0-P0.3 είναι μέρος της πόρτας P0 η οποία είναι μια οχτάμπιτη αμφίδρομη θύρα .Τα pins της P0 τα οποία είναι σε λογικό ένα μπορούν να χρησιμοποιηθούν ως είσοδοι μεγάλης σύνθετης αντίστασης , μια εξωτερική pull-up αντίσταση είναι αναγκαία για την ανύψωσή τους σε λογικό ένα . Επίσης η P0 είναι ο πολυπλεγμένος διάυλος των λιγότερο σημαντικών ψηφίων διεύθυνσης και δεδομένων κατά την επαφή με την εξωτερική μνήμη . Σε αυτή τη συσκευή χρησιμοποιούνται ισχυρά εσωτερικά pull-ups όταν στέλνεται λογικό ένα.   |
| 46 | P0.3 | AD3  | I/O |   |
| 47 |      | DGND | S   | Ψηφιακή γη , σημείο αναφοράς γης για το ψηφιακό κύκλωμα .   |
| 48 |      | DVDD | S   | Ψηφιακή πηγή 3V ή 5V  |
| 49 | P0.4 | AD4  | I/O |   |
| 50 | P0.5 | AD5  | I/O |   |
| 51 | P0.6 | AD6  | I/O | Τα pin P0.4-P0.7 είναι μέρος της πόρτας P0 η οποία είναι μια οχτάμπιτη αμφίδρομη θύρα .Τα pins της P0 τα οποία είναι σε λογικό ένα μπορούν να χρησιμοποιηθούν ως είσοδοι μεγάλης σύνθετης αντίστασης , μια εξωτερική pull-up αντίσταση είναι αναγκαία για την ανύψωσή τους σε λογικό ένα . Επίσης η P0 είναι ο πολυπλεγμένος διάυλος των λιγότερο σημαντικών ψηφίων διεύθυνσης και δεδομένων κατά την επαφή με την εξωτερική μνήμη . Σε αυτή τη συσκευή χρησιμοποιούνται ισχυρά εσωτερικά pull-ups όταν στέλνεται λογικό ένα.   |
| 52 | P0.7 | AD7  | I/O |   |

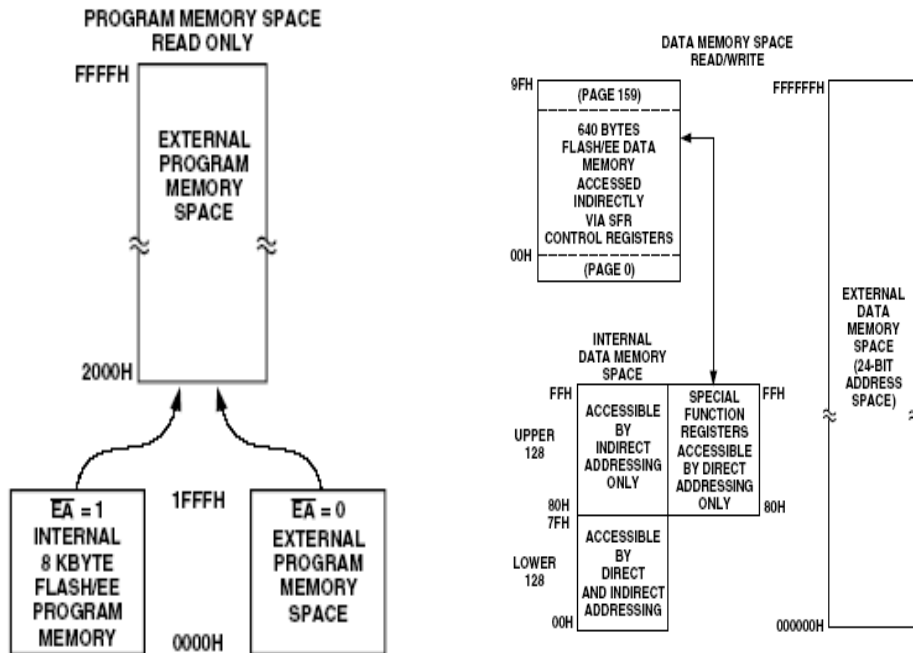


### 3. ΟΡΓΑΝΩΣΗ ΜΝΗΜΗΣ

Όπως με όλες τις 8051-συμβατές συσκευές το ADuC824 έχει τα χωριστά διαστήματα διευθύνσεων όπως φαίνεται στο σχήμα 13 και το σχήμα 14 . Εάν ο χρήστης εφαρμόσει τάση ή επαναριθμήσει τη συσκευή ενώ η EA είναι σε θέση χαμηλή (low) , η συσκευή θα εκτελέσει τον κώδικα από μια εξωτερική



μνήμη προγράμματος , διαφορετικά θα εκτελεστούν οι λειτουργίες όπως έχουν προεπιλεγεί από την εσωτερική μνήμη των 8 Kbyte FLASH / EE . Η εσωτερική αυτή μνήμη μπορεί να μέσω της UART ακόμα και όταν η συσκευή είναι εν λειτουργία .

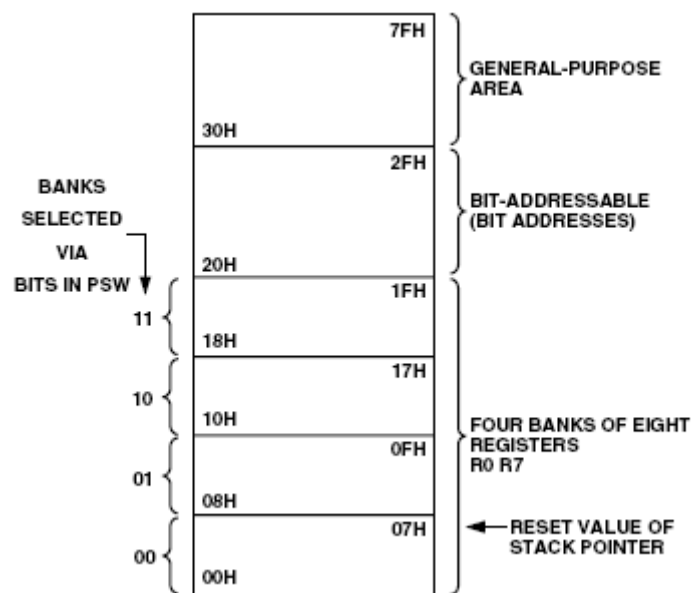


Η μνήμη που μπορεί να χρησιμοποιηθεί από τον ADuC824 αποτελείται από την εσωτερική και την εξωτερική μνήμη . Το εσωτερικό διάστημα μνήμης διαιρείται σε τέσσερα φυσικά χωριστούς και ευδιάκριτους τομείς δηλαδή , στα low 128 bytes της RAM , στα high 128 bytes της RAM , στα 128 bytes της ειδικής περιοχής καταλόγων λειτουργίας (SFR) και μιας 640 bytes FLASH / EE μνήμης στοιχείων . Ενώ τα high 128 bytes της RAM μοιράζονται την ίδια περιοχή διευθύνσεων προσεγγίζονται με διαφορετικό τρόπο διευθύνσεων .

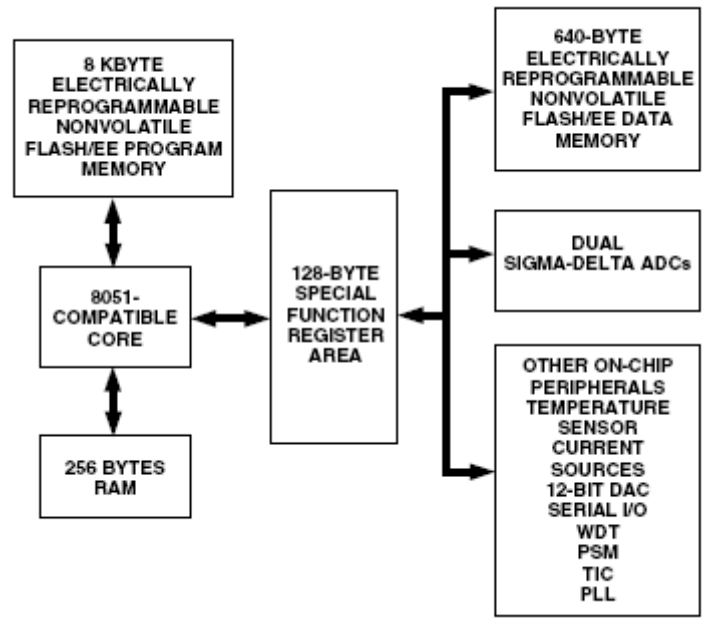
Τα low 128 bytes της RAM μπορούν να προσεγγιστούν μέσω άμεσης ή έμμεσης εξέτασης , τα high 128 bytes της RAM μπορούν να προσεγγιστούν μέσω έμμεσης εξέτασης και η περιοχή SFR προσεγγίζεται μέσω άμεσης εξέτασης . Επίσης τα 640 bytes της FLASH / EE μνήμης στοιχείων είναι διαθέσιμα στο χρήστη και μπορούν να προσεγγιστούν έμμεσα μέσω μιας ομάδας καταχωριτών ελέγχου που χαρτογραφούνται στην ειδική περιοχή καταχωριτών λειτουργίας (SFR) . Η πρόσβαση στην μνήμη στοιχείων FLASH / EE αναλύεται λεπτομερώς σε παρακάτω κεφάλαιο .

Η εξωτερική περιοχή μνήμης μπορεί να επεκταθεί από τα 64Kbyte σε 16Mbyte δυνατότητα διαθέσιμη στους επεξεργαστές με τυποποιημένους 8051-συμβατούς πυρήνες . Η εξωτερική μνήμη αναλύεται λεπτομερώς σε παρακάτω κεφάλαιο .

Η εσωτερική μνήμη οργανώνεται κατά τον εξής τρόπο , όπως φαίνεται και στο σχ.\_\_, τα χαμηλότερα 32 bytes ομαδοποιούνται σε τέσσερα τμήματα αποτελούμενα από 8 δείκτες με διευθύνσεις R0 έως R7 . Τα επόμενα 16 bytes ( 128bits ) τοποθετούνται σε 20 δεκαεξαδικούς τομείς έως το 2F Hex πάνω από τα προηγούμενα 32 bytes και κάτω από ένα τομέα άμεσων προσβάσιμων δεικτών μεταξύ του 00H έως του 7FH .



Ο τομέας των SFR βρίσκεται στα ανώτερα 128 bytes της εσωτερικής μνήμης και προσεγγίζεται μόνο με άμεση εξέταση . Η περιοχή αυτή παρέχει μια αμφίδρομη επικοινωνία μεταξύ της κεντρικής μονάδας επεξεργασίας και όλων των περιφερειακών μονάδων . Ένας τέτοιος τομέας παρουσιάζεται στο παρακάτω σχήμα.



#### 4. ΔΕΙΚΤΕΣ ΛΕΙΤΟΥΡΓΙΑΣ ( SFRs ) ΤΟΥ MCU

##### Συσσωρευτής SFR

Ο ACC είναι συσσωρευτής δεικτών και χρησιμοποιείται για τις διαδικασίες μαθηματικών συμπεριλαμβανομένης της πρόσθεσης , της αφαίρεσης , του πολλαπλασιασμού και διαίρεσης και των ακεραίων αριθμών και τον χειρισμό της άλγεβρας Boolean . Ο δείκτης αυτός ονομάζεται και εντοπίζεται με το γράμμα A .

##### B SFR

Ο δείκτης B χρησιμοποιείται με τον ACC για τις διαδικασίες πολλαπλασιασμού και διαίρεσης . Ο δείκτης B σε άλλες λειτουργίες μπορεί να αντιμετωπιστεί ως δείκτης γενικής χρήσεως .

##### Δείκτης στοιβάδας SFR

Ο δείκτης SP ονομάζεται δείκτης στοιβάδας και χρησιμοποιείται για να κρατάει μια διεύθυνση στην εσωτερική μνήμη RAM που καλείται " κορυφή της στοιβάδας " . Ο δείκτης SP αυξάνεται προτού να αποθηκευτεί ένα στοιχείο κατά την διάρκεια των λειτουργιών PUS & CALL . Ενώ η στοιβάδα μπορεί να εγκατασταθεί οπουδήποτε στη RAM ο δείκτης SP γράφεται σε θέση 07H μετά από κάθε επανατοποθέτηση , αυτό αναγκάζει την στοιβάδα να αρχίζει από την θέση 08H .

##### Δείκτης δεδομένων

Ο δείκτης δεδομένων αποτελείται από τρεις δμπιτους καταχωρητές οι οποίοι ονομάζονται , DPP ( byte σελίδας ) , DPH ( high byte ) και DPL ( low byte ) . Οι καταχωρητές αυτοί χρησιμοποιούνται για να παρέχουν διευθύνσεις τόσο στο κώδικα προγράμματος στην εσωτερική και εξωτερική μνήμη , όσο και στα δεδομένα της εξωτερικής μνήμης .

##### Word κατάστασης προγράμματος SFR

Ο καταχωρητής PSW είναι ο καταχωρητής κατάστασης προγράμματος και παρέχει αρκετά bits που απεικονίζουν την παρούσα κατάσταση της κεντρικής μονάδας επεξεργασίας όπως αυτά παρουσιάζονται στον παρακάτω πίνακα .

SFR Address                      D0H  
 Power ON Default Value      00H  
 Bit Addressable                Yes

|    |    |    |     |     |    |    |   |
|----|----|----|-----|-----|----|----|---|
| CY | AC | F0 | RS1 | RS0 | OV | F1 | P |
|----|----|----|-----|-----|----|----|---|

Table I. PSW SFR Bit Designations

| Bit | Name | Description  |             |
|-----|------|--|-------------|
| 7   | CY   | Carry Flag   |             |
| 6   | AC   | Auxiliary Carry Flag                                     |             |
| 5   | F0   | General-Purpose Flag                                     |             |
| 4   | RS1  | Register Bank Select Bits<br>RS1    RS0    Selected Bank |             |
| 3   | RS0  |  |             |
|     |      |  | 0    0    0 |
|     |      |  | 0    1    1 |
|     |      | 1    0    2  |             |
|     |      | 1    1    3  |             |
| 2   | OV   | Overflow Flag  |             |
| 1   | F1   | General-Purpose Flag                                     |             |
| 0   | P    | Parity Bit   |             |

### Έλεγχος τάσεως SFR

Ο καταχωρητής ελέγχου τάσεως ( PCON ) περιέχει bits για την επιλογή τάσεων λειτουργίας και γενικής χρήσης σημαίες όπως παρουσιάζονται στον παρακάτω πίνακα .

SFR Address                      87H  
 Power ON Default Value      00H  
 Bit Addressable                No

|      |        |        |        |     |     |    |     |
|------|--------|--------|--------|-----|-----|----|-----|
| SMOD | SERIPD | INTOPD | ALEOFF | GF1 | GF0 | PD | IDL |
|------|--------|--------|--------|-----|-----|----|-----|

Table II. PCON SFR Bit Designations

| Bit | Name   | Description                                      |
|-----|--------|--|
| 7   | SMOD   | Double UART Baud Rate                            |
| 6   | SERIPD | I <sup>2</sup> C/SPI Power-Down Interrupt Enable |
| 5   | INTOPD | INT0 Power-Down Interrupt Enable                 |
| 4   | ALEOFF | Disable ALE Output                               |
| 3   | GF1    | General-Purpose Flag Bit                         |
| 2   | GF0    | General-Purpose Flag Bit                         |
| 1   | PD     | Power-Down Mode Enable                           |
| 0   | IDL    | Idle Mode Enable                                 |

## 5. ΚΑΤΑΧΩΡΗΤΕΣ ΕΙΔΙΚΗΣ ΛΕΙΤΟΥΡΓΙΑΣ

Όλοι οι καταχωρητές , εκτός από τον μετρητή προγράμματος και τα τέσσερα τμήματα καταχωριτών γενικού σκοπού , εγκαθίστανται στην περιοχή SFR . Οι καταχωριτές SFR περιλαμβάνουν τον έλεγχο , την

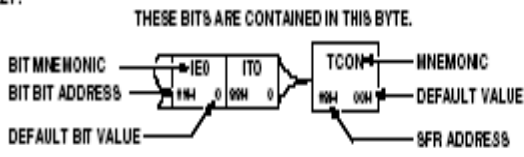
διαμόρφωση και τους καταχωριτές δεδομένων που παρέχουν την αμφίδρομη επικοινωνία μεταξύ της κεντρικής μονάδας επεξεργασίας και των περιφερειακών μονάδων .

Ο παρακάτω πίνακας παρουσιάζει τον πλήρη χάρτη μνήμης των ειδικών καταχωρητών SFR , την τιμή τους σε κατάσταση RESET NOT USED και τις μη κατειλημμένες θέσεις . Οι μη κατειλημμένες θέσεις στο διάστημα διευθύνσεων SFR δεν εφαρμόζονται π.χ. κανένας καταχωρητής δεν υπάρχει σε αυτές τις θέσεις και αν διαβαστεί η τιμή των θέσεων αυτών θα εμφανίζεται μια τυχαία ή και απροσδιόριστη τιμή . Οι θέσεις αυτές διατηρούνται για μελλοντική χρήση , είναι σκιασμένες στον πίνακα και δεν πρέπει να προσεγγίζονται από το λογισμικό του χρήστη .

|        |          |          |          |          |          |          |          |
|--------|----------|----------|----------|----------|----------|----------|----------|
| OPCON  | RESERVED | RESERVED | DACL     | DACH     | DACCON   | RESERVED | RESERVED |
| OPDAT  | RESERVED | RESERVED | NOT USED | RESERVED | RESERVED | RESERVED | RESERVED |
| ISCON  | GNL*     | GNM*     | GNH*     | GNL*     | GNH*     | RESERVED | RESERVED |
| ACC    | OPIL*    | OPOM*    | OPOH*    | OPIL*    | OPOH*    | RESERVED | RESERVED |
| ADSTAT | ADOL     | ADOM     | ADOH     | ADCL     | ADCH     | RESERVED | ADCON    |
| POW    | ADCMODE  | ADCCON   | ADCCON   | OP       | ICON     | RESERVED | PLLCON   |
| T3CON  | RESERVED | RCAPSL   | RCAPSH   | TL2      | TM2      | RESERVED | RESERVED |
| WDCON  | RESERVED | CHPID    | RESERVED | RESERVED | RESERVED | EADPL    | RESERVED |
| IP     | EDCON    | RESERVED | RESERVED | EDATA1   | EDATA2   | EDATA3   | EDATA4   |
| P0     | NOT USED | NOT USED | NOT USED | NOT USED | RESERVED | RESERVED | NOT USED |
| IE     | IEP2     | RESERVED | RESERVED | RESERVED | RESERVED | RESERVED | RESERVED |
| P2     | TIM2CON  | HTM2EO   | CEO      | MIN      | HOURL    | INTVAL   | NOT USED |
| QCON   | QBUP     | QCDAT    | QCDAT    | NOT USED | NOT USED | NOT USED | NOT USED |
| P1     | NOT USED | NOT USED | NOT USED | NOT USED | NOT USED | NOT USED | NOT USED |
| TCON   | TMOD     | TL0      | TL1      | TH0      | TH1      | RESERVED | RESERVED |
| P0     | OP       | DPL      | DPH      | DPP      | RESERVED | RESERVED | PCON     |

\*CALIBRATION COEFFICIENTS ARE PRE-CONFIGURED AT POWER-UP TO FACTORY CALIBRATED VALUES.

SFR MAP KEY:



SFR NOTE:

SFRs WHOSE ADDRESSES END IN 0H OR 8H ARE BIT-ADDRESSABLE.

Καταχωρητές (SFR) επικοινωνίας με πρωτεύον και δευτερεύον AD Cs

Οι δύο AD Cs ελέγχονται και διαμορφώνονται μέσω

κάποιων SFRs που αναφέρονται εδώ και περιγράφονται λεπτομερέστερα παρακάτω.

ADCSTAT: Καταχωρητής κατάστασης του ADC. Κρατά την γενική κατάσταση του πρωτεύον και δευτερεύον ADC.

ADCMODE: Καταχωρητής τρόπου λειτουργίας του ADC. Διαμορφώνει τον γενικό τρόπο λειτουργίας των ADCs .

ADC0CON: Καταχωρητής ελέγχου του πρωτεύοντος ADC. Ελέγχει την συγκεκριμένη λειτουργία του πρωτεύοντος ADC.

ADC1CON: Καταχωρητής ελέγχου του δευτερεύοντος ADC. Ελέγχει την συγκεκριμένη λειτουργία του δευτερεύοντος ADC.

SF: Καταχωρητής φίλτρων ημιτόνου. Διαμορφώνει τον παράγοντα αποδεκατισμού για το φίλτρο Sinc3 και καθορίζει την περίοδο ανανέωσης τόσο του πρωτεύοντος όσο και του δευτερεύοντος ADC.

ICON: Καταχωρητής ελέγχου πηγών ρεύματος. Επιτρέπει στο χρήστη να ελέγχει τα διάφορα επίπεδα των πηγών ρεύματος στο ολοκληρωμένο .

ADC0L/M/H: Οι τρεις 8μπιτοι καταχωρητές στους οποίους καταχωρείται το 24-bit αποτέλεσμα του πρωτεύοντος ADC.

ADC1L/H: Οι δύο οχτάμπιτοι καταχωρητές στους οποίους καταχωρείται το 16-bit αποτέλεσμα του δευτερεύοντος ADC.

OF0L/M/H: Οι τρεις 8μπιτοι καταχωρητές με τους οποίους διαμορφώνεται η 24-bit μετατόπιση βαθμονόμησης του πρωτεύοντος ADC.

OF1L/H: Οι δύο 8μπιτοι καταχωρητές με τους οποίους διαμορφώνεται η 16-bit μετατόπιση βαθμονόμησης του δευτερεύοντος ADC.

GN0L/M/H: Οι τρεις 8μπιτοι καταχωρητές με τους οποίους διαμορφώνεται η 24-bit μετατόπιση βαθμονόμησης του κέρδους του πρωτεύοντος ADC.

GN1L/H: Οι δύο 8μπιτοι καταχωρητές με τους οποίους διαμορφώνεται η 16-bit μετατόπιση βαθμονόμησης του κέρδους του δευτερεύοντος ADC.

## ADCSTAT-(ADC Status Register)

Αυτός ο καταχωρητής ειδικής λειτουργίας απεικονίζει την κατάσταση και των δύο ADCs συμπεριλαμβανομένου και την σημαία των έτοιμων δεδομένων , την ρύθμιση και διάφορες προειδοποιήσεις λάθους , εντοπισμός πηγής και σημαίες υπερχείλισης μετατροπής .

SFR Address                      D8H  
Power-On Default Value        00H  
Bit Addressable                    Yes

|      |      |     |        |      |      |   |   |
|------|------|-----|--------|------|------|---|---|
| RDY0 | RDY1 | CAL | NOXREF | ERR0 | ERR1 | — | — |
|------|------|-----|--------|------|------|---|---|



| Bit | Name   | Description  |
|-----|--------|--|
| 7   | RDY0   | Ready Bit for Primary ADC<br>Set by hardware on completion of ADC conversion or calibration cycle.<br>Cleared directly by the user or indirectly by write to the mode bits to start another Primary ADC conversion or calibration. The Primary ADC is inhibited from writing further results to its data or calibration registers until the RDY0 bit is cleared. |
| 6   | RDY1   | Ready Bit for Auxiliary ADC<br>Same definition as RDY0 referred to the Auxiliary ADC.  |
| 5   | CAL    | Calibration Status Bit<br>Set by hardware on completion of calibration.<br>Cleared indirectly by a write to the mode bits to start another ADC conversion or calibration.  |
| 4   | NOXREF | No External Reference Bit ( <i>only active if Primary or Auxiliary ADC is active</i> ).<br>Set to indicate that one or both of the REFIN pins is floating or the applied voltage is below a specified threshold. When Set conversion results are clamped to all ones, if using ext. reference.<br>Cleared to indicate valid $V_{REF}$ .                          |
| 3   | ERR0   | Primary ADC Error Bit<br>Set by hardware to indicate that the result written to the Primary ADC data registers has been clamped to all zeros or all ones. After a calibration this bit also flags error conditions that caused the calibration registers not to be written.<br>Cleared by a write to the mode bits to initiate a conversion or calibration.      |
| 2   | ERR1   | Auxiliary ADC Error Bit<br>Same definition as ERR0 referred to the Auxiliary ADC.  |
| 1   | —      | Reserved for Future Use  |
| 0   | —      | Reserved for Future Use  |

## ADCMODE (ADC Mode Register)

Ο καταχωρητής αυτός χρησιμοποιείται για τον έλεγχο της κατάστασης λειτουργίας και των δύο ADCs .

SFR Address                    D1H  
Power-On Default Value      00H  
Bit Addressable                No

|   |   |        |        |   |     |     |     |
|---|---|--------|--------|---|-----|-----|-----|
| — | — | ADC0EN | ADC1EN | — | MD2 | MD1 | MD0 |
|---|---|--------|--------|---|-----|-----|-----|

| Bit | Name   | Description  |
|-----|--------|--|
| 7   | —      | Reserved for Future Use  |
| 6   | —      | Reserved for Future Use  |
| 5   | ADC0EN | Primary ADC Enable<br>Set by the user to enable the Primary ADC and place it in the mode selected in MD2–MD0 below<br>Cleared by the user to place the Primary ADC in power-down mode.   |
| 4   | ADC1EN | Auxiliary ADC Enable<br>Set by the user to enable the Auxiliary ADC and place it in the mode selected in MD2–MD0 below<br>Cleared by the user to place the Auxiliary ADC in power-down mode.   |
| 3   | —      | Reserved for Future Use  |
| 2   | MD2    | Primary and Auxiliary ADC Mode bits.<br>These bits select the operational mode of the enabled ADC as follows:<br>MD2 MD1 MD0   |
| 1   | MD1    |  |
| 0   | MD0    |  |
|     |        |  |
|     |        | 0 0 1 Idle Mode<br>In Idle Mode the ADC filter and modulator are held in a reset state although the modulator clocks are still provided.   |
|     |        | 0 1 0 Single Conversion Mode<br>In Single Conversion Mode, a single conversion is performed on the enabled ADC. On completion of the conversion, the ADC data registers (ADC0H/M/L and/or ADC1H/L) are updated, the relevant flags in the ADCSTAT SFR are written, and power-down is re-entered with the MD2–MD0 accordingly being written to 000. |
|     |        | 0 1 1 Continuous Conversion<br>In continuous conversion mode the ADC data registers are regularly updated at the selected update rate (see SF register)  |
|     |        | 1 0 0 Internal Zero-Scale Calibration<br>Internal short is automatically connected to the enabled ADC(s)   |
|     |        | 1 0 1 Internal Full-Scale Calibration<br>Internal or External $V_{REF}$ (as determined by XREF0 and XREF1 bits in ADC0/1CON) is automatically connected to the ADC input for this calibration.   |
|     |        | 1 1 0 System Zero-Scale Calibration<br>User should connect system zero-scale input to the ADC input pins as selected by CH1/CH0 and ACH1/ACH0 bits in the ADC0/1CON register.  |
|     |        | 1 1 1 System Full-Scale Calibration<br>User should connect system full-scale input to the ADC input pins as selected by CH1/CH0 and ACH1/ACH0 bits in the ADC0/1CON register.  |

#### NOTES

- Any change to the MD bits will immediately reset both ADCs. A write to the MD2–0 bits with no change is also treated as a reset. (See exception to this in Note 3 below.)
- If ADC0CON is written when AD0EN = 1, or if AD0EN is changed from 0 to 1, then both ADCs are also immediately reset. In other words, the Primary ADC is given priority over the Auxiliary ADC and any change requested on the primary ADC is immediately responded to.
- On the other hand, if ADC1CON is written or if ADC1EN is changed from 0 to 1, only the Auxiliary ADC is reset. For example, if the Primary ADC is continuously converting when the Auxiliary ADC change or enable occurs, the primary ADC continues undisturbed. Rather than allow the Auxiliary ADC to operate with a phase difference from the primary ADC, the Auxiliary ADC will fall into step with the outputs of the primary ADC. The result is that the first conversion time for the Auxiliary ADC will be delayed up to three outputs while the Auxiliary ADC update rate is synchronized to the Primary ADC.
- Once ADCMODE has been written with a calibration mode, the RDY0/1 bits (ADCSTAT) are immediately reset and the calibration commences. On completion, the appropriate calibration registers are written, the relevant bits in ADCSTAT are written, and the MD2–0 bits are reset to 000 to indicate the ADC is back in power-down mode.
- Any calibration request of the Auxiliary ADC while the temperature sensor is selected will fail to complete. Although the RDY1 bit will be set at the end of the calibration cycle, no update of the calibration SFRs will take place and the ERR1 bit will be set.
- Calibrations are performed at maximum SF (see SF SFR) value guaranteeing optimum calibration operation.

## ADC0CON (Καταχωρητής ελέγχου Πρωτεύοντος ADC)

Ο καταχωρητής αυτός χρησιμοποιείται για την διαμόρφωση του εύρους, την επιλογή καναλιού λειτουργίας την ενεργοποίηση του εξωτερικού Ref και την επιλογή μονοπολικής ή διπολικής κωδικοποίησης του πρωτεύοντος ADC.

SFR Address D2H  
Power-On Default Value 07H  
Bit Addressable No

|   |       |     |     |      |     |     |     |
|---|-------|-----|-----|------|-----|-----|-----|
| — | XREF0 | CH1 | CH0 | UNI0 | RN2 | RN1 | RN0 |
|---|-------|-----|-----|------|-----|-----|-----|

| Bit | Name  | Description   |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
|-----|-------|---|--|----------------|-----|----------------|---|---|---|------|--------------------|---|---|------|--------------------|---|---|------|-----------------------|---|---|------|---------------------|---|---|---|---------------------|---|---|---|---------------------|---|---|---|---------------------|---|---|---|
| 7   | —     | Reserved for Future Use   |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 6   | XREF0 | Primary ADC External Reference Select Bit<br>Set by user to enable the Primary ADC to use the external reference via REFIN(+)/REFIN(-).<br>Cleared by user to enable the Primary ADC to use the internal bandgap reference ( $V_{REF} = 1.25\text{ V}$ ). |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 5   | CH1   | Primary ADC Channel Selection Bits<br>Written by the user to select the differential input pairs used by the Primary ADC as follows:  |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 4   | CH0   |   |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
|     |       |   | <table border="0"> <thead> <tr> <th>CH1</th> <th>CH0</th> <th>Positive Input</th> <th>Negative Input</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>AIN1</td> <td>AIN2</td> </tr> <tr> <td>0</td> <td>1</td> <td>AIN3</td> <td>AIN4</td> </tr> <tr> <td>1</td> <td>0</td> <td>AIN2</td> <td>AIN2 (Internal Short)</td> </tr> <tr> <td>1</td> <td>1</td> <td>AIN3</td> <td>AIN2</td> </tr> </tbody> </table>  | CH1            | CH0 | Positive Input | Negative Input  | 0 | 0 | AIN1 | AIN2               | 0 | 1 | AIN3 | AIN4               | 1 | 0 | AIN2 | AIN2 (Internal Short) | 1 | 1 | AIN3 | AIN2                |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| CH1 | CH0   |   | Positive Input   | Negative Input |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 0   | 0     | AIN1  | AIN2   |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 0   | 1     | AIN3  | AIN4   |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 1   | 0     | AIN2  | AIN2 (Internal Short)  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 1   | 1     | AIN3  | AIN2   |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
|     |       |   |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 3   | UNI0  | Primary ADC Unipolar Bit.<br>Set by user to enable unipolar coding, i.e., zero differential input will result in 000000 hex output.<br>Cleared by user to enable bipolar coding, zero differential input will result in 800000 hex output.                |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 2   | RN2   | Primary ADC Range Bits<br>Written by the user to select the Primary ADC input range as follows:   |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 1   | RN1   |   |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 0   | RN0   |   |  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
|     |       |   | <table border="0"> <thead> <tr> <th>RN2</th> <th>RN1</th> <th>RN0</th> <th>Selected Primary ADC Input Range (<math>V_{REF} = 2.5\text{ V}</math>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td><math>\pm 20\text{ mV}</math></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td><math>\pm 40\text{ mV}</math></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td><math>\pm 80\text{ mV}</math></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td><math>\pm 160\text{ mV}</math></td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td><math>\pm 320\text{ mV}</math></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td><math>\pm 640\text{ mV}</math></td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td><math>\pm 1.28\text{ V}</math></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td><math>\pm 2.56\text{ V}</math></td> </tr> </tbody> </table> | RN2            | RN1 | RN0            | Selected Primary ADC Input Range ( $V_{REF} = 2.5\text{ V}$ ) | 0 | 0 | 0    | $\pm 20\text{ mV}$ | 0 | 0 | 1    | $\pm 40\text{ mV}$ | 0 | 1 | 0    | $\pm 80\text{ mV}$    | 0 | 1 | 1    | $\pm 160\text{ mV}$ | 1 | 0 | 0 | $\pm 320\text{ mV}$ | 1 | 0 | 1 | $\pm 640\text{ mV}$ | 1 | 1 | 0 | $\pm 1.28\text{ V}$ | 1 | 1 | 1 |
| RN2 | RN1   | RN0   | Selected Primary ADC Input Range ( $V_{REF} = 2.5\text{ V}$ )  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 0   | 0     | 0   | $\pm 20\text{ mV}$   |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 0   | 0     | 1   | $\pm 40\text{ mV}$   |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 0   | 1     | 0   | $\pm 80\text{ mV}$   |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 0   | 1     | 1   | $\pm 160\text{ mV}$  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 1   | 0     | 0   | $\pm 320\text{ mV}$  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 1   | 0     | 1   | $\pm 640\text{ mV}$  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 1   | 1     | 0   | $\pm 1.28\text{ V}$  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |
| 1   | 1     | 1   | $\pm 2.56\text{ V}$  |                |     |                |   |   |   |      |                    |   |   |      |                    |   |   |      |                       |   |   |      |                     |   |   |   |                     |   |   |   |                     |   |   |   |                     |   |   |   |

ADC1CON (Καταχωρητής ελέγχου δευτερεύοντος ADC)

Ο καταχωρητής αυτός χρησιμοποιείται για την διαμόρφωση του εύρους , την επιλογή καναλιού λειτουργίας την ενεργοποίηση του εξωτερικού Ref και την επιλογή μονοπολικής ή διπολικής κωδικοποίησης του δευτερεύοντος ADC. Πρέπει να σημειωθεί ότι ο δευτερεύον ADC λειτουργεί μόνο σε ένα διαμορφωμένο εύρος σήματος εισόδου τύπου  $\pm V_{REF}$ .

SFR Address                    D3H  
 Power-On Default Value    00H  
 Bit Addressable                No

|   |       |      |      |      |   |   |   |
|---|-------|------|------|------|---|---|---|
| — | XREF1 | ACH1 | ACH0 | UNI1 | — | — | — |
|---|-------|------|------|------|---|---|---|

| Bit  | Name  | Description  |   |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
|------|-------|--|---|------|----------------|----------------|---|---|------|------|---|---|------|------|---|---|--------------|---|---|---|------|------|
| 7    | —     | Reserved for Future Use  |   |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 6    | XREF1 | Auxiliary ADC External Reference Bit<br>Set by user to enable the Auxiliary ADC to use the external reference via REFIN(+)/REFIN(-).<br>Cleared by user to enable the Auxiliary ADC to use the internal bandgap reference.   |   |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 5    | ACH1  | Auxiliary ADC Channel Selection Bits   |   |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 4    | ACH0  | Written by the user to select the single-ended input pins used to drive the Auxiliary ADC as follows:<br><table border="1"> <tr> <td>ACH1</td> <td>ACH0</td> <td>Positive Input</td> <td>Negative Input</td> </tr> <tr> <td>0</td> <td>0</td> <td>AIN3</td> <td>AGND</td> </tr> <tr> <td>0</td> <td>1</td> <td>AIN4</td> <td>AGND</td> </tr> <tr> <td>1</td> <td>0</td> <td>Temp Sensor*</td> <td>AGND (Temp. Sensor routed to the ADC input)</td> </tr> <tr> <td>1</td> <td>1</td> <td>AIN5</td> <td>AGND</td> </tr> </table> | ACH1  | ACH0 | Positive Input | Negative Input | 0 | 0 | AIN3 | AGND | 0 | 1 | AIN4 | AGND | 1 | 0 | Temp Sensor* | AGND (Temp. Sensor routed to the ADC input) | 1 | 1 | AIN5 | AGND |
| ACH1 | ACH0  | Positive Input   | Negative Input                              |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 0    | 0     | AIN3   | AGND  |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 0    | 1     | AIN4   | AGND  |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 1    | 0     | Temp Sensor*   | AGND (Temp. Sensor routed to the ADC input) |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 1    | 1     | AIN5   | AGND  |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 3    | UNI1  | Auxiliary ADC Unipolar Bit<br>Set by user to enable unipolar coding, i.e., zero input will result in 0000 hex output.<br>Cleared by user to enable bipolar coding, zero input will result in 8000 hex output.  |   |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 2    | —     | Reserved for Future Use  |   |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 1    | —     | Reserved for Future Use  |   |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |
| 0    | —     | Reserved for Future Use  |   |      |                |                |   |   |      |      |   |   |      |      |   |   |              |   |   |   |      |      |

**\*NOTES**

1. When the temperature sensor is selected, user code must select internal reference via XREF1 bit above and clear the UNI1 bit (ADC1CON.3) to select bipolar coding.
2. The temperature sensor is factory calibrated to yield conversion results 8000H at 0°C.
3. A +1°C change in temperature will result in a +1 LSB change in the ADC1H register ADC conversion result.

### SF (Καταχωρητής φίλτρου συγχρονισμού)

Ο αριθμός του καταχωρητή αυτού θέτει τον παράγοντα αποδεδκατισμού και έτσι το ρυθμό ανανέωσης της εξόδου τόσο για τον πρωτεύοντα όσο και για τον δευτερεύοντα ADC. Ο καταχωρητής αυτός δεν μπορεί να γραφτεί από τον χρήστη όταν ένας από τους ADCs είναι ενεργοποιημένος . Ο ρυθμός ανανέωσης

αυτός εφαρμόζεται και στους δύο ADC και υπολογίζεται με τον παρακάτω τρόπο :

$$f_{ADC} = \frac{1}{3} * \frac{1}{8SF} * f_{MOD}$$

Όπου:  $f_{ADC}$  = ρυθμός ανανέωσης εξόδου ADC

$f_{MOD}$  = ρολόι διαμόρφωσης συχνότητας = 32.768 KHz

SF = παράγοντας αποδεκατισμού του καταχωρητή SF

Η επιτρεπτή κλίμακα για το SF είναι από 0Dhex ως FFhex . Παραδείγματα αναλογίας της τιμής του SF , του χρόνου αντίδρασης ανανέωσης μετατροπών και του χρόνου μετατροπής παρουσιάζονται στον παρακάτω πίνακα . Τόσο στον πρωτεύον όσο και στον δευτερεύον ADC οι είσοδοι μετατρέπονται σε πριονωτή μορφή για την ελαχιστοποίηση λαθών και για αυτό ο χρόνος για μια μετατροπή ή για την απολαβή του πρώτου αποτελέσματος είναι  $2 * t_{ADC}$  . Όλοι οι κύκλοι ρυθμίσεως θα γίνονται αυτόματα και με την μέγιστη τιμή του SF (FFHex) για να εξασφαλιστεί η καλύτερη δυνατή ρύθμιση και μετά το τέλος της η τιμή του SF επανέρχεται στην προεπιλεγμένη τιμή που έχει δώσει ο χρήστης .

| SF(dec) | SF(hex) | $f_{ADC}$ (Hz) | $t_{ADC}$ (ms) |
|---------|---------|----------------|----------------|
| 13      | 0D      | 105.3          | 9.52           |
| 69      | 45      | 19.79          | 50.34          |
| 255     | FF      | 5.35           | 186.77         |

### ICON (Καταχωρητής ελέγχου πηγών ρεύματος)

Χρησιμοποιείται για να ελέγχει και να επιβεβαιώνει την διέγερση των πηγών ρεύματος που διατίθενται στο τσιπ .

SFR Address                      D5H  
Power-On Default Value        00H  
Bit Addressable                    No

|   |    |        |        |       |       |      |      |
|---|----|--------|--------|-------|-------|------|------|
| — | BO | ADC1IC | ADC0IC | I2PIN | I1PIN | I2EN | I1EN |
|---|----|--------|--------|-------|-------|------|------|

| Bit | Name   | Description  |
|-----|--------|--|
| 7   | —      | Reserved for Future Use  |
| 6   | BO     | Burnout Current Enable Bit<br><i>Set</i> by user to enable both transducer burnout current sources in the primary ADC signal paths.<br><i>Cleared</i> by user to disable both transducer burnout current sources.                          |
| 5   | ADC1IC | Auxiliary ADC Current Correction Bit<br><i>Set</i> by user to allow scaling of the Auxiliary ADC by an internal current source calibration word.   |
| 4   | ADC0IC | Primary ADC Current Correction Bit<br><i>Set</i> by user to allow scaling of the Primary ADC by an internal current source calibration word.   |
| 3   | I2PIN* | Current Source-2 Pin Select Bit<br><i>Set</i> by user to enable current source-2 (200 $\mu$ A) to external pin 3 (P1.2/DAC/IEXC1).<br><i>Cleared</i> by user to enable current source-2 (200 $\mu$ A) to external pin 4 (P1.3/AIN5/IEXC2). |
| 2   | I1PIN* | Current Source-1 Pin Select Bit<br><i>Set</i> by user to enable current source-1 (200 $\mu$ A) to external pin 4 (P1.3/AIN5/IEXC2).<br><i>Cleared</i> by user to enable current source-1 (200 $\mu$ A) to external pin 3 (P1.2/DAC/IEXC1). |
| 1   | I2EN   | Current Source-2 Enable Bit<br><i>Set</i> by user to turn on excitation current source-2 (200 $\mu$ A).<br><i>Cleared</i> by user to turn off excitation current source-2 (200 $\mu$ A).   |
| 0   | I1EN   | Current Source-1 Enable Bit<br><i>Set</i> by user to turn on excitation current source-1 (200 $\mu$ A).<br><i>Cleared</i> by user to turn off excitation current source-1 (200 $\mu$ A).   |

\*Both current sources can be enabled to the same external pin, yielding a 400  $\mu$ A current source.

### ADC0H/ADC0M/ADC0L (Καταχωρητές αποτελέσματος μετατροπής πρωτεύοντος ADC)

Αυτοί οι τρεις 8μπιτοι καταχωρητές κρατάνε το 24-bit αποτέλεσμα της μετατροπής του πρωτεύοντος ADC .

|                        |       |                     |     |
|------------------------|-------|---------------------|-----|
| SFR Address            | ADC0H | High Data Byte      | DBH |
|                        | ADC0M | Middle Data Byte    | DAH |
|                        | ADC0L | Low Data Byte       | D9H |
| Power-On Default Value | 00H   | All Three registers |     |
| Bit Addressable        | No    | All Three registers |     |

### ADC1H/ADC1L (Καταχωρητές αποτελέσματος μετατροπής δευτερεύοντος ADC)

Αυτοί οι δύο 8μπιτοι καταχωρητές κρατάνε το 16-bit αποτέλεσμα της μετατροπής του δευτερεύοντος ADC .

|                        |       |                |     |
|------------------------|-------|----------------|-----|
| SFR Address            | ADC1H | High Data Byte | DDH |
|                        | ADC1L | Low Data Byte  | DCH |
| Power-On Default Value | 00H   | Both Registers |     |
| Bit Addressable        | No    | Both Registers |     |

### OF0H/OF0M/OF0L (Καταχωρητής ρυθμίσεως μετατόπισης πρωτεύοντος ADC)

Αυτοί οι τρεις οχτάμπιτοι καταχωρητές κρατάνε την 24-bit μετατόπιση ρυθμίσεως του πρωτεύοντος ADC . Οι καταχωρητές αυτοί κατά την τροφοδοσία του συστήματος έχουν από τον κατασκευαστή την τιμή 800000Hex , ωστόσο η τιμή αυτή αλλάζει εάν εσωτερικά ή μετά από εντολή του χρήστη δοθεί εντολή αναρρύθμισης μέσω του MD2-0bits του καταχωρητή ADCMODE .

|                        |         |  |     |
|------------------------|---------|--|-----|
| SFR Address            | OF0H    | Primary ADC Offset Coefficient High Byte   | E3H |
|                        | OF0M    | Primary ADC Offset Coefficient Middle Byte | E2H |
|                        | OF0L    | Primary ADC Offset Coefficient Low Byte    | E1H |
| Power-On Default Value | 800000H | OF0H, OF0M, and OF0L, Respectively         |     |
| Bit Addressable        | No      | All Three Registers                        |     |

### OF1H/OF1L (Καταχωρητής ρυθμίσεως μετατόπισης δευτερεύοντος ADC)

Αυτοί οι δύο οχτάμπιτοι καταχωρητές κρατάνε την 16-bit μετατόπιση ρυθμίσεως του δευτερεύοντος ADC . Οι καταχωρητές αυτοί κατά την τροφοδοσία του συστήματος έχουν από τον κατασκευαστή την τιμή 8000Hex , ωστόσο η τιμή αυτή αλλάζει εάν εσωτερικά ή μετά από εντολή του χρήστη δοθεί εντολή αναρρύθμισης μέσω του MD2-0bits του καταχωρητή ADCMODE .

|                        |       |  |     |
|------------------------|-------|--|-----|
| SFR Address            | OF1H  | Auxiliary ADC Offset Coefficient High Byte | E5H |
|                        | OF1L  | Auxiliary ADC Offset Coefficient Low Byte  | E4H |
| Power-On Default Value | 8000H | OF1H and OF1L Respectively                 |     |
| Bit Addressable        | No    | Both Registers                             |     |

### GN0H/GN0M/GN0L (Καταχωρητής ρύθμισης κέρδους πρωτεύοντος ADC)

Αυτοί οι τρεις οχτάμπιτοι καταχωρητές κρατάνε την 24-bit ρύθμιση κέρδους του πρωτεύοντος ADC . Οι καταχωρητές αυτοί κατά την τροφοδοσία του συστήματος έχουν εκ κατασκευής την εσωτερική μέγιστη κλίμακα απολαβής κέρδους , ωστόσο η τιμή αυτή αλλάζει εάν εσωτερικά ή μετά από εντολή του χρήστη δοθεί εντολή αναρρύθμισης μέσω του MD2-0bits του καταχωρητή ADCMODE .

|                        |      |  |     |
|------------------------|------|--|-----|
| SFR Address            | GN0H | Primary ADC Gain Coefficient High Byte             | EBH |
|                        | GN0M | Primary ADC Gain Coefficient Middle Byte           | EAH |
|                        | GN0L | Primary ADC Gain Coefficient Low Byte              | E9H |
| Power-On Default Value |      | Configured at factory final test, see notes above. |     |
| Bit Addressable        | No   | All Three Registers                                |     |

## GN1H/GN1L (Καταχωρητής ρύθμισης κέρδους δευτερεύοντος ADC)

Αυτοί οι δύο οχτάμπιτοι καταχωρητές κρατάνε την 16-bit ρύθμιση κέρδους του δευτερεύοντος ADC . Οι καταχωρητές αυτοί κατά την τροφοδοσία του συστήματος έχουν εκ κατασκευής την εσωτερική μέγιστη κλίμακα απολαβής κέρδους , ωστόσο η τιμή αυτή αλλάζει εάν εσωτερικά ή μετά από εντολή του χρήστη δοθεί εντολή αναρρύθμισης μέσω του MD2-0bits του καταχωρητή ADCMODE .

|                        |              |   |            |
|------------------------|--------------|---|------------|
| SFR Address            | GN1H<br>GN1L | Auxiliary ADC Gain Coefficient High Byte<br>Auxiliary ADC Gain Coefficient Low Byte | EDH<br>ECH |
| Power-On Default Value |              | Configured at factory final test, see notes above.                                  |            |
| Bit Addressable        | No           | Both Registers  |            |

\*These registers can be overwritten by user software only if Mode bits MD0-2 (ADCMODE SFR) are zero.

## 6. ΠΕΡΙΓΡΑΦΗ ΠΡΩΤΕΥΟΝΤΟΣ / ΔΕΥΤΕΡΕΥΟΝΤΟΣ ADC

### Γενική περιγραφή

Το ADuC824 περιέχει δύο ανεξάρτητους σίγμα-δέλτα ADCs (πρωτεύοντα και δευτερεύοντα ) με ενσωματωμένο ψηφιακό φίλτρο που προορίζεται για μετρήσεις ευρείας δυναμικής περιοχής ή σήματα χαμηλής συχνότητας όπως εκείνα της κλίμακας βάρους , της μέτρησης πίεσης και τις εφαρμογές μέτρησης θερμοκρασίας .

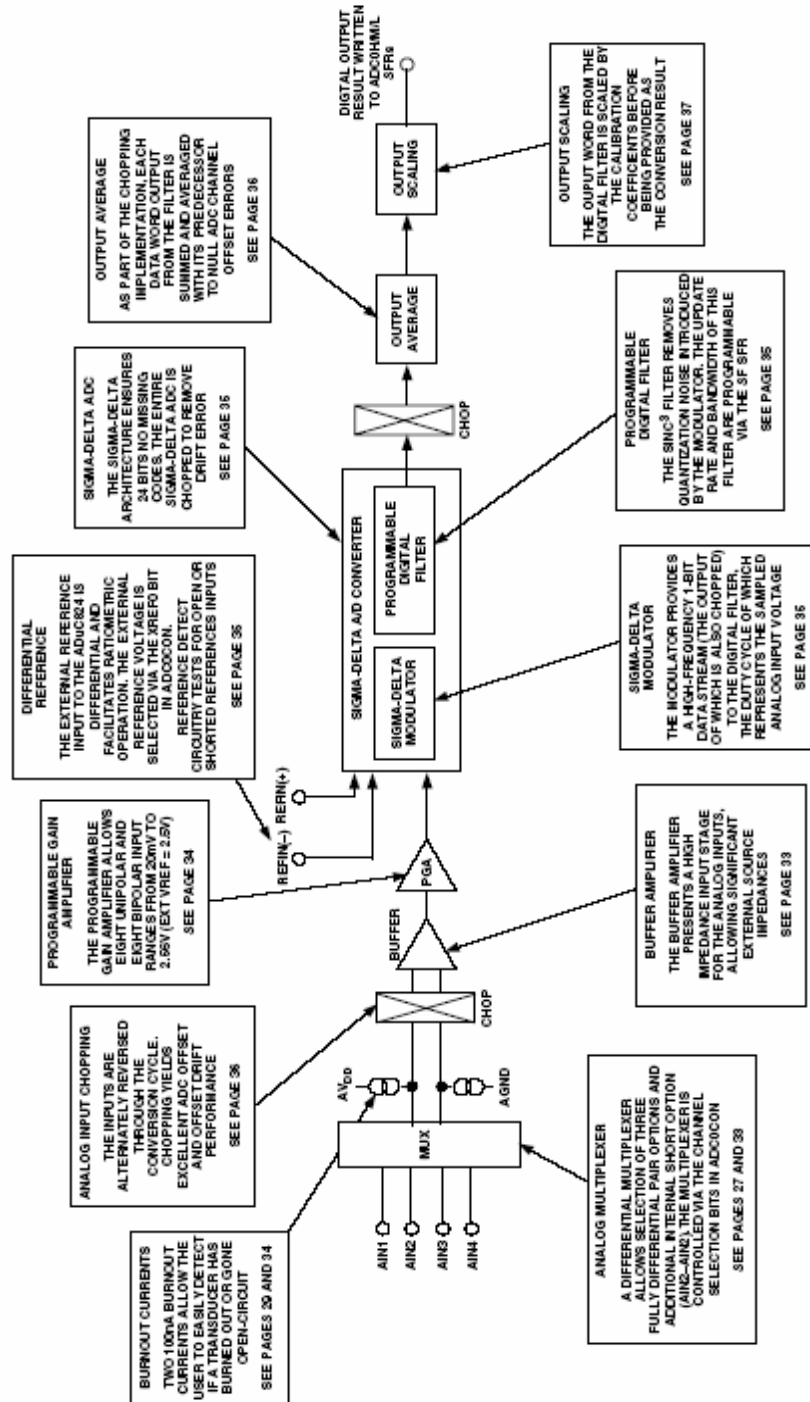
### Πρωτεύων ADC

Αυτός ο ADC προορίζεται για την μετατροπή των εισόδων αισθητήρων στον πρωτεύοντα . Η είσοδος απομονώνεται και μπορεί να προγραμματιστεί για μία από τις οχτώ διαφορετικές κλίμακες από  $\pm 20\text{mV}$  ως και  $\pm 2,56\text{V}$  και μπορεί να οδηγηθεί με ένα από τα τρία διαφορετικά κανάλια εισόδου τα οποία είναι AIN1,2 AIN3,4 και AIN3,2. Το κανάλι εισόδου αποθηκεύεται εσωτερικά επιτρέποντας το χειρισμό των σύνθετων αντιστάσεων των αναλογικών εισόδων



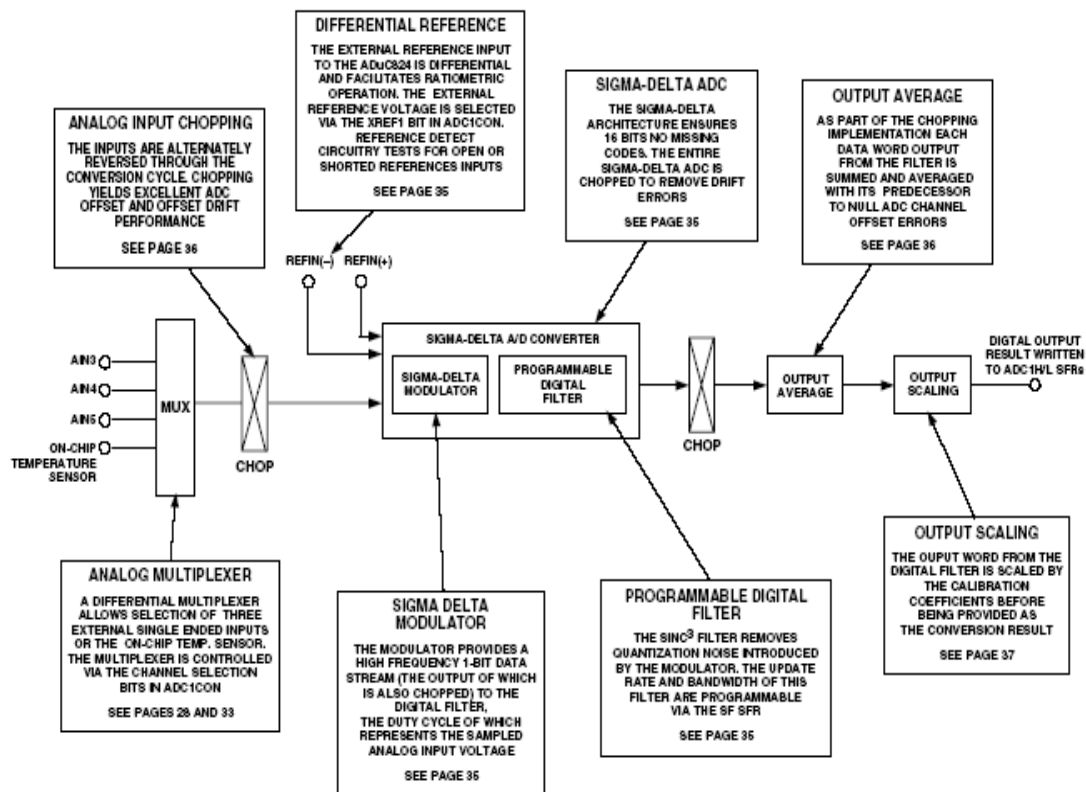
και επιτρέπει εάν χρειάζεται την τοποθέτηση σε αυτές φίλτρο R/C για την απόρριψη θορύβου ή την μείωση του RFI . Μπορούν ακόμα να ενεργοποιηθούν τα ρεύματα ουδετεροποίησης τα οποία υπάρχουν ενσωματωμένα στο ολοκληρωμένο, τα ρεύματα αυτά μπορούν να χρησιμοποιηθούν για τον έλεγχο ενός εκπομπού στο επιλεγμένο κανάλι αν είναι ακόμη σε λειτουργία πριν επιχειρηθεί η λήψη μετρήσεων .

Ο ADC υιοθετεί μια τεχνική μετατροπής σίγμα-δέλτα για να πραγματοποιεί χωρίς απώλεια κώδικα εξαγωγή του αποτελέσματος μετατροπής . Ο διαμορφωτής σίγμα-δέλτα μετατρέπει το επιλεγέν δείγμα σήματος εισόδου σε ένα ψηφιακό συρμό παλμών του οποίου η περίοδος περιέχει τις πληροφορίες σε ψηφιακή μορφή . Ένα προγραμματιζόμενο φίλτρο χαμηλής διέλευσης Sinc3 αναλαμβάνει έπειτα να αποδεκατίσει τη διαμορφωμένη ροή δεδομένων εξόδου και να δώσει ένα έγκυρο αποτέλεσμα μετατροπής δεδομένων στην προγραμματιζόμενη κλίμακας έξοδο από 5,35HZ(186.77ms) ως 105.03Hz(9.52ms) . Ένας ψαλιδιστής εφαρμόζεται για την ελαχιστοποίηση του σφάλματος μετατοπίσεως του ADC . Παρακάτω εμφανίζεται ένα μπλοκ διάγραμμα του πρωτεύοντος ADC.



Δευτερώων ADC

Ο δευτερεύων ADC προορίζεται για την μετατροπή των συμπληρωματικών εισόδων όπως αυτή μιας ψυχρούς ενώσεως δίοδο ή ενός θερμίστορ . Αυτός ο ADC δεν αποθηκεύει την είσοδό του και έχει σταθερή κλίμακα από 0V ως 2.5V ( με εξωτερική τάση σύγκρισης 2,5V). Οι μονοπολικές του εισοδοι μπορούν να οδηγηθούν από τους ακροδέκτες AIN3 , AIN4 , AIN5 ή άμεσα από την ενσωματωμένη τάση αισθητήρων θερμοκρασίας. Παρακάτω εμφανίζεται ένα μπλοκ διάγραμμα του δευτερεύοντος ADC.



Από  
δοση  
Θορ  
ύβου  
Πρω  
τεύο  
ντος  
και  
Δευτ

ερέοντος ADC

Οι παρακάτω πίνακες παρουσιάζουν τον θόρυβο RMS σε  $\mu V$  και την ανάλυση της εξόδου peak-to-peak σε bit , που στρογγυλοποιούνται στο κοντινότερο 0.5 LSB, για μερικούς τυπικούς ρυθμούς ανανέωσης εξόδου και στους δύο ADCs . Οι αριθμοί είναι τυπικοί και παράγονται σε μια διαφορική τάση εισόδου ο V . Ο ρυθμός ανανέωσης της εξόδου επιλέγεται μέσω των SF7-SF0 bits του φίλτρου Sinc (SF) του καταχωρητή SFR . Είναι σημαντικό να σημειωθεί ότι οι peak-to-peak αριθμοί ανάλυσης αντιπροσωπεύουν την ανάλυση για την οποία δεν θα υπάρχει κανένα τρεμούλιασμα κώδικα μέσα σε ένα όριο έξι-σίγμα .

Typical Output RMS Noise vs. Input Range and Update Rate; Output RMS Noise in  $\mu\text{V}$

| SF Word | Data Update Rate (Hz) | Input Range        |                    |                    |                     |                     |                     |                     |                     |
|---------|-----------------------|--------------------|--------------------|--------------------|---------------------|---------------------|---------------------|---------------------|---------------------|
|         |                       | $\pm 20\text{ mV}$ | $\pm 40\text{ mV}$ | $\pm 80\text{ mV}$ | $\pm 160\text{ mV}$ | $\pm 320\text{ mV}$ | $\pm 640\text{ mV}$ | $\pm 1.28\text{ V}$ | $\pm 2.56\text{ V}$ |
| 13      | 105.3                 | 1.50               | 1.50               | 1.60               | 1.75                | 3.50                | 4.50                | 6.70                | 11.75               |
| 69      | 19.79                 | 0.60               | 0.65               | 0.65               | 0.65                | 0.65                | 0.95                | 1.40                | 2.30                |
| 255     | 5.35                  | 0.35               | 0.35               | 0.37               | 0.37                | 0.37                | 0.51                | 0.82                | 1.25                |

Peak-to-Peak Resolution vs. Input Range and Update Rate; Peak-to-Peak Resolution in Bits

| SF Word | Data Update Rate (Hz) | Input Range        |                    |                    |                     |                     |                     |                     |                     |
|---------|-----------------------|--------------------|--------------------|--------------------|---------------------|---------------------|---------------------|---------------------|---------------------|
|         |                       | $\pm 20\text{ mV}$ | $\pm 40\text{ mV}$ | $\pm 80\text{ mV}$ | $\pm 160\text{ mV}$ | $\pm 320\text{ mV}$ | $\pm 640\text{ mV}$ | $\pm 1.28\text{ V}$ | $\pm 2.56\text{ V}$ |
| 13      | 105.3                 | 12                 | 13                 | 14                 | 15                  | 15                  | 15.5                | 16                  | 16                  |
| 69      | 19.79                 | 13                 | 14                 | 15                 | 16                  | 17                  | 17.5                | 18                  | 18.5                |
| 255     | 5.35                  | 14                 | 15                 | 16                 | 17                  | 18                  | 18.5                | 18.8                | 19.2                |

Typical Output RMS Noise vs. Update Rate\*  
Output RMS Noise in  $\mu\text{V}$

| SF Word | Data Update Rate (Hz) | Input Range 2.5 V |
|---------|-----------------------|-------------------|
| 13      | 105.3                 | 10.75             |
| 69      | 19.79                 | 2.00              |
| 255     | 5.35                  | 1.15              |

\*ADC converting in bipolar mode.

Peak-to-Peak Resolution vs. Update Rate<sup>1</sup>  
Peak-to-Peak Resolution in Bits

| SF Word | Data Update Rate (Hz) | Input Range 2.5 V |
|---------|-----------------------|-------------------|
| 13      | 105.3                 | 16 <sup>2</sup>   |
| 69      | 19.79                 | 16                |
| 255     | 5.35                  | 16                |

NOTES

<sup>1</sup>ADC converting in bipolar mode.

<sup>2</sup>In unipolar mode peak-to-peak resolution at 105 Hz is 15 bits.

## Αναλογικές Είσοδοι

Ο πρωτεύων ADC έχει τέσσερις συνεργάσιμες αναλογικές εισόδους (AIN1 – AIN4) που μπορούν να διαμορφωθούν ως δύο πλήρη διαφορικά κανάλια εισόδου. Τα bits επιλογής των καναλιών στον ADC0CON SFR επιτρέπουν τρεις συνδυασμούς διαφορικής επιλογής ζεύγους καθώς επίσης και μια πρόσθετη επιλογή εισόδου (Ain2 – ain2).

Ο δευτερεύων ADC έχει τρία εξωτερικά pins εισόδου (AIN3 – AIN5) καθώς επίσης και μια εσωτερική σύνδεση στον εσωτερικό αισθητήρα θερμοκρασίας του τσιπ. Όλες οι εισοδοι του δευτερεύοντος ADC είναι αυτοτελείς εισοδοι που έχουν αναφορά στο AGND της συσκευής. Τα bits επιλογής καναλιών στον ADC1CON επιτρέπουν την επιλογή μιας από τις τέσσερις εισόδους.

Δύο πολυπλέκτες εισόδου μετατοπίζουν το επιλεγμένο κανάλι εισόδου στον ενσωματωμένο ενισχυτή απομόνωσης ( buffer ) στην περίπτωση του πρωτεύοντος ADC και άμεσα στον σίγμα – δέλτα διαμορφωτή εισόδου στην περίπτωση του δευτερεύοντος ADC . Όταν το αναλογικό κανάλι εισόδου αλλάξει ο εγκαθιστώντας χρόνος της συσκευής πρέπει να παρέλθει προτού μια νέα έγκυρη τιμή να είναι διαθέσιμη από τον ADC .

### Είσοδοι Πρωτεύοντος και Δευτερεύοντος ADC

Η έξοδος του πρωτεύοντος ADC πολυπλέκτη τροφοδοτεί έναν υψηλής σύνθετης αντίστασης ενισχυτή απομόνωσης εισόδου ( buffer ). Κατά συνέπεια οι είσοδοι του πρωτεύοντος ADC μπορούν να χειριστούν τις σημαντικές σύνθετες αντιστάσεις των πηγών σήματος και μπορούν να προσαρμόζονται για την άμεση σύνδεση στους εξωτερικούς αισθητήρες όπως στους μετρητές πίεσης ή τους ανιχνευτές θερμοκρασίας μέσω αντίστασης ( RTDs ) .

Οι είσοδοι του δευτερεύοντος ADC είναι δεν παρεμβάλουν κάποιο ενισχυτή απομόνωσης με συνέπεια να υπάρχει υψηλότερο αναλογικό ρεύμα εισόδου σε αυτές . Πρέπει να σημειωθεί ότι αυτή η άμεση απολαβή του σήματος παρέχει ένα δυναμικό φορτίο στη οδηγούμενη πηγή . Επομένως οι συνδυασμοί αντιστάσεων πυκνωτών στα pins εισόδου μπορούν να προκαλέσουν λάθη του dc κέρδους ανάλογα της σύνθετης αντίστασης της πηγής εισόδου .

### Κλίμακες Αναλογικών Εισόδων

Η απόλυτη κλίμακα τάσης εισόδου του πρωτεύοντος ADC είναι περιορισμένη μεταξύ  $AGND + 100\text{ mV}$  έως  $AVDD - 100\text{ mV}$  . Πρέπει να λαμβάνεται προσεκτικά υπόψη η τοποθέτηση κοινής τάσης κλίμακας και τάσης εισόδου έτσι ώστε να μην υπερβαίνονται τα όρια της κλίμακας διαφορετικά θα υπάρξει υποβάθμιση στην απόδοση της γραμμικότητας .

Η απόλυτη κλίμακα τάσης εισόδου του δευτερεύοντος ADC είναι περιορισμένη μεταξύ  $AGND - 30\text{ mV}$  έως  $AVDD + 30\text{ mV}$  . Το ελαφρώς αρνητικό όριο τάσης εισόδου επιτρέπει την δυνατότητα επίβλεψης μικρών διπολικών σημάτων με την χρήση της μονοπολικής σύνδεσης του δευτερεύοντος ADC .

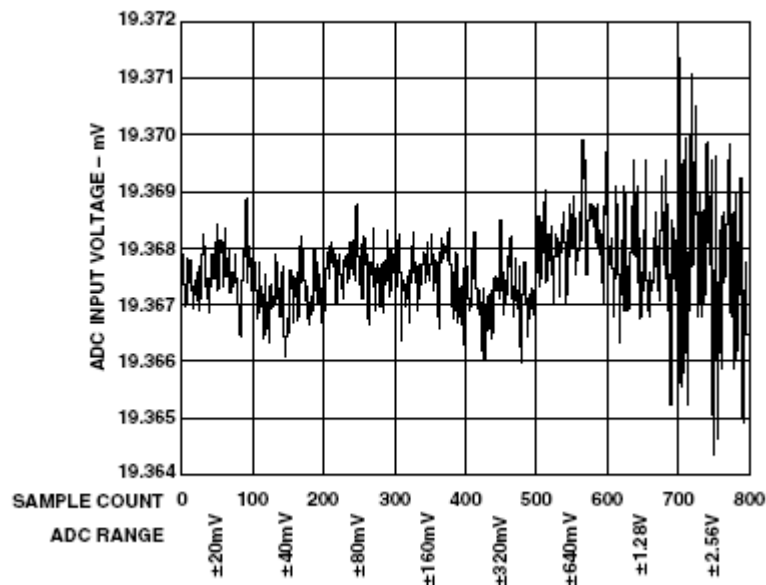
### Προγραμματιζόμενος Ενισχυτής Κέρδους

Η έξοδος του ενισχυτή απομόνωσης ( buffer ) του πρωτεύοντος ADC εφαρμόζεται στην είσοδο ενός ενσωματωμένου στο τσιπ προγραμματιζόμενου ενισχυτή ( PGA ) . Ο PGA μπορεί να προγραμματιστεί σε οχτώ διαφορετικές

μονοπολικές ή διπολικές κλίμακες . Η κλίμακα κέρδους του PGA προγραμματίζεται μέσω των bits του ADC0CON SFR . Επιλέγοντας το bit εξωτερικής τάσης αναφοράς του ADC0CON SFR και με εξωτερική τάση αναφοράς 2.5V οι μονοπολικές κλίμακες διαμορφώνονται ως εξής από 0 mV έως 20 mV , 0 mV έως 40 mV , 0 mV έως 80 mV , 0 mV έως 160 mV , 0 mV έως 320 mV , 0 mV έως 640 mV , 0 mV έως 1,28 V και 0 mV έως 2,56 V , ενώ οι διπολικές κλίμακες διαμορφώνονται ως εξής  $\pm 20\text{mV}$  ,  $\pm 40\text{mV}$  ,  $\pm 80\text{mV}$  ,  $\pm 160\text{mV}$  ,  $\pm 320\text{mV}$  ,  $\pm 640\text{mV}$  ,  $\pm 1,28\text{ V}$  και  $\pm 2,56\text{ V}$  . Αυτές είναι οι ονομαστικές τιμές κλίμακας που πρέπει να εμφανίζονται στην είσοδο του ενσωματωμένου PGA του τσιπ . Ένας καθορισμός ισοτιμίας της κλίμακας του ADC των 2  $\mu\text{V}$  σε όλες τις κλίμακες σημαίνει ότι η ρύθμιση βαθμονόμησης χρειάζεται να πραγματοποιηθεί σε μία μόνο κλίμακα κέρδους και δεν είναι απαραίτητο να επαναληφθεί όταν αλλάζει η κλίμακα κέρδους του PGA .

Στο παρακάτω σχήμα παρουσιάζεται ένας τυπικός συνδυασμός στις κλίμακες που διαμορφώνονται . Στην περίπτωση αυτή ο ADC είναι επιλεγμένος στην διπολική κατάσταση με μια εξωτερική τάση αναφοράς των 2,5 V , ενώ στην είσοδό του εφαρμόζεται σήμα μεγαλύτερο των 19mV . Ο ADC συνεχώς μετατρέπει την DC τάση εισόδου με συχνότητα

ανανέωσης 5,35 Hz ( SF=FF hex ) . Στο σύνολο συγκεντρώνονται 800 αποτελέσματα μετατροπής . Τα πρώτα 100 δείγματα συγκεντρώνονται με τον ADC να λειτουργεί στην κλίμακα των  $\pm 20\text{mV}$  . Ο ADC στη συνέχεια μεταβάλλει την κλίμακά του σε  $\pm 40\text{mV}$  και συγκεντρώνονται τα επόμενα 100 δείγματα και συνεχίζεται αυτή η διαδικασία έως ότου συγκεντρωθεί και η τελευταία ομάδα των 100 δειγμάτων στην κλίμακα των  $\pm 2,56\text{ V}$  .



Ο δευτερεύον ADC δεν έχει ενσωματωμένο PGA και κάνει διαμόρφωση σε μία σταθερή κλίμακα εισόδου των 0 έως  $V_{REF}$  .

#### Διπολικές \ Μονοπολικές Είσοδοι

Οι αναλογικές είσοδοι του ADuC824 μπορούν να δεχτούν είτε διπολικά είτε μονοπολικά σήματα εισόδου . Η δυνατότητα διπολικού σήματος εισόδου δεν σημαίνει ότι η συσκευή μπορεί να διαχειριστεί αρνητικές τάσεις εισόδου όσον αφορά το AGND .

Μονοπολικά και διπολικά σήματα εισόδου του πρωτεύοντος ADC στο AIN(+) αναφέρονται στην αντίστοιχη τάση εισόδου στο AIN(-) . Παραδείγματος χάριν εάν το AIN(-) είναι 2,5 V και ο πρωτεύον ADC είναι ορισμένος για μια αναλογική κλίμακα μονοπολικής εισόδου 0 mV έως 20 mV τότε η κλίμακα εισόδου στο AIN(+) είναι από 2,5 V έως

2,52V . Εάν το AIN(-) είναι 2,5 V και ο πρωτεύον ADC είναι ορισμένος για μια αναλογική κλίμακα διπολικής εισόδου 1,28 V τότε η κλίμακα εισόδου στο AIN(+) είναι από 1,22 V έως 3,78 V ( δηλ.  $2,5V \pm 1.28 V$  ) .

Όπως αναφέραμε και νωρίτερα η είσοδος του δευτερεύοντος ADC είναι είσοδος μονού ακροδέκτη με αναφορά στο AGND . Σε αυτό το πλαίσιο ένα διπολικό σήμα στον δευτερεύον ADC μπορεί να εκταθεί μόνο 30 mV αρνητικά όσον αφορά το AGND πριν παραβεί τα όρια εισόδου του .

Η επιλογή μονοπολικής ή διπολικής εισόδου επιλέγεται κατά τον προγραμματισμό θέτοντας τα bits ενεργοποίησης τόσο του πρωτεύοντος όσο και του δευτερεύοντος ADC από τους αντίστοιχους SFRs , ADC0CON και ADC1CON . Προγραμματίζοντας είτε για μονοπολική είτε για διπολική λειτουργία δεν μεταβάλλει τις προϋποθέσεις του σήματος εισόδου απλά μεταβάλλει την κωδικοποίηση των δεδομένων εξόδου και τα σημεία ρύθμισης της λειτουργίας μετατροπής . Όταν ο ADC θέτεται για μονοπολική λειτουργία τότε η κωδικοποίηση εξόδου του είναι κανονική δυαδική , με μηδενική διαφορική τάση εισόδου έχει αποτέλεσμα της μορφής 000...000 , η μέση της τιμής της τάσης έχει αποτέλεσμα της μορφής 100...000 και η μέγιστη τιμή της έχει αποτέλεσμα 111...111 . Όταν ο ADC θέτεται για διπολική λειτουργία τότε η κωδικοποίηση εξόδου γίνεται ως εξής , με είσοδο την μέγιστη αρνητική τιμή τάσης έχει αποτέλεσμα της μορφής 000...000 , η μηδενική διαφορική τάση εισόδου έχει αποτέλεσμα της μορφής 100...000 και η μέγιστη θετική τιμή της έχει αποτέλεσμα 111...111 .

#### Burnout Πηγές Ρεύματος

Ο πρωτεύον ADC στο ADuC824 περιέχει δύο πηγές συνεχούς ρεύματος των 100 nA , η μια τροφοδοτεί από το AVDD στο AIN(+) και η άλλη από το AIN(-) στο AGND . Οι πηγές ρεύματος αλλάζουν στο επιλεγμένο ζεύγος εισόδου και είναι και οι δύο πηγές σε κατάσταση on ή off ανάλογα με το τι έχουμε θέσει στο bit Burnout Current Enable (BO) του ICON SFR . Τα ρεύματα αυτά μπορούν να χρησιμοποιηθούν για τον έλεγχο λειτουργίας ενός εξωτερικού μετατροπέα πριν την λήψη μετρήσεων από το κανάλι στο οποίο είναι συνδεδεμένος . Μόλις τα οι πηγές ρεύματος τεθούν σε λειτουργία ρεύμα θα διαρρεύσει το κύκλωμα του εξωτερικού μετατροπέα και θα ληφθεί μια μέτρηση της τάσης του αναλογικού καναλιού εισόδου . Εάν η μέτρηση της τάσης που ληφθεί είναι 0 V τότε υποδεικνύει ότι το εξωτερικό κύκλωμα είναι ένα

βραχυκύκλωμα . Εάν η μέτρηση της τάσης που ληφθεί είναι η μέγιστη τιμή τότε υποδεικνύει ότι το εξωτερικό κύκλωμα είναι ένα ανοιχτοκύκλωμα . Για την κανονική λειτουργία τα ρεύματα αυτά σβήνονται γράφοντας ένα 0 στο bit BO του ICON SFR . Οι πηγές ρεύματος λειτουργούν πέρα από την κανονική απόλυτη τιμή της τάσης εισόδου .

#### Ρεύματα Διέγερσης

Ο ADuC824 περιέχει επίσης δύο πανομοιότυπες πηγές συνεχούς ρεύματος των 200  $\mu$ A . Οι δύο αυτές πηγές παράγουν ρεύμα από το AVDD στα pins no.3 ( IEXC1 ) και no.4 ( IEXC2 ) . Οι πηγές ρεύματος αυτές ελέγχονται από τα bits του ICON SFR . Οι πηγές ρεύματος διέγερσης μπορούν να διαμορφωθούν έτσι ώστε να παρέχουν ξεχωριστά στο κάθε pin 200  $\mu$ A ή να συνδυαστούν και να παρέχουν σε ένα από τα δύο pins μέχρι και 400  $\mu$ A . Οι πηγές αυτές ρεύματος διέγερσης μπορούν να χρησιμοποιηθούν για την διέγερση εξωτερικών γεφυρών αντιστάσεων ή αισθητήρων RTD .

#### Είσοδοι Αναφοράς

Οι είσοδοι αναφοράς του ADuC824 REFIN(+) και REFIN(-) παρέχουν την ικανότητα της διαφορικής αναφοράς εισόδου . Η συνήθης κλίμακα κανονικής λειτουργίας των διαφορικών αυτών εισόδων είναι από AGND έως AVDD . Η ονομαστική τάση αναφοράς VREF ( REFIN(+) - REFIN(-) ) που για την συγκεκριμένη μελέτη λειτουργίας είναι 2,5 V με τα bit ενεργοποίησης της εξωτερικής τάσης αναφοράς τόσο για τον πρωτεύον όσο και για τον δευτερεύον ADC ενεργοποιημένα στους αντίστοιχους SFRs ADC0CON και ADC1CON .

Το εξάρτημα έχει την δυνατότητα , αν και δεν ενδείκνυται για κανονική λειτουργία , όταν τα bits XREF0 και XREF1 είναι " 0 " να ενεργοποιεί την εσωτερική τάση αναφοράς . Σε αυτή την κατάσταση ο ADC θα δει την εσωτερική τάση αναφοράς των 1,25 V με αποτέλεσμα τον υποδιπλασιασμό της



κλίμακας όλων των εισόδων . Ως αποτέλεσμα της χρησιμοποίησης της εσωτερικής τάσης αναφοράς παρουσιάζεται μια αξιοπρόσεχτη υποβάθμιση στην peak-to-peak ανάλυση , επομένως για την καλύτερη απόδοση η λειτουργία με εξωτερική τάση αναφοράς συστήνεται έντονα .

Στις εφαρμογές όπου η διέγερση ( τάση ή ρεύμα ) για τον μετατροπέα στην αναλογική είσοδο οδηγεί επίσης την τάση αναφοράς του , η επίδραση του χαμηλής συχνότητας θορύβου στην πηγή θα εξαλειφθεί δεδομένου ότι η εφαρμογή είναι αναλογιομετρική . Εάν ο ADuC824 δεν χρησιμοποιείται σε μια αναλογιομετρική εφαρμογή πρέπει να χρησιμοποιείται τάση αναφοράς χαμηλού θορύβου , οι συνιστώμενες πηγές τάσης αναφοράς για τον ADuC824 είναι αυτές που περιέχουν το AD780 , το REF43 και το REF192 .

Πρέπει επίσης να σημειωθεί ότι οι εισοδοί αναφοράς παρέχουν μια υψηλή σύνθετη αντίσταση, δυναμικό φορτίο . Επειδή η σύνθετη αντίσταση των εισόδων αναφοράς είναι δυναμική , οι συνδυασμοί αντιστάσεων/πυκνωτών στις εισόδους αυτές μπορούν να προκαλέσουν σφάλματα του dc κέρδους εξαρτώμενα από το μέγεθος της σύνθετης αντίστασης της εξόδου της πηγής που παράγει τις τάσεις αναφοράς . Αυτού του είδους πηγές , όπως αυτές που συνιστώνται παραπάνω , έχουν χαμηλή τιμή σύνθετης αντίστασης εξόδου και γι' αυτό οι πυκνωτές απόζευξης στην είσοδο του REF(+) συνιστώνται . Οδηγώντας την τάση αναφοράς μέσω μιας εξωτερικής αντίστασης θα σήμαινε ότι η είσοδος αναφοράς βλέπει μια σημαντική σύνθετη αντίσταση και γι' αυτό στην περίπτωση αυτή οι πυκνωτές απόζευξης δεν συνιστώνται .

#### Ανίχνευση Πηγής Αναφοράς

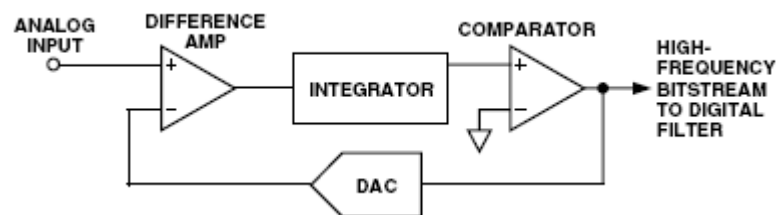
Ο ADuC824 περιέχει στο τσιπ του κύκλωμα ανίχνευσης αν η τάση αναφοράς είναι έγκυρη για μετατροπές ή βαθμονόμηση . Εάν η τάση μεταξύ των εξωτερικών pins REF(+) και REF(-) βρεθεί κάτω του επιπέδου των 0,3 V ή σε μια από τις εισόδους REF(+) και REF(-) ανιχνευτεί ανοιχτοκύκλωμα τότε ο ADuC824 αντιλαμβάνεται πως δεν υπάρχει πλέον έγκυρη τάση αναφοράς . Σε αυτή την περίπτωση το pin NOXREF του ADCSTAT SFR παίρνει την τιμή " 1 " . Όταν ο ADuC824 πραγματοποιεί κανονικές μετατροπές και το bit NOXREF γίνεται ενεργό στα αποτελέσματα των μετατροπών γίνονται όλα " 1 " . Επομένως δεν είναι απαραίτητο να ελέγχεται συνεχώς το bit NOXREF κατά την εκτέλεση των μετατροπών , είναι μονό απαραίτητο να ελέγχεται όταν το αποτέλεσμα που διαβάζεται από τον ADC είναι όλο " 1 " .

Εάν ο ADuC824 εκτελεί είτε ένα όφσσετ είτε την βαθμονόμηση του κέρδους και το pin NOXREF γίνεται ενεργό , τότε σταματάει η ενημέρωση των αντίστοιχων καταλόγων που εκτελούνταν για να αποφευχθεί η

φόρτωση λανθασμένων συντελεστών στους καταλόγους αυτούς , ενώ τα αντίστοιχα bit του ADCSTAT SFR ERR0 ή ERR1 θέτονται ενεργά . Εάν ο χρήστης θέλει να κάνει την επαλήθευση ότι υπάρχει έγκυρη τάση αναφοράς κατά την διάρκεια μιας βαθμονόμησης μπορεί να την πραγματοποιήσει βλέποντας την κατάσταση των bit ERR0 και ERR1 μετά το τέλος του κύκλου βαθμονόμησης .

### Διαμορφωτής Sigma-Delta

Γενικά ένας σίγμα-δέλτα διαμορφωτής αποτελείται από δύο κύρια μπλοκ , έναν αναλογικό διαμορφωτή και ένα ψηφιακό φίλτρο . Στην περίπτωση των ADCs του ADuC824 οι αναλογικοί διαμορφωτές αποτελούνται από έναν διαφορικό ενισχυτή , ένα μπλοκ ολοκληρωτών , έναν συγκριτή και μια ανάδραση DAC όπως παρουσιάζεται στο παρακάτω σχήμα .



Εν λειτουργία το αναλογικό σήμα δίνεται στον διαφορικό ενισχυτή μαζί με την ανάδραση που είναι η έξοδος του DAC . Η διαφορά μεταξύ αυτών των δύο σημάτων ολοκληρώνεται και δίνεται στο συγκριτή . Η έξοδος του συγκριτή παρέχει την είσοδο του DAC που παράγει το σήμα ανάδρασης έτσι ώστε το σύστημα να λειτουργεί σαν ένας βρόχος αρνητικής ανάδρασης που προσπαθεί να ελαχιστοποιήσει το σήμα της διαφοράς . Τα ψηφιακά δεδομένα που αντιπροσωπεύουν την αναλογική τάση εισόδου περιέχονται στο κύκλο λειτουργίας της παλμοσειράς της εξόδου του συγκριτή . Αυτός ο κύκλος λειτουργίας δεδομένων μπορεί να ανακτηθεί ως word δεδομένων χρησιμοποιώντας ένα επόμενο στάδιο ψηφιακού φίλτρου . Η συχνότητα δειγματοληψίας του βρόχου του διαμόρφωσης είναι πολλές φορές μεγαλύτερη από το εύρος ζώνης του σήματος εισόδου . Ο ολοκληρωτής στο διαμορφωτή διαμορφώνει το κβαντικό θόρυβο , που προκύπτει από την μετατροπή του αναλογικού σήματος σε ψηφιακό , έτσι ώστε ο θόρυβος να ωθείται στο μισό της συχνότητας διαμόρφωσης .

### Ψηφιακό Φίλτρο

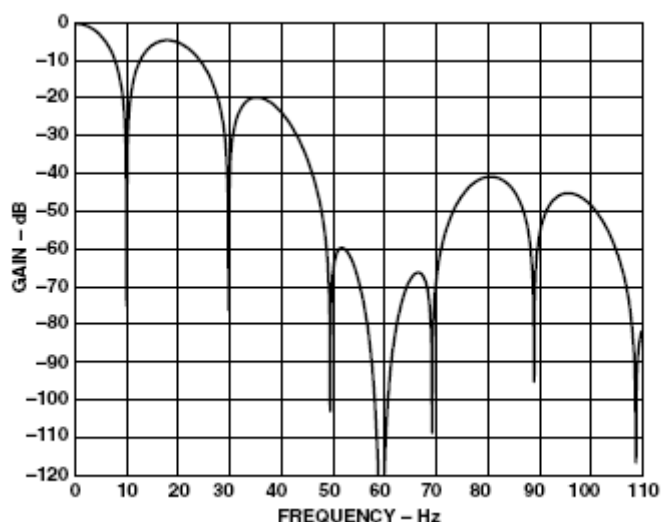
Η έξοδος του σίγμα-δέλτα διαμορφωτή τροφοδοτεί άμεσα το ψηφιακό φίλτρο . Το ψηφιακό φίλτρο έπειτα περιορίζει την απόκριση του σε μια συχνότητα σημαντικά χαμηλότερη από το μισό της συχνότητας του διαμορφωτή . Με τον τρόπο αυτό η μονοσήφια έξοδος του συγκριτή μεταφράζεται περιορισμένη και με χαμηλό θόρυβο από τους ADCs του ADuC824 .

Το φίλτρο του ADuC824 είναι ένα χαμηλής διέλευσης φίλτρο ημιτόνου ή (  $\text{Sinc}(x)/x$  )<sup>3</sup> του οποίου η βασική λειτουργία είναι να αφαιρεί το κβαντικό θόρυβο που δημιουργείται στο διαμορφωτή . Η συχνότητα αποκοπής και η ταχύτητα δεδομένων εξόδου του φίλτρου είναι προγραμματιζόμενα μέσω του SF ( Sinc Filter ) SFR .

Το παρακάτω σχήμα παρουσιάζει την απόκριση συχνότητας του καναλιού του ADC στην προεπιλεγμένη τιμή του SF 69 dec ή 45 hex , που παράγει ένα γενικό ρυθμό αναπροσαρμογής ακριβώς κάτω από τα 20 Hz .

Πρέπει να σημειωθεί ότι αυτή η συχνότητα απόκρισης επιτρέπει στις συνιστώσες συχνότητας μεγαλύτερης από αυτή του ADC να περνάνε μέσα από αυτόν και σε μερικές περιπτώσεις χωρίς σημαντική εξασθένηση. Επομένως οι συνιστώσες αυτές μπορούν να εμφανίζονται μετά την διαδικασία δειγματοληψίας .

Επίσης πρέπει να σημειωθεί ότι η απόρριψη των βασικών συνιστωσών της συχνότητας π.χ. 50 Hz και 60 Hz φαίνεται να παρουσιάζεται στο επίπεδο > 65 dB για τα 50 Hz και > 100 dB για τα 60 Hz . Αυτό επιβεβαιώνει τις προδιαγραφές του datasheet για 50 Hz / 60 Hz απόρριψη κανονικής λειτουργίας ( Normal Mode Rejection ) ( NMR ) σε συχνότητα αναπροσαρμογής των 20 Hz



## ADC Chopping

Οι δύο ADCs στον ADuC824 εφαρμόζουν ένα σχέδιο τεμαχισμού μέσω του οποίου λαμβάνεται η επαναληπτική είσοδός τους . Για τον λόγο αυτό το αποδεκατισμένο ψηφιακό word της εξόδου του φίλτρου  $\text{Sinc}^3$  συμπεριλαμβάνει έναν θετικό και έναν αρνητικό παράγοντα όφσετ .

Κατά συνέπεια ένα τελικό στάδιο αθροίσματος συμπεριλαμβάνεται σε κάθε ADC έτσι ώστε κάθε word εξόδου από το φίλτρο ,να αθροίζεται και να υπολογίζεται κατά μέσο όρο με την προηγούμενη έξοδο του φίλτρου , για την παραγωγή μιας νέας έγκυρης τιμής εξόδου του φίλτρου η οποία καταχωρείται στους SFRs δεδομένων του ADC . Με αυτό τον τρόπο , ενώ ο χρόνος ανανέωσης του ADC (  $t_{ADC}$  ) είναι αυτός που αναλύθηκε νωρίτερα , ο πλήρης χρόνος αποκατάστασης μέσω του ADC ( ή ο χρόνος ανάκτησης ενός αποτελέσματος μετατροπής ) είναι πραγματικά  $2*(t_{ADC})$

Το σχέδιο τεμαχισμού του ADuC824 στα αποτελέσματα των ADCs με το άριστο dc όφσεντ και το μεταβλητό όφσεντ είναι εξαιρετικά ευεργετικό στις εφαρμογές τις οποίες η ολίσθηση , η αποβολή θορύβου και η βέλτιστη αποβολή του EMI είναι σημαντικοί παράγοντες .

## Βαθμονόμηση

Ο ADuC824 παρέχει τέσσερεις τρόπους βαθμονόμησης οι οποίοι μπορούν να προγραμματιστούν των bits καταστάσεως στον ADCMODE SFR . Στην πραγματικότητα κάθε ADuC824 είναι ήδη εργοστασιακά βαθμονομημένος . Η συνισταμένη αντιστάθμιση και κέρδους του συντελεστή βαθμονόμησης για τον πρωτεύον και τον δευτερεύον ADCs είναι αποθηκευμένη στο τσιπ στην καθορισμένη από τον κατασκευαστή περιοχή της Flash / EE μνήμης . Όταν βρίσκεται σε κατάσταση λειτουργίας αυτοί οι συντελεστές εργοστασιακής βαθμονόμησης μεταφέρονται αυτόματα στους καταχωρητές βαθμονόμησης στην περιοχή των SFR του ADuC824 . Ο κάθε ADC , πρωτεύον ή δευτερεύον , έχει ξεχωριστούς καταχωρητές βαθμονόμησης οι οποίοι αναλυθήκανε προηγουμένως ως μέρος της γενικής περιγραφής των καταχωρητών του ADC . Ωστόσο οι εργοστασιακές τιμές βαθμονόμησης στους καταχωρητές του ADC θα επαναγραφούν εάν τεθεί σε λειτουργία μια από τις τέσσερεις καταστάσεις βαθμονόμησης μέσω των bits ενεργοποίησης στον καταχωρητή ADCMODE .

Αν και ένας εσωτερικός τρόπος ρύθμισης του όφσεντ περιγράφεται παρακάτω , πρέπει να γίνει κατανοητό ότι και στους δύο ADCs τεμαχίζονται τα σήματά τους . Αυτό το σχέδιο τεμαχισμού ελαχιστοποιεί εγγενώς το όφσεντ και σημαίνει ότι μια εσωτερική ρύθμιση του όφσεντ δεν πρέπει να απαιτηθεί ποτέ . Επίσης επειδή κατά την κατάσταση λειτουργίας οι συντελεστές κέρδους του κατασκευαστή για  $5\text{ V} / 25^{\circ}\text{C}$  ενεργοποιούνται αυτόματα , μια εσωτερική ρύθμιση πλήρους κλίμακας είναι αναγκαία μόνο εάν το εξάρτημα λειτουργεί στα  $3\text{ V}$  ή σε θερμοκρασίες σημαντικά διαφορετικές των  $25^{\circ}\text{C}$  .

Ο ADuC824 προσφέρει εσωτερικές ή συστήματος ρυθμίσεις βαθμονόμησης . Για την βαθμονόμηση πλήρους κλίμακας του επιλεγμένου ADC , η λογική

βαθμονόμησης πρέπει να καταγράψει δύο εξόδους του διαμορφωτή για δύο διαφορετικές καταστάσεις εισόδου . Αυτές οι καταστάσεις είναι η μηδενική και η κατάσταση πλήρους κλίμακας . Τα σημεία αυτά παράγονται εκτελώντας μια μετατροπή στις διαφορετικές τάσεις εισόδου και η οποία παρέχεται ως είσοδος του μετατροπέα κατά την βαθμονόμηση . Το αποτέλεσμα της μηδενικής κατάστασης αποθηκεύεται στους καταχωρητές ρυθμίσεως του όφσετ (Offset Calibration Registers ) του συγκεκριμένου ADC .

Το αποτέλεσμα της κατάστασης πλήρους κλίμακας αποθηκεύεται στους καταχωρητές ρυθμίσεως κέρδους ( Gain Calibration Registers ) του συγκεκριμένου ADC . Με τις τιμές αυτές η λογική βαθμονόμησης μπορεί να υπολογίσει το όφσετ και την κλίση κέρδους στη συνάρτηση μεταφοράς του μετατροπέα .

## 7. ΑΜΕΤΑΒΛΗΤΗ ΜΝΗΜΗ FLASH / ΕΕ

### Επισκόπηση της Μνήμης Flash / ΕΕ

Ο ADuC824 έχει ενσωματωμένη στο τσιπ μνήμη Flash / ΕΕ για να παρέχει στο χρήστη αμετάβλητο , εν λειτουργία προγραμματιζόμενο , διάστημα μνήμης κώδικα και δεδομένων .

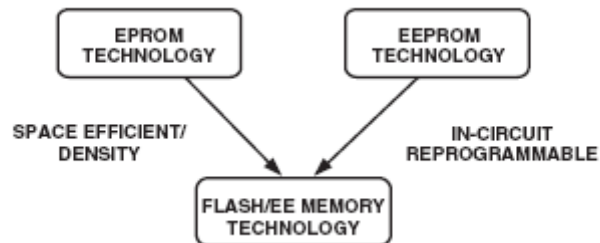
Η μνήμη Flash / ΕΕ είναι μια σχετικά πρόσφατη τεχνολογία αμετάβλητης μνήμης και βασίζεται σε μία αρχιτεκτονική κυψέλης ενός τρανζίστορ .

Η τεχνολογία αυτή είναι ουσιαστικά μια απόρροια της τεχνολογίας EPROM και αναπτύχθηκε στα τέλη της δεκαετίας του 1980 . Η μνήμη Flash / ΕΕ παίρνει τα ευέλικτα χαρακτηριστικά εν λειτουργία προγραμματιζόμενης

EEPROM και τα συνδυάζει με την αποδοτική και χαρακτηριστική πυκνότητα χώρου της EPROM .

Επειδή η μνήμη Flash / EE είναι βασισμένη πάνω σε μία αρχιτεκτονική κυψέλης ενός τρανζίστορ συγκροτείται σαν μια EPROM , μπορεί να οργανώνει το χώρο μνήμης με μεγάλη πυκνότητα και αποδοτικότητα η οποία απαιτείται .

Σαν μία EEPROM , η μνήμη Flash / EE μπορεί να προγραμματιστεί μέσα στο σύστημα στο οποίο βρίσκεται σε επίπεδο byte , ωστόσο πρέπει πρώτα να σβηστεί και η οποία διαγραφή γίνεται σε μπλοκ σελίδων . Κατά συνέπεια η μνήμη Flash είναι συχνά περισσότερο σωστό να αναφέρεται ως μνήμη Flash / EE .



Γενικά η μνήμη Flash / EE αντιπροσωπεύει ένα βήμα πιο κοντά στην ιδανική συσκευή μνήμης που περιλαμβάνει την ικανότητα προγραμματισμού πάνω στο κύκλωμα , υψηλή πυκνότητα και χαμηλό κόστος . Ενσωματωμένη στον ADuC824 η μνήμη τεχνολογίας Flash / EE επιτρέπει στο χρήστη να ενημερώνει τον κώδικα προγραμματισμού μέσα στο κύκλωμα χωρίς την ανάγκη αντικατάστασης προγραμματιζόμενων σε απομακρυσμένους κόμβους λειτουργίας .

#### Η Μνήμη Flash / EE και ο ADuC824

Ο ADuC824 παρέχει δύο σειρές από μνήμη Flash / EE για τις εφαρμογές του χρήστη . Ένα διάστημα των 8 Kbyte μνήμης Flash / EE παρέχεται στο τσιπ για να διευκολύνει την εκτέλεση του κώδικα προγράμματος χωρίς την απαίτηση χρήσης εξωτερικών συσκευών μνήμης ROM . Η μνήμη προγράμματος μπορεί να προγραμματιστεί με την χρήση συμβατών κυκλωμάτων προγραμματισμού μνήμης . Η σειρά αυτή μπορεί να προγραμματιστεί μέσα στο κύκλωμα χρησιμοποιώντας την σειριακή λειτουργία που παρέχει .

Ένα διάστημα της μνήμης Flash / EE των 640 byte παρέχεται στο τσιπ σαν μνήμη δεδομένων . Αυτό μπορεί να χρησιμοποιηθεί σαν διάστημα μνήμης γενικής χρήσεως . Ο χρήστης έχει πρόσβαση στην περιοχή αυτή της μνήμης μέσω μιας ομάδας των έξι SFRs . Το διάστημα αυτό μπορεί να προγραμματιστεί σε επίπεδο byte , αν και πρέπει πρώτα να διαγραφεί το περιεχόμενό του σε σελίδες των τεσσάρων byte .

### Αξιοπιστία της Flash / EE μνήμης του ADuC824

Η Flash / EE μνήμη προγράμματος και δεδομένων του ADuC824 είναι πλήρως κατάλληλη λόγω των δύο βασικών χαρακτηριστικών κλειδιά της μνήμης Flash / EE , δηλαδή την αντοχή ανακύκλωσης μνήμης και την διατήρηση των στοιχείων της μνήμης .

Η αντοχή της μνήμης αντιστοιχεί στη δυνατότητα της μνήμης να ανακυκλώνεται μέσα από προγραμματισμούς , διαβάσματα και διαγραφές . Στην πραγματικότητα ένα κύκλος ανοχής αποτελείται από τέσσερα ανεξάρτητα , διαδοχικά γεγονότα . Τα γεγονότα αυτά είναι τα εξής :

- Η αρχική σελίδα σβήνει την ακολουθία
- Ανάγνωσή και επαλήθευση της ακολουθίας
- Προγραμματισμός ακολουθίας κατά Byte
- Δεύτερη ανάγνωση και επαλήθευση της ακολουθίας

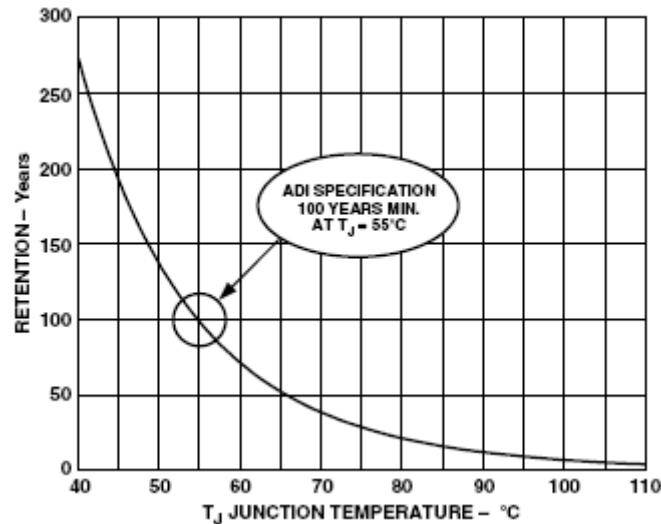
Για περαιτέρω αξιοπιστία κάθε byte τόσο στην μνήμη προγραμματισμού όσο και στην μνήμη δεδομένων της Flash / EE εναλλάσσονται κυκλικά από το 00 hex έως το FF hex έως ότου το πρώτο λάθος καταγραφεί δηλώνοντας έτσι και το όριο αντοχής της μνήμης Flash / EE .

Όπως υποδεικνύεται και από το φύλο προδιαγραφών του ADuC824 η χρησιμοποιούμενη μνήμη Flash / EE εδώ έχει πραγματοποιηθεί σύμφωνα με JEDEC προδιαγραφών A117 για πέρα από την κλίμακα των βιομηχανικών θερμοκρασιών των  $-40^{\circ}\text{C}$  ,  $+25^{\circ}\text{C}$  και  $+85^{\circ}\text{C}$  . Βάση των προδιαγραφών η συγκεκριμένη Flash / EE παρέχει ελάχιστο αριθμό κύκλων λειτουργίας με πλήρη ανοχή τάσης και θερμοκρασίας των 100.000 κύκλων ενώ σε κανονική λειτουργία και θερμοκρασία των  $+25^{\circ}\text{C}$  ο αριθμός αυτός φτάνει τους 700.000 κύκλους .

Η διατήρηση της μνήμης Flash / EE αναφέρεται στη δυνατότητα της να διατηρεί τα προγραμματισμένα στοιχεία της σε βάθος χρόνου . Ο ADuC824 κρίθηκε κατάλληλος σύμφωνα με την προδιαγραφή κατασκευής του JEDEC ( A117 ) και συναρτήσει της θερμοκρασίας

(  $T_j = +55^{\circ}\text{C}$  ) . Αυτό σημαίνει ότι η μνήμη Flash / EE παρέχει εγγύηση ότι θα διατηρήσει τα στοιχεία της για την πλήρη διάρκεια ζωής της κάθε φορά που προγραμματίζεται . Πρέπει επίσης να σημειωθεί ότι η διάρκεια διατήρησης ,

βάση μιας ενδεικτικής ενέργειας ενεργοποίησης των 0,6 eV , επηρεάζεται από το  $T_j$  όπως φαίνεται από το παρακάτω διάγραμμα .



#### Χρησιμοποίηση της Μνήμης Προγραμματισμού Flash / EE

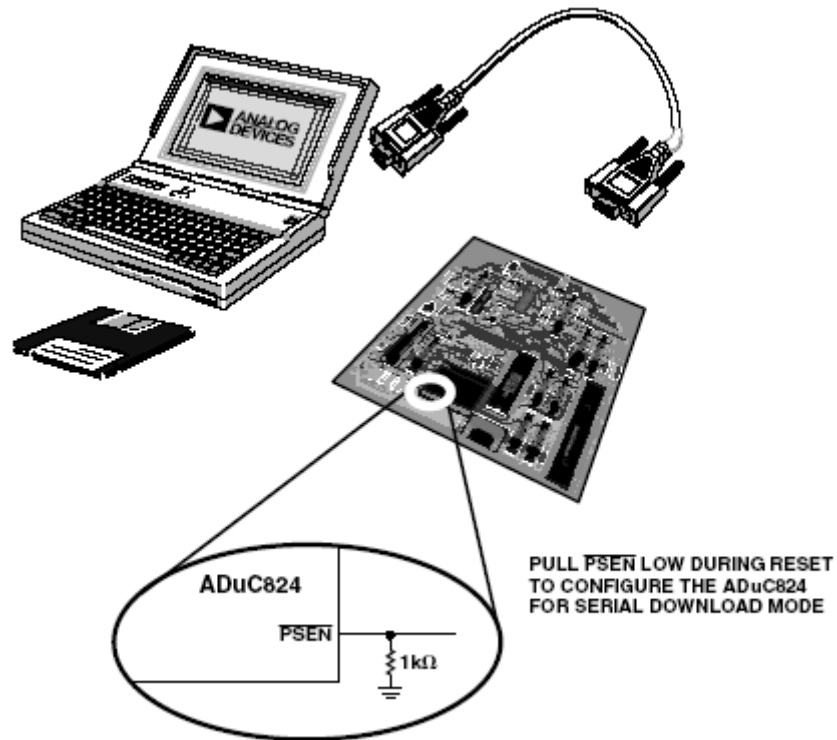
Τα 8 Kbyte της μνήμης προγραμματισμού βρίσκονται στα χαμηλότερα των 64 Kbyte της μνήμης προγράμματος της Flash / EE , είναι προσπελάσιμα από τον ADuC824 και χρησιμοποιούνται για την συγκράτηση του κώδικα τυπικών εφαρμογών .

Η μνήμη προγραμματισμού Flash / EE έχει την δυνατότητα να προγραμματιστεί με δύο τρόπους οι οποίοι είναι οι εξής :

#### Σειριακός Προγραμματισμός ( Προγραμματισμός Εντός Κυκλώματος )

Ο ADuC824 παρέχει την δυνατότητα στο χρήστη να προγραμματίζει σειριακά μέσω της τυπικής πόρτας UART . Κατά την εκκίνηση του ο ADuC824 εισέρχεται αυτόματα σε κατάσταση σειριακού προγραμματισμού εφόσον το εξωτερικό pin PSEN είναι τραβηγμένο σε κατάσταση low μέσω μιας εξωτερικής αντίστασης όπως παρουσιάζεται στο παρακάτω σχήμα . Καθώς βρίσκεται στην παραπάνω κατάσταση ο χρήστης μπορεί να κατεβάσει κώδικα σειριακά στην μνήμη προγραμματισμού καθώς η συσκευή βρίσκεται εγκατεστημένη στο hardware εφαρμογής της .





### Παράλληλος Προγραμματισμός

Ο παράλληλος προγραμματισμός είναι πλήρης συμβατός με της συσκευές προγραμματισμού των Flash ή EEPROM μνημών . Ένα μπλοκ διάγραμμα που απαιτείται για την διαμόρφωση των εξωτερικών pin στον παράλληλο προγραμματισμό παραθέτεται παρακάτω . Στην περίπτωση αυτή τα Ports 0 , 1 και 2 λειτουργούν ως εξωτερικοί μεταφορείς διευθύνσεων και δεδομένων , το ALE λειτουργεί ως Write Enable και το Port 3 ως κανάλι γενικής διαμόρφωσης που χρησιμοποιείται στις λειτουργίες προγραμματισμού και διαγραφής κατά την διάρκεια του παράλληλου προγραμματισμού .

Η υψηλή τάση παροχής ( 12 V ) που απαιτείται για την μνήμη προγραμματισμού Flash / EE παράγεται χρησιμοποιώντας τις παρεχόμενες στο τσιπ charge pumps .

| 5V              |     |     |     |     |     |     | Programming Mode                                 |
|-----------------|-----|-----|-----|-----|-----|-----|--|
| Port 3 Pins     |     |     |     |     |     |     |  |
| 0.7             | 0.6 | 0.5 | 0.4 | 0.3 | 0.2 | 0.1 |  |
| X               | X   | X   | X   | 0   | 0   | 0   | Erase Flash/EE Program, Data, and Security Modes |
| X               | X   | X   | X   | 0   | 0   | 1   | Read Device Signature/ID                         |
| X               | X   | X   | 1   | 0   | 1   | 0   | Program Code Byte                                |
| X               | X   | X   | 0   | 0   | 1   | 0   | Program Data Byte                                |
| X               | X   | X   | 1   | 0   | 1   | 1   | Read Code Byte                                   |
| X               | X   | X   | 0   | 0   | 1   | 1   | Read Data Byte                                   |
| X               | X   | X   | X   | 1   | 0   | 0   | Program Security Modes                           |
| <b>ΗΡΑΚΛΕΙΚ</b> | X   | X   | X   | 1   | 0   | 1   | Read/Verify Security Modes                       |
| All other codes |     |     |     |     |     |     | Redundant  |

## Flash/EE Memory Parallel Programming Modes

### Ασφάλεια Προγραμματιζόμενης Μνήμης Flash / EE

Ο ADuC824 παρέχει τρεις καταστάσεις ασφάλειας της προγραμματιζόμενης μνήμης Flash / EE . Οι τρεις αυτές καταστάσεις μπορούν να ενεργοποιηθούν ανεξάρτητα περιορίζοντας την πρόσβαση στην περιοχή του κώδικα προγράμματος . Οι καταστάσεις αυτές ασφαλείας μπορούν να ενεργοποιηθούν από τον χρήστη και είναι μια δυνατότητα που παρέχουν όλα τα συμβατά εργαλεία , παράλληλης ή σειριακής επικοινωνίας , που πωλούνται για την επικοινωνία με τον ADuC824 . Οι καταστάσεις ασφαλείας που παρέχονται στον ADuC824 περιγράφονται παρακάτω :

#### Lock Mode

Η λειτουργία αυτή κλειδώνει τον κώδικα προγράμματος στην μνήμη , θέτει εκτός λειτουργίας τον προγραμματισμό από την παράλληλη θύρα ωστόσο η ανάγνωση της μνήμης από την θύρα αυτή παραμένει δυνατή . Η λειτουργία αυτή απενεργοποιείται με την εκτέλεση της εντολής “ code erase “ είτε από την σειριακή είτε από την παράλληλη θύρα .

#### Secure Mode

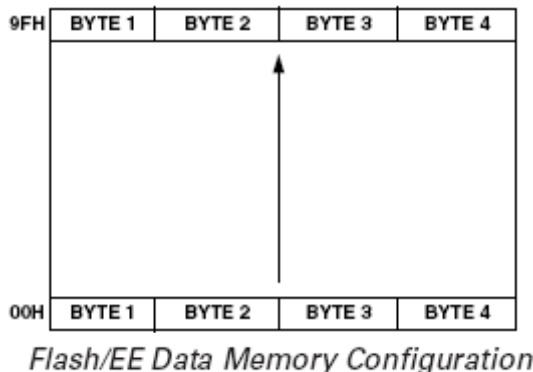
Η λειτουργία αυτή κλειδώνει τον κώδικα προγράμματος στη μνήμη , θέτει εκτός λειτουργίας την παράλληλη θύρα προγραμματισμού ( τις εντολές προγραμματισμού και ελέγχου / ανάγνωσης ) αλλά θέτει εκτός λειτουργίας και την εκτέλεση της εντολής “ MOVC “ από την εξωτερική μνήμη η οποία επιδιώκει να διαβάσει τις τον κώδικα λειτουργίας από την εσωτερική μνήμη . Η λειτουργία αυτή απενεργοποιείται με την εκτέλεση της εντολής “ code erase “ είτε από την σειριακή είτε από την παράλληλη θύρα .

## Serial Safe Mode

Η λειτουργία αυτή απενεργοποιεί την δυνατότητα σειριακής μεταφοράς δεδομένων στην συσκευή . Εάν η λειτουργία Serial Safe Mode είναι ενεργοποιημένη και επιδιώξουμε να κάνουμε reset της συσκευής για την σειριακή επικοινωνία π.χ. αν ενεργοποιηθεί το RESET με το PSEN τραβηγμένο σε κατάσταση low τότε η συσκευή θα το ερμηνεύσει αντί reset της σειριακής επικοινωνίας ως ένα απλό reset . Για τον λόγο αυτό η συσκευή δεν θα εισέλθει σε κατάσταση σειριακού κατεβάσματος κώδικα αλλά θα εκτελέσει έναν κύκλο reset . Η λειτουργία Serial Safe Mode μπορεί να απενεργοποιηθεί μόνο εκτελώντας ένα “ code erase “ από την παράλληλη θύρα προγραμματισμού .

## Χρησιμοποίηση της μνήμης δεδομένων Flash / EE

Η μνήμη δεδομένων Flash / EE που είναι διαθέσιμη στο χρήστη αποτελείται από 640 Kbyte που διαμορφωμένα σε 160 ( 00H – 9FH ) σελίδες των 4-byte όπως παρουσιάζεται στο παρακάτω σχήμα .



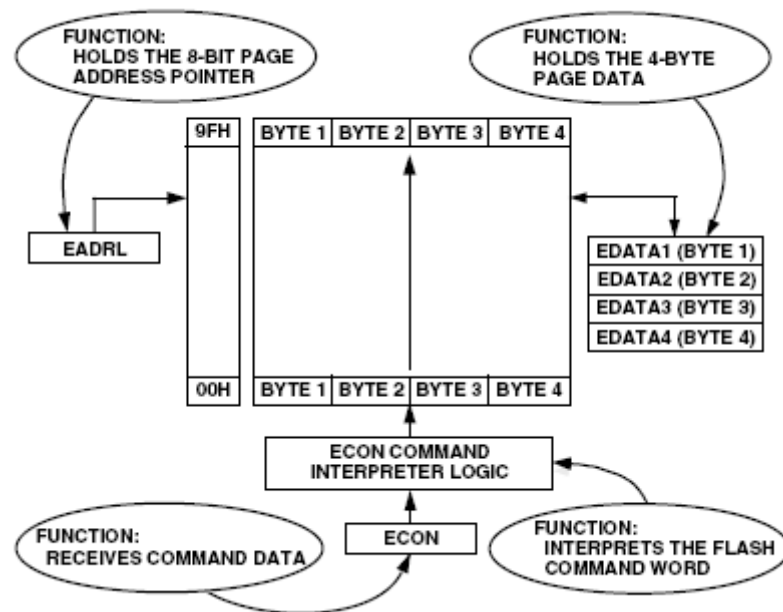
Όπως και με τα υπόλοιπα περιφερειακά συστήματα του ADuC824 η επικοινωνία με αυτή την περιοχή μνήμης γίνεται μέσω ενός γκρουπ ειδικών καταχωρητών λειτουργίας που βρίσκονται στην περιοχή SFR . Ένα γκρουπ τεσσάρων καταχωρητών δεδομένων ( EDATA 1-4 ) χρησιμοποιείται για την συγκράτηση πρόσβασης στα δεδομένα των σελίδων των 4-byte . Ο καταχωρητής EADRL χρησιμοποιείται για την δυνατότητα πρόσβασης κρατώντας τις 8-bit διευθύνσεις των σελίδων . Τέλος ο ECON είναι ένας 8-bit καταχωρητής λειτουργίας ο οποίος μπορεί να γραφεί μαζί με μία από τις πέντε εντολές πρόσβασης της μνήμης Flash / EE για να σκανδαλίσει διάφορες λειτουργίες ανάγνωσης ή εγγραφής της .

Οι καταχωρητές λειτουργίας που αναφέραμε παρουσιάζονται παρακάτω και είναι οι εξής :

ECON: SFR Address: B9H  
 Function: Controls access to 640 Bytes Flash/EE Data Space.  
 Default: 00H

EADRL: SFR Address: C6H  
 Function: Holds the Flash/EE Data Page Address. (640 Bytes => 160 Page Addresses.)  
 Default: 00H

EDATA 1-4: SFR Address: BCH to BFH respectively  
 Function: Holds Flash/EE Data memory page write or page read data bytes.  
 Default: EDATA1-2 -> 00H  
 EDATA3-4 -> 00H



*Flash/EE Data Memory Control and Configuration*

## Καταχωρητής Ελέγχου Μνήμης Flash /EE – ECON

Αυτός ο SFR ενεργεί ως διερμηνέας εντολών και μπορεί να γράφει μαζί με μία από τις πέντε εντολές πρόσβασης της μνήμης Flash / EE για να σκανδαλίσει διάφορες λειτουργίες ανάγνωσης ή εγγραφής της . Παρακάτω αναλύονται εκτενώς οι λειτουργίες του ECON SFR και η σύνταξή τους .

| Command Byte | Command Mode   |
|--------------|--|
| 01H          | READ COMMAND<br>Results in four bytes being read into EDATA1–4 from memory page address contained in EADRL.  |
| 02H          | PROGRAM COMMAND<br>Results in four bytes (EDATA1–4) being written to memory page address in EADRL. This write command assumes the designated “write” page has been pre-erased.   |
| 03H          | RESERVED FOR INTERNAL USE<br>03H should not be written to the ECON SFR.  |
| 04H          | VERIFY COMMAND<br>Allows the user to verify if data in EDATA1–4 is contained in page address designated by EADRL. A subsequent read of the ECON SFR will result in a “zero” being read if the verification is valid; a nonzero value will be read to indicate an invalid verification. |
| 05H          | ERASE COMMAND<br>Results in an erase of the 4-byte page designated in EADRL.   |
| 06H          | ERASE-ALL COMMAND<br>Results in erase of the full Flash/EE Data memory 160-page (640 bytes) array.   |
| 07H to FFH   | RESERVED COMMANDS<br>Commands reserved for future use.   |

## Χρονισμός Μνήμης Flash / EE

Οι τυπικοί χρόνοι προγραμματισμού / διαγραφείς της μνήμης δεδομένων Flash / EE είναι οι παρακάτω :

Erase Full Array (640 Bytes) – 2 ms  
Erase Single Page (4 Bytes) – 2 ms  
Program Page (4 Bytes) – 250 μs  
Read Page (4 Bytes) – Within Single Instruction Cycle

## Χρησιμοποιώντας το Interface της Μνήμης Flash / EE

Όπως με όλες τις αρχιτεκτονικές των μνημών Flash / EE μια ακολουθία μπορεί να προγραμματιστεί πάνω στο σύστημα σε επίπεδο byte , ωστόσο πρέπει να προηγηθεί η εκκαθάριση του η οποία πραγματοποιείται σε μπλοκ σελίδων ( στην περίπτωσή μας σελίδες των 4 byte ) .

Μια τυπική πρόσβαση σε ακολουθία της μνήμης δεδομένων Flash / EE θα περιέχει , τον ορισμό της διεύθυνσης της σελίδας στην οποία θέλουμε να έχουμε πρόσβαση και δίνεται με τον EADRL SFR , δίνουμε τα δεδομένα μέσω των EDATA 1-4 τα οποία προγραμματίζουμε και τέλος δίνουμε μέσω του ECON την εντολή για την κατάσταση λειτουργίας που επιθυμούμε .

Πρέπει να σημειωθεί ότι η δοσμένη κατάσταση λειτουργίας μπαίνει σε εφαρμογή μόλις γραφεί το word εντολής στον ECON SFR . Η λειτουργία του πυρήνα του επεξεργαστή του ADuC824 αδρανοποιείται μέχρι να ολοκληρωθεί η διαδικασία προγραμματισμού / ανάγνωσης ή διαγραφής η οποία έχει απαιτηθεί .

Πρακτικά αυτό σημαίνει πως αν και η κατάσταση λειτουργίας της μνήμης Flash / EE ξεκινάει μετά από την εκτέλεση της εντολής MOV διάρκειας δύο κύκλων ( για να γραφεί ο ECON SFR ) , η επόμενη εντολή δεν θα εκτελεστεί μέχρι να ολοκληρωθεί η διαδικασία της μνήμης Flash / EE ( 250 μs ή 2 ms το πολύ ) . Αυτό σημαίνει ότι ο πυρήνας δεν θα ανταποκρίνεται στις αιτήσεις των interrupt μέχρι η διαδικασία της Flash / EE να ολοκληρωθεί , ωστόσο οι περιφερειακές λειτουργίες του πυρήνα όπως οι μετρητές και οι χρονομετρητές θα συνεχίσουν τις μετρήσεις τους καθ 'όλη την διάρκεια της διαδικασίας .

Διαγραφή Όλων

Αν και η ακολουθία της μνήμης Flash / EE των 640 byte είναι διαμορφωμένη και προ – σβησμένη από τον κατασκευαστή , δηλαδή οι περιοχές των byte έχουν τεθεί FF H , είναι ορθή πρακτική στον προγραμματισμό να συμπεριλαμβάνεται μια ρουτίνα erase – all ως οποιουδήποτε κώδικα διαμόρφωσης / οργάνωσης τρέχουμε στον ADuC824 . Μια εντολή erase – all αποτελείται από το γράψιμο του “06 H ” στον ECON SFR , το οποίο αρχίζει την διαγραφή και των 640 byte της μνήμης Flash /EE . Η εντολή αυτή σε κώδικα assembly για τον 8051 θα είναι ως εξής :

```
MOV ECON, #06H      ; Erase all command  
                    ; 2ms Duration
```

Προγραμματίζοντας Ένα Byte

Σε γενικές γραμμές για να προγραμματιστεί ένα byte στην Flash / EE πρέπει προηγουμένως να έχει διαγραφεί . Για να γίνουμε ποιο συγκεκριμένοι ένα byte μπορεί να προγραμματιστεί μόνο εάν έχει ήδη την τιμή FF H . Λόγο της αρχιτεκτονικής της μνήμης Flash / EE η διαγραφή πρέπει να γίνει σε επίπεδο σελίδας γι’ αυτό στο ελάχιστο θα διαγραφούν 4 byte ( μια σελίδα ) εάν εκτελεστεί μια εντολή διαγραφής .

Ένα ποιο συγκεκριμένο παράδειγμα της διαδικασίας προγραμματισμού ενός byte παρουσιάζεται παρακάτω . Στο παράδειγμα αυτό ο χρήστης γράφει F3 H στο δεύτερο byte της σελίδας 03 H της μνήμης δεδομένων Flash / EE καθώς παράλληλα διατηρεί τα υπόλοιπα τρία byte της σελίδας ανέπαφα . Καθώς ο χρήστης επιθυμεί να μεταβάλει μόνο το ένα byte της σελίδας , ολόκληρη η σελίδα θα πρέπει πρώτα να διαβαστεί έτσι ώστε όταν διαγραφεί να μην χαθούν τα δεδομένα της .

Το παράδειγμα σε κώδικα assembly για 8051 θα είναι ως εξής :

```
MOV EADRL, #03H     ; Set Page Address Pointer  
MOV ECON, #01H      ; Read Page  
MOV EDATA2, #0F3H   ; Write New Data  
MOV ECON, #05H      ; Erase Page  
MOV ECON, #03H      ; Write Page (Program Flash / EE)
```

## 8. INTERFACE ΧΡΗΣΤΗ ΣΤΑ ΥΠΟΛΟΙΠΑ ΠΕΡΙΦΕΡΕΙΑΚΑ ΕΝΣΩΜΑΤΩΜΕΝΑ ΣΤΟΝ ADuC824

Το ακόλουθο τμήμα δίνει μια συνοπτική περιγραφή των διαφόρων περιφερειακών που είναι διαθέσιμα στο τσιπ .Επίσης δίνεται και μια περιγραφή

των SFRs που χρησιμοποιούνται για τον έλεγχο και την διαμόρφωση των περιφερειακών αυτών .

## DAC

Ο ADuC824 έχει ενσωματωμένη μία δωδεκάμπιτη , έξοδο τάσης DAC . Έχει μία γραμμική έξοδο τάσης με buffer ικανή να οδηγήσει φορτίο μέχρι και 10 KΩ / 100 pF . Έχει δύο επιλέξιμες κλίμακες των , 0V έως  $V_{REF}$  ( βάση της εσωτερικής τάσης αναφοράς των 2.5V ) και 0V έως  $AV_{DD}$  . Μπορεί να λειτουργήσει σε δύο καταστάσεις των 12-bit ή 8-bit . Ο DAC έχει έναν καταχωρητή ελέγχου τον DACCON και δύο καταχωρητές δεδομένων τους DACH/L . Η έξοδος του DAC μπορεί να προγραμματιστεί να εμφανίζεται είτε στο Pin 3 είτε στο Pin 12 . Πρέπει να σημειωθεί ότι στην κατάσταση των 12-bit , η τάση εξόδου του DAC ανανεώνεται μόλις γραφεί ο καταχωρητής δεδομένων DACL γι' αυτό η ενημέρωση των καταχωρητών δεδομένων του DAC πρέπει να γίνεται πρώτα από τον DACH και μετά να ακολουθεί ο DACL .

Στην περίπτωση της συμπλήρωσης των καταχωρητών δεδομένων του 12-bit DAC πρέπει να προσεχτεί έτσι ώστε ο DACL να περιέχει τα 8 χαμηλότερα bit και ο DACH στις 4 λιγότερο σημαντικές θέσεις του να περιέχει τα 4 υψηλότερα bit του καταχωρητή .



|                        |                      |
|------------------------|----------------------|
| DACCON                 | DAC Control Register |
| SFR Address            | FDH                  |
| Power-On Default Value | 00H                  |
| Bit Addressable        | No                   |

|   |   |   |        |      |       |                            |       |
|---|---|---|--------|------|-------|----------------------------|-------|
| — | — | — | DACPIN | DAC8 | DACRN | $\overline{\text{DACCLR}}$ | DACEN |
|---|---|---|--------|------|-------|----------------------------|-------|

Table XVI. DACCON SFR Bit Designations

| Bit | Name                       | Description   |
|-----|----------------------------|---|
| 7   | —                          | Reserved for Future Use   |
| 6   | —                          | Reserved for Future Use   |
| 5   | —                          | Reserved for Future Use   |
| 4   | DACPIN                     | DAC Output Pin Select<br><i>Set</i> by user to direct the DAC output to Pin 12 (P1.7/AIN4/DAC).<br><i>Cleared</i> by user to direct the DAC output to Pin 3 (P1.2/DAC/IEXC1).   |
| 3   | DAC8                       | DAC 8-Bit Mode Bit<br><i>Set</i> by user to enable 8-bit DAC operation. In this mode the 8-bits in DACL SFR are routed to the 8 MSBs of the DAC and the 4 LSBs of the DAC are set to zero.<br><i>Cleared</i> by user to operate the DAC in its normal 12-bit mode of operation. |
| 2   | DACRN                      | DAC Output Range Bit<br><i>Set</i> by user to configure DAC range of 0 –AV <sub>DD</sub> .<br><i>Cleared</i> by user to configure DAC range 0 – 2.5 V.  |
| 1   | $\overline{\text{DACCLR}}$ | DAC Clear Bit<br><i>Set</i> to '1' by user to enable normal DAC operation.<br><i>Cleared</i> to '0' by used to reset DAC data registers DAC1/H to zero.   |
| 0   | DACEN                      | DAC Enable Bit<br><i>Set</i> to '1' by user to enable normal DAC operation.<br><i>Cleared</i> to '0' by used to power-down the DAC.   |

Ενσ  
ωματ  
ωμέν  
ο  
PLL  
Ο  
ADu  
C82  
4  
προο  
ρίζετ  
αι  
για  
λειτο  
υργί  
α με

|                        |   |
|------------------------|---|
| DACH/L                 | DAC Data Register   |
| Function               | DAC Data Registers, written by user to update the DAC output.     |
| SFR Address            | DACL (DAC Data Low Byte) ->FBH<br>DACH (DAC Data High Byte) ->FCH |
| Power-On Default Value | 00H ->Both Registers  |
| Bit Addressable        | No ->Both Registers   |

κρύσταλλο των 32.768 KHz . Το PLL λειτουργεί πάνω στα πολλαπλάσια ( 384 ) της συχνότητας του κρυστάλλου για την παροχή σταθερού ρολογιού του συστήματος των 12.582912 MHz . Ο πυρήνας μπορεί να δουλέψει στην συχνότητα αυτή ή σε δυαδικά υποπολλαπλάσια της συχνότητας αυτής , για την εξοικονόμηση ενέργειας όταν η μέγιστη απόδοση του πυρήνα δεν είναι αναγκαία . Η προεπιλεγμένη συχνότητα λειτουργίας του πυρήνα είναι αυτή του PLL διαιρεμένη με το οχτώ ή 1.572864 MHz . Οι χρονομετρητές του ADC παρέχονται επίσης από το PLL με ποσοστό διαμόρφωσης ίδιο με την συχνότητα του ταλαντωτή κρυστάλλου . Η παραπάνω επιλογή συχνοτήτων εξασφαλίζει ότι οι διαμορφωτές και ο πυρήνας θα είναι συγχρονισμένοι ανεξάρτητα από την κλίμακα επιλογής του ρολογιού του πυρήνα . Ο καταχωρητής ελέγχου του PLL είναι ο PLLCON .

**PLLCON**  
 SFR Address D7H  
 Power-On Default Value 03H  
 Bit Addressable No

|        |      |   |      |      |     |     |     |
|--------|------|---|------|------|-----|-----|-----|
| OSC_PD | LOCK | — | LTEA | FINT | CD2 | CD1 | CD0 |
|--------|------|---|------|------|-----|-----|-----|

Table XV. PLLCON SFR Bit Designations

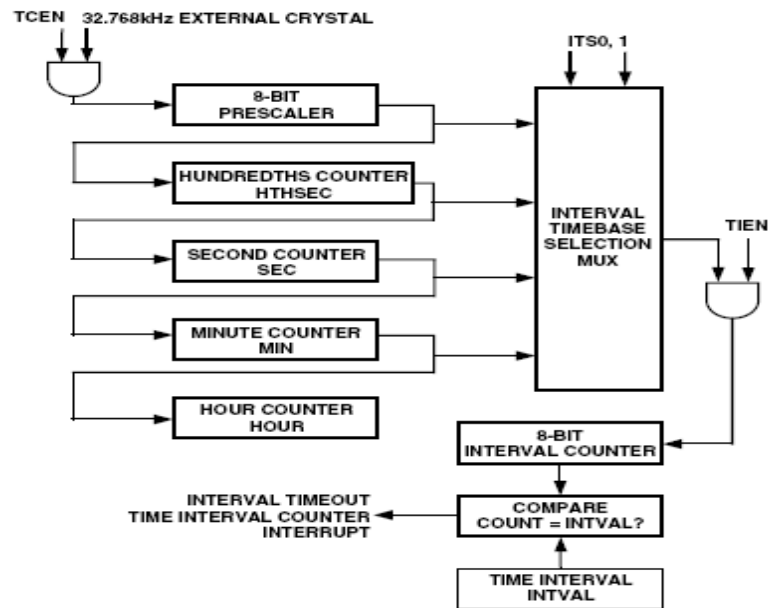
| Bit | Name   | Description  |   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
|-----|--------|--|---|-----|-----|-----|----------------------------|---|---|---|-----------|---|---|---|----------|---|---|---|----------|---|---|---|---|---|---|---|----------|---|---|---|----------|---|---|---|----------|---|---|---|
| 7   | OSC_PD | Oscillator Power-down Bit<br><i>Set</i> by user to halt the 32 kHz oscillator in power-down mode.<br><i>Cleared</i> by user to enable the 32 kHz oscillator in power-down mode.<br>This feature allows the TIC to continue counting even in power-down mode.   |   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 6   | LOCK   | PLL Lock Bit<br>This is a read only bit.<br><i>Set</i> automatically at power-on to indicate the PLL loop is correctly tracking the crystal clock. If the external crystal becomes subsequently disconnected the PLL will rail and the core will halt.<br><i>Cleared</i> automatically at power-on to indicate the PLL is not correctly tracking the crystal clock. This may be due to the absence of a crystal clock or an external crystal at power-on. In this mode, the PLL output can be 12.58 MHz $\pm$ 20%. |   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 5   | —      | Reserved for future use; should be written with '0.'   |   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 4   | LTEA   | Reading this bit returns the state of the external EA pin latched at reset or power-on.  |   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 3   | FINT   | Fast Interrupt Response Bit<br><i>Set</i> by user enabling the response to any interrupt to be executed at the fastest core clock frequency, regardless of the configuration of the CD2–0 bits (see below). Once user code has returned from an interrupt, the core resumes code execution at the core clock selected by the CD2–0 bits.<br><i>Cleared</i> by user to disable the fast interrupt response feature.   |   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 2   | CD2    | CPU (Core Clock) Divider Bits<br>This number determines the frequency at which the microcontroller core will operate.  |   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 1   | CD1    |  |   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 0   | CD0    |  |   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
|     |        |  | <table border="1"> <thead> <tr> <th>CD2</th> <th>CD1</th> <th>CD0</th> <th>Core Clock Frequency (MHz)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>12.582912</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>6.291456</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>3.145728</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1.572864 (Default Core Clock Frequency)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0.786432</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0.393216</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0.196608</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0.098304</td> </tr> </tbody> </table> | CD2 | CD1 | CD0 | Core Clock Frequency (MHz) | 0 | 0 | 0 | 12.582912 | 0 | 0 | 1 | 6.291456 | 0 | 1 | 0 | 3.145728 | 0 | 1 | 1 | 1.572864 (Default Core Clock Frequency) | 1 | 0 | 0 | 0.786432 | 1 | 0 | 1 | 0.393216 | 1 | 1 | 0 | 0.196608 | 1 | 1 | 1 |
| CD2 | CD1    | CD0  | Core Clock Frequency (MHz)  |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 0   | 0      | 0  | 12.582912   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 0   | 0      | 1  | 6.291456  |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 0   | 1      | 0  | 3.145728  |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 0   | 1      | 1  | 1.572864 (Default Core Clock Frequency)   |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 1   | 0      | 0  | 0.786432  |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 1   | 0      | 1  | 0.393216  |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 1   | 1      | 0  | 0.196608  |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |
| 1   | 1      | 1  | 0.098304  |     |     |     |                            |   |   |   |           |   |   |   |          |   |   |   |          |   |   |   |   |   |   |   |          |   |   |   |          |   |   |   |          |   |   |   |

## Εσωτερικός Μετρητής Χρόνου

Ένας εσωτερικός μετρητής χρόνου παρέχεται ενσωματωμένος στο τσιπ για να μετράει διαστήματα μεγαλύτερα από αυτά που είναι ικανοί να μετρήσουν οι χρονομετρητές που παρέχει ο 8051. Ο TIC είναι ικανός να μετρήσει χρόνους από 1/128 του sec έως και 255 ώρες. Επιπλέον ο μετρητής αυτός χρονομετρά μέσω του ταλαντωτή κρυστάλλου και όχι μέσω του PLL, για το λόγο αυτό έχει την ικανότητα να μένει ενεργός κατά τα διαστήματα των καταστάσεων power-down και long power-down. Η ιδιότητά του αυτή έχει προφανείς εφαρμογές σε μεταφερόμενους αισθητήρες με μπαταρία όπου απαιτούνται περιοδικές αναγνώσεις τους σε μεγάλα διαστήματα.

Έξι SFRs συσχετίζονται με τον εσωτερικό μετρητή χρόνου TIC, ο TIMECON είναι ο καταχωρητής ελέγχου. Ανάλογα με τον καθορισμό των IT0 και IT1 bits στον TIMECON, επιλέγεται ο χρονομετρητής και ο ανάλογος καταχωρητής υπερχειλίσσης του ο οποίος θα μετράει τον χρόνο. Όταν η τιμή του επιλεγμένου μετρητή γίνει ίση με την τιμή του εσωτερικού μετρητή τότε φορτώνεται στον INTVAL SFR και το bit TII θέτεται ενεργό και δημιουργεί ένα interrupt. Εάν ο ADuC824 είναι σε κατάσταση power-down με το interrupt του TIC

ενεργοποιημένο, το TII bit θα ενεργοποιήσει την συσκευή για να συνεχιστεί η εκτέλεση του κώδικα. Παρακάτω παρουσιάζεται ένα μπλοκ διάγραμμα του εσωτερικού μετρητή χρόνου και οι καταχωρητές λειτουργίας του.



|                        |                      |
|------------------------|----------------------|
| TIMECON                | TIC Control Register |
| SFR Address            | A1H                  |
| Power-On Default Value | 00H                  |
| Bit Addressable        | No                   |

|   |   |      |      |     |     |      |      |
|---|---|------|------|-----|-----|------|------|
| — | — | ITS1 | ITS0 | STI | TII | TIEN | ICEN |
|---|---|------|------|-----|-----|------|------|

Table XVI. TIMECON SFR Bit Designations

| Bit  | Name | Description   |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
|------|------|---|------|------|-------------------|---|---|--------------|---|---|---------|---|---|---------|---|---|-------|
| 7    | —    | Reserved for Future Use   |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 6    | —    | Reserved for Future Use. For future product code compatibility this bit should be written as a '1.'   |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 5    | ITS1 | Interval Timebase Selection Bits.   |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 4    | ITS0 | Written by user to determine the interval counter update rate.<br><table border="0" style="margin-left: 20px;"> <tr> <td>ITS1</td> <td>ITS0</td> <td>Interval Timebase</td> </tr> <tr> <td>0</td> <td>0</td> <td>1/128 Second</td> </tr> <tr> <td>0</td> <td>1</td> <td>Seconds</td> </tr> <tr> <td>1</td> <td>0</td> <td>Minutes</td> </tr> <tr> <td>1</td> <td>1</td> <td>Hours</td> </tr> </table> | ITS1 | ITS0 | Interval Timebase | 0 | 0 | 1/128 Second | 0 | 1 | Seconds | 1 | 0 | Minutes | 1 | 1 | Hours |
| ITS1 | ITS0 | Interval Timebase   |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 0    | 0    | 1/128 Second  |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 0    | 1    | Seconds   |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 1    | 0    | Minutes   |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 1    | 1    | Hours   |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 3    | STI  | Single Time Interval Bit<br><i>Set</i> by user to generate a single interval timeout. If set, a timeout will clear the TIEN bit.<br><i>Cleared</i> by user to allow the interval counter to be automatically reloaded and start counting again at each interval timeout.  |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 2    | TII  | TIC Interrupt Bit<br><i>Set</i> when the 8-bit Interval Counter matches the value in the INTVAL SFR.<br><i>Cleared</i> by user software.  |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 1    | TIEN | Time Interval Enable Bit<br><i>Set</i> by user to enable the 8-bit time interval counter.<br><i>Cleared</i> by user to disable and clear the contents of the interval counter.  |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |
| 0    | TCEN | Time Clock Enable Bit<br><i>Set</i> by user to enable the time clock to the time interval counters.<br><i>Cleared</i> by user to disable the clock to the time interval counters and clear the time interval SFRs. The time registers (HTHSEC, SEC, MIN and HOUR) can be written while TCEN is low.   |      |      |                   |   |   |              |   |   |         |   |   |         |   |   |       |

|                        |  |
|------------------------|--|
| <b>INTVAL</b>          | <b>User Time Interval Select Register</b>  |
| Function               | User code writes the required time interval to this register. When the 8-bit interval counter is equal to the time interval value loaded in the INTVAL SFR, the TII bit (TIMECON.2) bit is set and generates an interrupt if enabled. (See IEIP2 SFR description under Interrupt System later in this data sheet.) |
| SFR Address            | A6H  |
| Power-On Default Value | 00H  |
| Bit Addressable        | No   |
| Valid Value            | 0 to 255 decimal   |
| <br>                   |  |
| <b>HTHSEC</b>          | <b>Hundredths Seconds Time Register</b>  |
| Function               | This register is incremented in (1/128) second intervals once TCEN in TIMECON is active. The HTHSEC SFR counts from 0 to 127 before rolling over to increment the SEC time register.   |
| SFR Address            | A2H  |
| Power-On Default Value | 00H  |
| Bit Addressable        | No   |
| Valid Value            | 0 to 127 decimal   |
| <br>                   |  |
| <b>SEC</b>             | <b>Seconds Time Register</b>   |
| Function               | This register is incremented in 1 second intervals once TCEN in TIMECON is active. The SEC SFR counts from 0 to 59 before rolling over to increment the MIN time register.   |
| SFR Address            | A3H  |
| Power-On Default Value | 00H  |
| Bit Addressable        | No   |
| Valid Value            | 0 to 59 decimal  |
| <br>                   |  |
| <b>MIN</b>             | <b>Minutes Time Register</b>   |
| Function               | This register is incremented in 1 minute intervals once TCEN in TIMECON is active. The MIN counts from 0 to 59 before rolling over to increment the HOUR time register.  |
| SFR Address            | A4H  |
| Power-On Default Value | 00H  |
| Bit Addressable        | No   |
| Valid Value            | 0 to 59 decimal  |
| <br>                   |  |
| <b>HOUR</b>            | <b>Hours Time Register</b>   |
| Function               | This register is incremented in 1 hour intervals once TCEN in TIMECON is active. The HOUR SFR counts from 0 to 23 before rolling over to 0.  |
| SFR Address            | A5H  |
| Power-On Default Value | 00H  |
| Bit Addressable        | No   |
| Valid Value            | 0 to 23 decimal  |

Watchdog Timer

Ο σκοπός του χρονομέτρου αυτού είναι να παράγει μια συσκευή που θα κάνει reset ή interrupt μέσα σε ένα λογικό χρονικό διάστημα εάν ο ADuC824 εισέλθει σε μία λανθασμένη κατάσταση που ενδεχομένως να οφείλεται σε ένα προγραμματιστικό λάθος , έναν ηλεκτρικό θόρυβο , ή ένα RFI . Η λειτουργία Watchdog μπορεί να απενεργοποιηθεί “καθαρίζοντας” το bit WDE ( WatchDog Enable ) στον καταχωρητή ελέγχου του ( WDCON ) . Όταν είναι ενεργός το κύκλωμά του θα εκτελέσει ένα reset ή ένα interrupt στο σύστημα εάν το πρόγραμμα του χρήστη αποτύχει να θέσει το bit WDE μέσα σε ένα λογικό χρονικό διάστημα . Ο Watchdog timer είναι ένα χρονόμετρο των 16-bit το οποίο λειτουργεί με συχνότητα 32.768 KHz . Ο χρόνος αναμονής του μετρητή καθορίζεται από τα PRE3-0 bits του καταχωρητή WDCON .Ο πλήρης έλεγχος και η κατάσταση της λειτουργίας του Watchdog timer γίνεται από τον καταχωρητή ελέγχου του τον WDCON SFR . Ο WDCON SFR μπορεί να γραφεί μόνο κατά την ακολουθία που παρουσιάζεται παρακάτω και η οποία πρέπει να ακολουθείται κάθε φορά που επιθυμούμε να γράψουμε σε αυτόν .

|                        |                                 |
|------------------------|---------------------------------|
| WDCON                  | Watchdog Timer Control Register |
| SFR Address            | C0H                             |
| Power-On Default Value | 10H                             |
| Bit Addressable        | Yes                             |

|      |      |      |      |      |     |     |      |
|------|------|------|------|------|-----|-----|------|
| PRE3 | PRE2 | PRE1 | PRE0 | WDIR | WDS | WDE | WDWR |
|------|------|------|------|------|-----|-----|------|

Table XVII. WDCON SFR Bit Designations

| Bit | Name | Description   |  |
|-----|------|---|--|
| 7   | PRE3 | Watchdog Timer Prescale Bits<br>The Watchdog timeout period is given by the equation: $t_{WD} = (2^{PRE} \times (2^9/f_{PLL}))$<br>$(0 \leq PRE \leq 7; f_{PLL} = 32.768 \text{ kHz})$  |  |
| 6   | PRE2 |   |  |
| 5   | PRE1 |   |  |
| 4   | PRE0 |   |  |
|     |      |   | PRE3 PRE2 PRE1 PRE0 Timeout Period (ms) Action |
|     |      |   | 0 0 0 0 15.6 Reset or Interrupt                |
|     |      |   | 0 0 0 1 31.2 Reset or Interrupt                |
|     |      |   | 0 0 1 0 62.5 Reset or Interrupt                |
|     |      |   | 0 0 1 1 125 Reset or Interrupt                 |
|     |      |   | 0 1 0 0 250 Reset or Interrupt                 |
|     |      | 0 1 0 1 500 Reset or Interrupt  |  |
|     |      | 0 1 1 0 1000 Reset or Interrupt   |  |
|     |      | 0 1 1 1 2000 Reset or Interrupt   |  |
|     |      | 1 0 0 0 0.0 Immediate Reset   |  |
|     |      | PRE3-0 > 1001 Reserved  |  |
| 3   | WDIR | Watchdog Interrupt Response Enable Bit<br>If this bit is set by the user, the watchdog will generate an interrupt response instead of a system reset when the watchdog timeout period has expired. This interrupt is not disabled by the CLR EA instruction and it is also a fixed, high-priority interrupt. If the watchdog is not being used to monitor the system, it can alternatively be used as a timer. The prescaler is used to set the timeout period in which an interrupt will be generated. (See also Note 1, Table XXXIV in the Interrupt System section.) |  |
| 2   | WDS  | Watchdog Status Bit<br>Set by the Watchdog Controller to indicate that a watchdog timeout has occurred.<br>Cleared by writing a '0' or by an external hardware reset. It is not cleared by a watchdog reset.  |  |
| 1   | WDE  | Watchdog Enable Bit<br>Set by user to enable the watchdog and clear its counters. If this bit is not set by the user within the watchdog timeout period, the watchdog will generate a reset or interrupt, depending on WDIR.<br>Cleared under the following conditions, User writes '0,' Watchdog Reset (WDIR = '0'); Hardware Reset; PSM Interrupt.  |  |
| 0   | WDWR | Watchdog Write Enable Bit<br>To write data into the WDCON SFR involves a double instruction sequence. The WDWR bit must be set and the very next instruction must be a write instruction to the WDCON SFR.<br>e.g., CLR EA ; disable interrupts while writing to WDT<br>SETB WDWR ; allow write to WDCON<br>MOV WDCON, #72h ; enable WDT for 2.0s timeout<br>SET B EA ; enable interrupts again (if rqd)  |  |

## Power Supply Monitor

Όπως χαρακτηρίζει και το όνομά του, μόλις ενεργοποιηθεί παρατηρεί και τις δύο πηγές ( AVDD ή DVDD ) του ADuC824 . Θα επισημάνει μία από τις πηγές σαν τα pins της έχουν πέσει κάτω των τεσσάρων προεπιλεγμένων επιπέδων από 2.63 V έως 4.63 V . Για την σωστή λειτουργία του η AVDD πρέπει να είναι μεγαλύτερη ή ίση με 2.7 V . Η λειτουργία αυτή ελέγχεται μέσω ενός καταχωρητή τον PSMCON SFR . Σε περίπτωση που αντιληφθεί λάθος επίπεδο τάσης στέλνει interrupt κακής λειτουργίας στον πυρήνα μέσω του bit PSMI , το bit αυτό δεν πρόκειται να καθαρίσει εάν η λανθάνουσα τάση δεν επιστρέψει σε επιτρεπτά όρια και παραμένει σε αυτά για περισσότερο από 250 ms . Η λειτουργία Power Supply Monitor επιτρέπει στον χρήστη ασφαλή λειτουργία και αποφυγή τυχόν απώλειας δεδομένων κατά την περίπτωση χαμηλής τάσης τροφοδοσίας ενώ επίσης διασφαλίζει ότι η εκτέλεση του κώδικα δεν θα εκτελεστεί ωσότου εδραιωθεί ένα ασφαλές επίπεδο τάσης λειτουργίας της συσκευής .

PSMCON                      Power Supply Monitor Control Register  
SFR Address                DFH  
Power-On Default Value    DEH  
Bit Addressable             No

|      |      |      |      |      |      |      |       |
|------|------|------|------|------|------|------|-------|
| CMPD | CMPA | PSMI | TPD1 | TPD0 | TPA1 | TPA0 | PSMEN |
|------|------|------|------|------|------|------|-------|

Table XVIII. PSMCON SFR Bit Designations

| Bit  | Name  | Description  |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
|------|-------|--|------------------------------|------|------------------------------|---|---|------|---|---|------|---|---|------|---|---|------|
| 7    | CMPD  | DVDD Comparator Bit<br>This is a read-only bit and directly reflects the state of the DVDD comparator.<br>Read '1' indicates the DVDD supply is above its selected trip point.<br>Read '0' indicates the DVDD supply is below its selected trip point.   |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 6    | CMPA  | AVDD Comparator Bit<br>This is a read-only bit and directly reflects the state of the AVDD comparator.<br>Read '1' indicates the AVDD supply is above its selected trip point.<br>Read '0' indicates the AVDD supply is below its selected trip point.   |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 5    | PSMI  | Power Supply Monitor Interrupt Bit<br>This bit will be set high by the MicroConverter if either CMPA or CMPD are low, indicating low analog or digital supply. The PSMI bit can be used to interrupt the processor. Once CMPD and/or CMPA return (and remain) high, a 250 ms counter is started. When this counter times out, the PSMI interrupt is cleared. PSMI can also be written by the user. However, if either comparator output is low, it is not possible for the user to clear PSMI. |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 4    | TPD1  | DVDD Trip Point Selection Bits<br>These bits select the DVDD trip-point voltage as follows:<br><table border="1"> <tr> <td>TPD1</td> <td>TPD0</td> <td>Selected DVDD Trip Point (V)</td> </tr> <tr> <td>0</td> <td>0</td> <td>4.63</td> </tr> <tr> <td>0</td> <td>1</td> <td>3.08</td> </tr> <tr> <td>1</td> <td>0</td> <td>2.93</td> </tr> <tr> <td>1</td> <td>1</td> <td>2.63</td> </tr> </table>  | TPD1                         | TPD0 | Selected DVDD Trip Point (V) | 0 | 0 | 4.63 | 0 | 1 | 3.08 | 1 | 0 | 2.93 | 1 | 1 | 2.63 |
| TPD1 | TPD0  |  | Selected DVDD Trip Point (V) |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 0    | 0     |  | 4.63                         |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 0    | 1     |  | 3.08                         |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 1    | 0     | 2.93   |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 1    | 1     | 2.63   |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 3    | TPD0  |  |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 2    | TPA1  | AVDD Trip Point Selection Bits<br>These bits select the AVDD trip-point voltage as follows:<br><table border="1"> <tr> <td>TPA1</td> <td>TPA0</td> <td>Selected AVDD Trip Point (V)</td> </tr> <tr> <td>0</td> <td>0</td> <td>4.63</td> </tr> <tr> <td>0</td> <td>1</td> <td>3.08</td> </tr> <tr> <td>1</td> <td>0</td> <td>2.93</td> </tr> <tr> <td>1</td> <td>1</td> <td>2.63</td> </tr> </table>  | TPA1                         | TPA0 | Selected AVDD Trip Point (V) | 0 | 0 | 4.63 | 0 | 1 | 3.08 | 1 | 0 | 2.93 | 1 | 1 | 2.63 |
| TPA1 | TPA0  |  | Selected AVDD Trip Point (V) |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 0    | 0     |  | 4.63                         |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 0    | 1     |  | 3.08                         |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 1    | 0     | 2.93   |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 1    | 1     | 2.63   |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 1    | TPA0  |  |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |
| 0    | PSMEN | Power Supply Monitor Enable Bit<br>Set to '1' by the user to enable the Power Supply Monitor Circuit.<br>Cleared to '0' by the user to disable the Power Supply Monitor Circuit.   |                              |      |                              |   |   |      |   |   |      |   |   |      |   |   |      |

9.  
Ε  
Ν  
Σ  
Ω  
Μ  
Α  
Τ  
Ω  
Μ  
Ε  
Ν  
Α  
  
Π  
Ε  
Ρ  
Ι  
Φ  
Ε  
Ρ  
Ε  
Ι  
Α  
Κ  
Α

## ΣΥΜΒΑΤΟΤΗΤΑΣ 8051

Το τμήμα αυτό δίνει μία συνοπτική περιγραφή των διαφόρων δευτερευόντων περιφερειακών που είναι επίσης διαθέσιμα στο τσιπ . Οι υπόλοιπες αυτές λειτουργίες είναι πλήρως συμβατές με τον 8051 και ελέγχονται με ορισμό των bit καταχωρητών του 8051 .

Παράλληλες Θύρες I/O ( Ports 0-3 )

Ο ADuC824 χρησιμοποιεί τέσσερις θύρες εισόδου / εξόδου για την ανταλλαγή δεδομένων με τις εξωτερικές συσκευές . Εκτός από την εκτέλεση ενεργειών γενικής χρήσης I/O , κάποια από τα ports είναι ικανά για την εκτέλεση παράλληλων εξειδικευμένων λειτουργιών όπως λειτουργία της εξωτερικής μνήμης ή με πολύπλεξη χρησιμοποιούνται για την λειτουργία των περιφερειακών της συσκευής . Γενικά όταν ένα περιφερειακό είναι ενεργό το pin του μπορεί και να μην χρησιμοποιείται ως I/O γενικής χρήσης .

Το Port 0 είναι μια 8-bit αμφίδρομη θύρα η οποία ελέγχεται απευθείας από των καταχωρητή της ( SFR address = 80 hex ) . Τα pins του Port 0 που έχουν γραμμένους άσους μέσω του καταχωρητή τους μπορούν να θεωρηθούν ανοικτά και να βρίσκονται σε κατάσταση float . Στην κατάσταση αυτή τα pins του Port 0 μπορούν να χρησιμοποιηθούν ως εισοδοί μεγάλης σύνθετης αντίστασης . Μια εξωτερική pull-up αντίσταση είναι αναγκαία για να τραβήξει τα pins του Port 0 σε λογικό high . Το Port 0 είναι επίσης η πολυπλεγμένη θύρα που παρέχει τα λιγότερο σημαντικά ψηφία της διεύθυνσης και των δεδομένων στην εξωτερική μνήμη προγραμματισμού ή δεδομένων . Κατά την εφαρμογή αυτή χρησιμοποιεί ισχυρά εσωτερικά pull-ups εκπέμπει άσους .

Το Port 1 είναι επίσης μία 8-bit θύρα η οποία ελέγχεται άμεσα από τον καταχωρητή P1 ( SFR address = 90 hex ) . Τα pins του Port 1 διαιρούνται σε δύο διακριτά γκρουπ .

Τα pins P1.0 και P1.1 του Port 1 είναι αμφίδρομες ψηφιακές I/O με εσωτερικά pull-ups . Εάν τα pins P1.0 και P1.1 έχουν γραμμένους άσους μέσω του καταχωρητή τους P1 τότε οδηγούνται σε λογικό high μέσω

των εσωτερικών pull-ups αντιστάσεων . Στη φάση αυτή μπορούν να χρησιμοποιηθούν ως εισοδοί και ως pins εισόδου όταν τραβιούνται εξωτερικά σε low τραβάνε ρεύμα λόγω των εσωτερικών αντιστάσεων pull-ups . Με μηδενικά γραμμένα σε αυτά και τα δύο pins θα οδηγηθούν σε τάση εξόδου λογικού low ( VOL ) και είναι ικανά να βυθίσουν ως 10 mA σε σύγκριση με τα υπόλοιπα pins που μπορούν να βυθίσουν μέχρι 1.6 mA . Τα pins αυτά έχουν και ποικίλες δευτερεύουσες λειτουργίες οι οποίες περιγράφονται στον παρακάτω πίνακα .

| Pin  | Alternate Function                            |
|------|---|
| P1.0 | T2 (Timer/Counter 2 External Input)           |
| P1.1 | T2EX (Timer/Counter 2 Capture/Reload Trigger) |



Τα υπόλοιπα pins του Port 1 ( P 1.2 – P 1.7 ) μπορούν να διαμορφωθούν μόνο ως αναλογικές εισοδοί ( ADC ) , αναλογικές έξοδοι ( DAC ) ή pins ψηφιακών εισόδων . Εξαρχής τα pins αυτά διαμορφώνονται ως αναλογικές εισοδοί , δηλαδή άσοι είναι γραμμένοι στα αντίστοιχα bits του καταχωρητή του Port 1 . Για την διαμόρφωση κάποιου από αυτά τα pins ως ψηφιακή είσοδο , ο χρήστης πρέπει να γράψει στα ανάλογα bits του καταχωρητή μηδενικά έτσι ώστε τα αντίστοιχα pins να λειτουργούν ως εισοδοί υψηλής σύνθετης αντίστασης .

Το Port 2 είναι μία αμφίδρομη θύρα με εσωτερικές pull-ups αντιστάσεις άμεσα ελεγχόμενη από τον P2 SFR ( SFR address = A0 hex ) . Τα pins του Port 2 τα οποία έχουν γραμμένους άσους τραβιούνται σε επίπεδο high από τις pull-up αντιστάσεις και στην φάση αυτή μπορούν να χρησιμοποιηθούν ως εισοδοί . Ως εισοδοί όταν τραβιούνται εξωτερικά σε κατάσταση low τραβάνε ρεύμα λόγω των εσωτερικών pull-up αντιστάσεων . Το Port 2 εκπέμπει τα περισσότερα σημαντικά ψηφία διεύθυνσης κατά την τροφοδοσία από εξωτερική μνήμη προγραμματισμού και τα μεσαία και περισσότερο σημαντικά ψηφία διεύθυνσης κατά την πρόσβαση σε εξωτερική μνήμη των 24-bit .

Το Port 3 είναι μία αμφίδρομη θύρα με εσωτερικές pull-ups αντιστάσεις άμεσα ελεγχόμενη από τον P3 SFR ( SFR address = B0 hex ) . Τα pins του Port 3 τα οποία έχουν γραμμένους άσους τραβιούνται σε επίπεδο high από τις pull-up αντιστάσεις και στην φάση αυτή μπορούν να

χρησιμοποιηθούν ως εισοδοί . Ως εισοδοί όταν τραβιούνται εξωτερικά σε κατάσταση low τραβάνε ρεύμα λόγω των εσωτερικών pull-up αντιστάσεων . Επίσης τα pins του Port 3 έχουν διάφορες δευτερεύουσες λειτουργίες οι οποίες περιγράφονται στον παρακάτω πίνακα .

| Pin  | Alternate Function  |
|------|---|
| P3.0 | RXD (UART Input Pin)<br>(or Serial Data I/O in Mode 0)      |
| P3.1 | TXD (UART Output Pin)<br>(or Serial Clock Output in Mode 0) |
| P3.2 | $\overline{\text{INT0}}$ (External Interrupt 0)             |
| P3.3 | $\overline{\text{INT1}}$ (External Interrupt 1)             |
| P3.4 | T0 (Timer/Counter 0 External Input)                         |
| P3.5 | T1 (Timer/Counter 1 External Input)                         |
| P3.6 | $\overline{\text{WR}}$ (External Data Memory Write Strobe)  |
| P3.7 | $\overline{\text{RD}}$ (External Data Memory Read Strobe)   |

Οι εναλλακτικές λειτουργίες των P 1.0 , P1.1 και του Port 3 μπορούν να ενεργοποιηθούν μόνο εάν το αντίστοιχο τους bit στους καταχωρητές P1 και P3 είναι 1 . Διαφορετικά το pin της θύρας μένει στο 0 .

## Timers / Counters

Ο ADuC824 έχει τρεις 16-bit Timers / Counters , τους : Timer 0 , Timer 1 και τον Timer 3 . Το υλικό των Timers / Counters ενσωματώνεται στο τσιπ έτσι ώστε να ανακουφίζει τον πυρήνα από επιπλέον software κατά την λειτουργία . Κάθε Timer / Counter απαρτίζεται από δύο 8-bit καταχωρητές TH<sub>x</sub> και TL<sub>x</sub> ( x = 0 , 1 και 2 ) . Ενώ και οι τρεις μπορούν να διαμορφωθούν να λειτουργήσουν είτε ως Timers είτε ως Counters .

Στην λειτουργία Timer , ο καταχωρητής TL<sub>x</sub> αυξάνεται κατά ένα σε κάθε κύκλο μηχανής . Δεδομένου ότι κάθε κύκλος μηχανής αποτελείται από 12 περιόδους του ρολογιού του πυρήνα συμπεραίνουμε ότι το μέγιστο ποσοστό αρίθμησης είναι το 1/12 της συχνότητας του ρολογιού του πυρήνα .

Στην λειτουργία Counter , ο καταχωρητής TL<sub>x</sub> κατά την μετάβαση από 1 σε 0 στο αντίστοιχο εξωτερικό pin του , T0 , T1 ή T2 . Στην λειτουργία αυτή η εξωτερική είσοδος δειγματοληπτείται κατά την διάρκεια του S5P2

κάθε κύκλου μηχανής . Όταν τα δείγματα δείχνου high στον ένα κύκλο και low στον επόμενο η μέτρηση αυξάνεται κατά ένα . Η καινούρια τιμή του μετρητή εμφανίζεται στον καταχωρητή κατά την διάρκεια του S3P1 του επόμενου κύκλου από αυτόν στον οποίο εντοπίστηκε η μεταβολή . Εφόσον χρειάζεται δύο κύκλους μηχανής ( 24 περιόδους του ρολογιού του πυρήνα ) να αναγνωρίσει την μεταβολή από το 1 στο 0 , το μέγιστο ποσοστό μέτρησης είναι τι 1/24 της συχνότητας του ρολογιού του πυρήνα . Δεν υπάρχουν περιορισμοί στον κύκλο λειτουργίας του εξωτερικού σήματος εισόδου , αλλά για να διασφαλιστεί ότι κάθε επίπεδό του έχει δειγματοληπτεί τουλάχιστον μία φορά πριν μεταβληθεί , πρέπει να διαρκεί τουλάχιστον για έναν ολόκληρο κύκλο μηχανής . Υπενθυμίζεται ότι η συχνότητα του ρολογιού του πυρήνα προγραμματίζεται μέσω των bit επιλογής CD 0-2 του καταχωρητή PLLCON .

Ο έλεγχος και η διαμόρφωση όλων των Timer γίνεται μέσω των τριών παρακάτω καταχωρητών :

TMOD, TCON:  
T2CON:

Control and configuration for Timers 0 and 1.  
Control and configuration for Timer 2.

**TMOD**  
 SFR Address 89H  
 Power-On Default Value 00H  
 Bit Addressable No

**Timer/Counter 0 and 1 Mode Register**

|      |             |    |    |      |             |    |    |
|------|-------------|----|----|------|-------------|----|----|
| Gate | $C/\bar{T}$ | M1 | M0 | Gate | $C/\bar{T}$ | M1 | M0 |
|------|-------------|----|----|------|-------------|----|----|

**Table XXIII. TMOD SFR Bit Designations**

| Bit | Name        | Description   |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
|-----|-------------|---|----|----|--|---|---|--|---|---|--|---|---|---|---|---|--|
| 7   | Gate        | Timer 1 Gating Control<br><i>Set</i> by software to enable timer/counter 1 only while $\overline{INT1}$ pin is high and TR1 control bit is set.<br><i>Cleared</i> by software to enable timer 1 whenever TR1 control bit is set.  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 6   | $C/\bar{T}$ | Timer 1 Timer or Counter Select Bit<br><i>Set</i> by software to select counter operation (input from T1 pin).<br><i>Cleared</i> by software to select timer operation (input from internal system clock).  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 5   | M1          | Timer 1 Mode Select Bit 1 (Used with M0 Bit)  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 4   | M0          | Timer 1 Mode Select Bit 0   |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
|     |             | <table border="0"> <tr> <td>M1</td> <td>M0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>TH1 operates as an 8-bit timer/counter. TL1 serves as 5-bit prescaler.</td> </tr> <tr> <td>0</td> <td>1</td> <td>16-Bit Timer/Counter. TH1 and TL1 are cascaded; there is no prescaler.</td> </tr> <tr> <td>1</td> <td>0</td> <td>8-Bit Auto-Reload Timer/Counter. TH1 holds a value which is to be reloaded into TL1 each time it overflows.</td> </tr> <tr> <td>1</td> <td>1</td> <td>Timer/Counter 1 Stopped.</td> </tr> </table>   | M1 | M0 |  | 0 | 0 | TH1 operates as an 8-bit timer/counter. TL1 serves as 5-bit prescaler. | 0 | 1 | 16-Bit Timer/Counter. TH1 and TL1 are cascaded; there is no prescaler. | 1 | 0 | 8-Bit Auto-Reload Timer/Counter. TH1 holds a value which is to be reloaded into TL1 each time it overflows. | 1 | 1 | Timer/Counter 1 Stopped.   |
| M1  | M0          |   |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 0   | 0           | TH1 operates as an 8-bit timer/counter. TL1 serves as 5-bit prescaler.  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 0   | 1           | 16-Bit Timer/Counter. TH1 and TL1 are cascaded; there is no prescaler.  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 1   | 0           | 8-Bit Auto-Reload Timer/Counter. TH1 holds a value which is to be reloaded into TL1 each time it overflows.   |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 1   | 1           | Timer/Counter 1 Stopped.  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 3   | Gate        | Timer 0 Gating Control<br><i>Set</i> by software to enable timer/counter 0 only while $\overline{INT0}$ pin is high and TR0 control bit is set.<br><i>Cleared</i> by software to enable Timer 0 whenever TR0 control bit is set.  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 2   | $C/\bar{T}$ | Timer 0 Timer or Counter Select Bit<br><i>Set</i> by software to select counter operation (input from T0 pin).<br><i>Cleared</i> by software to select timer operation (input from internal system clock).  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 1   | M1          | Timer 0 Mode Select Bit 1   |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 0   | M0          | Timer 0 Mode Select Bit 0   |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
|     |             | <table border="0"> <tr> <td>M1</td> <td>M0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>TH0 operates as an 8-bit timer/counter. TL0 serves as 5-bit prescaler.</td> </tr> <tr> <td>0</td> <td>1</td> <td>16-Bit Timer/Counter. TH0 and TL0 are cascaded; there is no prescaler.</td> </tr> <tr> <td>1</td> <td>0</td> <td>8-Bit Auto-Reload Timer/Counter. TH0 holds a value which is to be reloaded into TL0 each time it overflows.</td> </tr> <tr> <td>1</td> <td>1</td> <td>TL0 is an 8-bit timer/counter controlled by the standard timer 0 control bits. TH0 is an 8-bit timer only, controlled by Timer 1 control bits.</td> </tr> </table> | M1 | M0 |  | 0 | 0 | TH0 operates as an 8-bit timer/counter. TL0 serves as 5-bit prescaler. | 0 | 1 | 16-Bit Timer/Counter. TH0 and TL0 are cascaded; there is no prescaler. | 1 | 0 | 8-Bit Auto-Reload Timer/Counter. TH0 holds a value which is to be reloaded into TL0 each time it overflows. | 1 | 1 | TL0 is an 8-bit timer/counter controlled by the standard timer 0 control bits. TH0 is an 8-bit timer only, controlled by Timer 1 control bits. |
| M1  | M0          |   |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 0   | 0           | TH0 operates as an 8-bit timer/counter. TL0 serves as 5-bit prescaler.  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 0   | 1           | 16-Bit Timer/Counter. TH0 and TL0 are cascaded; there is no prescaler.  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 1   | 0           | 8-Bit Auto-Reload Timer/Counter. TH0 holds a value which is to be reloaded into TL0 each time it overflows.   |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |
| 1   | 1           | TL0 is an 8-bit timer/counter controlled by the standard timer 0 control bits. TH0 is an 8-bit timer only, controlled by Timer 1 control bits.  |    |    |  |   |   |  |   |   |  |   |   |   |   |   |  |

**TCON**  
SFR Address 88H  
Power-On Default Value 00H  
Bit Addressable Yes

**Timer/Counter 0 and 1 Control Register**  
88H  
00H  
Yes

|            |            |            |            |             |             |             |             |
|------------|------------|------------|------------|-------------|-------------|-------------|-------------|
| <b>TF1</b> | <b>TR1</b> | <b>TF0</b> | <b>TR0</b> | <b>IE1*</b> | <b>IT1*</b> | <b>IE0*</b> | <b>IT0*</b> |
|------------|------------|------------|------------|-------------|-------------|-------------|-------------|

\*These bits are not used in the control of timer/counter 0 and 1, but are used instead in the control and monitoring of the external  $\overline{INT0}$  and  $\overline{INT1}$  interrupt pins.

**Table XXIV. TCON SFR Bit Designations**

| Bit | Name | Description   |
|-----|------|---|
| 7   | TF1  | Timer 1 Overflow Flag<br><i>Set</i> by hardware on a timer/counter 1 overflow.<br><i>Cleared</i> by hardware when the Program Counter (PC) vectors to the interrupt service routine.  |
| 6   | TR1  | Timer 1 Run Control Bit<br><i>Set</i> by user to turn on timer/counter 1.<br><i>Cleared</i> by user to turn off timer/counter 1.  |
| 5   | TF0  | Timer 0 Overflow Flag<br><i>Set</i> by hardware on a timer/counter 0 overflow.<br><i>Cleared</i> by hardware when the PC vectors to the interrupt service routine.  |
| 4   | TR0  | Timer 0 Run Control Bit<br><i>Set</i> by user to turn on timer/counter 0.<br><i>Cleared</i> by user to turn off timer/counter 0.  |
| 3   | IE1  | External Interrupt 1 ( $\overline{INT1}$ ) Flag<br><i>Set</i> by hardware by a falling edge or zero level being applied to external interrupt pin $\overline{INT1}$ , depending on bit IT1 state.<br><i>Cleared</i> by hardware when the when the PC vectors to the interrupt service routine only if the interrupt was transition-activated. If level-activated, the external requesting source controls the request flag, rather than the on-chip hardware. |
| 2   | IT1  | External Interrupt 1 (IE1) Trigger Type<br><i>Set</i> by software to specify edge-sensitive detection (i.e., 1-to-0 transition).<br><i>Cleared</i> by software to specify level-sensitive detection (i.e., zero level).   |
| 1   | IE0  | External Interrupt 0 ( $\overline{INT0}$ ) Flag<br><i>Set</i> by hardware by a falling edge or zero level being applied to external interrupt pin $\overline{INT0}$ , depending on bit IT0 state.<br><i>Cleared</i> by hardware when the PC vectors to the interrupt service routine only if the interrupt was transition-activated. If level-activated, the external requesting source controls the request flag, rather than the on-chip hardware.          |
| 0   | IT0  | External Interrupt 0 (IE0) Trigger Type<br><i>Set</i> by software to specify edge-sensitive detection (i.e., 1-to-0 transition).<br><i>Cleared</i> by software to specify level-sensitive detection (i.e., zero level).   |

**Timer/Counter 0 and 1 Data Registers**

Each timer consists of two 8-bit registers. These can be used as independent registers or combined to be a single 16-bit register depending on the timer mode configuration.

**TH0 and TL0**

Timer 0 high byte and low byte.  
SFR Address = 8Chex, 8Ahex respectively.

**TH1 and TL1**

Timer 1 high byte and low byte.  
SFR Address = 8Dhex, 8Bhex respectively.

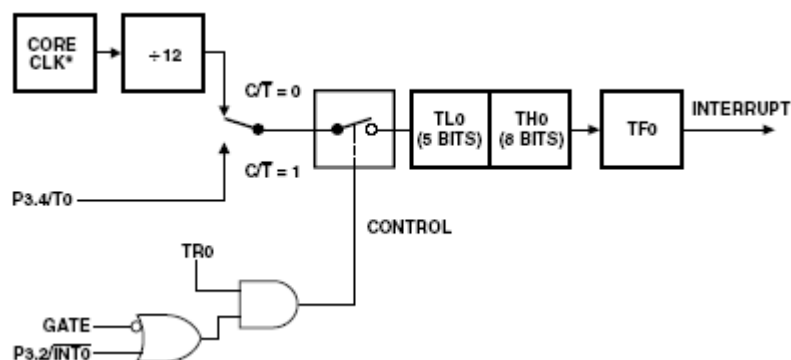
ουν τις καταστάσεις λειτουργίας για τους Timer / Counter 0 και 1 . Πρέπει να σημειωθεί ότι οι παρακάτω καταστάσεις λειτουργίας είναι ίδιες τόσο για τον Timer / Counter 0 όσο και για τον Timer / Counter 1 .

**Κατάσταση λειτουργίας 0 ( Mode 0 , 13-bit Timer / Counter )**

Στην κατάσταση 0 διαμορφώνεται ένας 8-bit Timer / Counter με προκαθορισμένη κλίμακα διαβάθμισης 1/32 . Παρακάτω παρουσιάζεται ένα μπλοκ διάγραμμα της κατάστασης 0 .

Κατ  
αστά  
σεις  
Λειτ  
ουργ  
ίας  
Time  
r /  
Cou  
nter  
0 και  
1

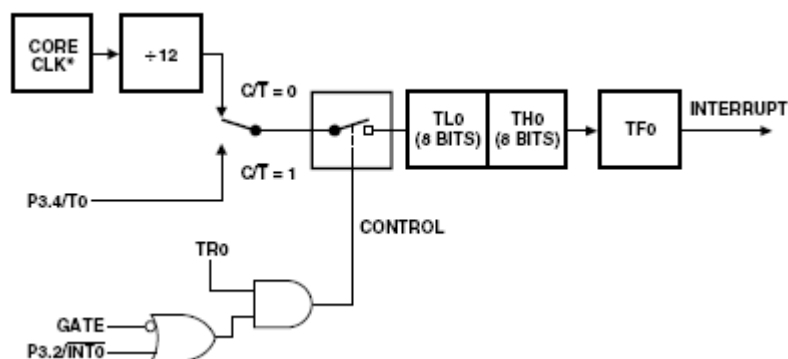
Οι  
παρα  
κάτω  
παρα  
γραφ  
οι  
περι  
γράφ



Στην κατάσταση αυτή ο καταχωρητής του timer διαμορφώνεται ως ένας 16-bit καταχωρητής . Καθώς ο μετρητής κυλάει από όλους τους άσους σε όλα τα μηδενικά σηκώνει την σημαία υπερχείλισης TF0 . Η σημαία υπερχείλισης μπορεί να χρησιμοποιηθεί για την αίτηση ενός interrupt . Η είσοδος του μετρητή εφαρμόζεται στον timer όταν το TR0 = 1 και είτε το GATE = 0 είτε το  $\sim$ INT0 = 1 . Θέτοντας το GATE =1 επιτρέπει στον timer να ελέγχεται από την εξωτερική είσοδο  $\sim$ INT0 , εκτελώντας μετρήσεις παλμοσειρών . Το TR0 είναι bit ελέγχου στον ειδικό καταχωρητή λειτουργίας TCON , ενώ το GATE βρίσκεται στον καταχωρητή TMOD . Ο 13-bit καταχωρητής αποτελείται και από τα οχτώ ψηφία του TH0 και τα πέντε λιγότερο σημαντικά του TL0 . Τα τρία περισσότερο σημαντικά ψηφία του TL0 είναι απενεργοποιημένα και δεν πρέπει να λαμβάνονται υπόψη . Θέτοντας την σημαία ( TR0 ) δεν γίνεται εκκαθάριση των καταχωρητών .

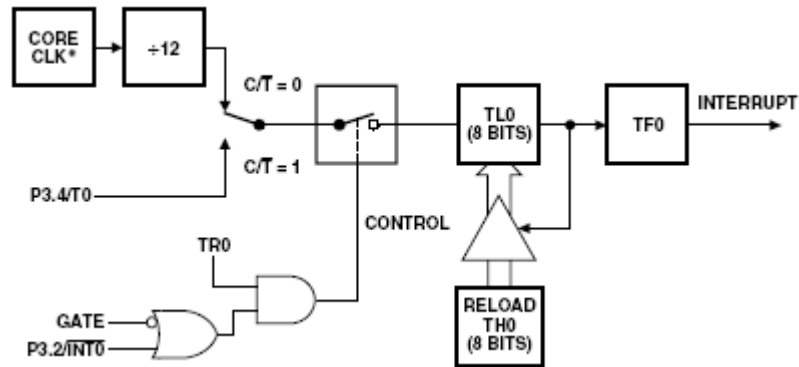
### Κατάσταση λειτουργίας 1 ( Mode 1 , 16-bit Timer / Counter )

Η κατάσταση 1 είναι ίδια με την κατάσταση 0 , εκτός του ότι ο καταχωρητής του timer λειτουργεί και με τα 16 ψηφία ( 16-bit timer ) . Παρακάτω παρουσιάζεται ένα μπλοκ διάγραμμα της κατάστασης 1 .



## Κατάσταση 2 ( Mode 2 , 8-bit Timer /Counter with Auto Reload )

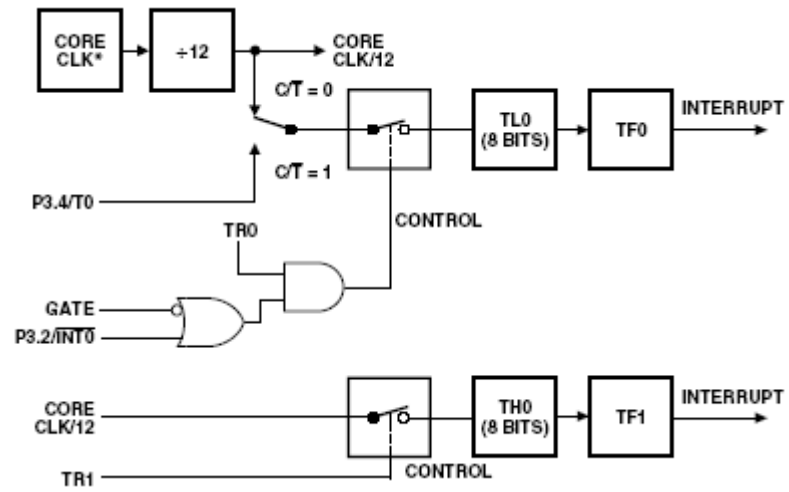
Στην κατάσταση 2 ο καταχωρητής του timer διαμορφώνεται σαν ένας 8-bit μετρητής ( TL0 ) με αυτόματη επαναφόρτιση , όπως φαίνεται στο παρακάτω μπλοκ διάγραμμα . Η υπερχειλίση από τον TL0 όχι μόνο θέτει τον TF0 , αλλά επίσης επαναφορτίζει τον TL0 με τα στοιχεία του TH0 , τα οποία θέτονται από το λογισμικό . Η επαναφόρτιση αφήνει τον TH0 άθικτο .



## Κατάσταση 3 ( Mode 3 , Δύο 8-bit Timer / Counter )

Η κατάσταση 3 έχει διαφορετικά αποτελέσματα στον timer 0 και τον timer 1 . Ο timer 1 στην κατάσταση 3 απλά κρατάει τις μετρήσεις του . Το αποτέλεσμα είναι το ίδιο σαν να θέτεις τον  $TR1 = 0$  . Ο timer 0 στην κατάσταση 3 χρησιμοποιεί τους TL0 και TH0 σαν δύο ξεχωριστούς μετρητές . Η διαμόρφωση αυτή παρουσιάζεται στο παρακάτω μπλοκ διάγραμμα . Ο TL0 χρησιμοποιεί τα εξής bits ελέγχου του timer 0 : C/T , GATE , TR0 ,  $\sim INT0$  και το TF0 . Ο TH0 στην λειτουργία timer ( μετρώντας κύκλους μηχανής ) και κάνει χρήση των TR1 και TF1 του timer 1 . Κατά συνέπεια ο TH0 ελέγχει το interrupt του timer 1 . Η κατάσταση 3 παρέχεται για τις εφαρμογές που απαιτούν ένα πρόσθετο 8-bit timer / counter .

Όταν ο timer 0 βρίσκεται στην κατάσταση λειτουργίας 3 , ο timer 1 μπορεί να ανάψει ή να σβήσει διακόπτοντάς τον ή θέτοντάς τον να λειτουργεί στην κατάσταση αυτή , όμως μπορεί ακόμα να χρησιμοποιηθεί από την σειριακή επικοινωνία ως " Baud Rate Generator " . Στην πραγματικότητα μπορεί να χρησιμοποιηθεί από κάθε εφαρμογή η οποία δεν απαιτεί interrupt από τον timer 1 .



|                        |   |
|------------------------|---|
| <b>T2CON</b>           | <b>Timer/Counter 2 Control Register</b> |
| SFR Address            | C8H                                     |
| Power-On Default Value | 00H                                     |
| Bit Addressable        | Yes                                     |

|     |      |      |      |       |     |      |      |
|-----|------|------|------|-------|-----|------|------|
| TF2 | EXF2 | RCLK | TCLK | EXEN2 | TR2 | CNT2 | CAP2 |
|-----|------|------|------|-------|-----|------|------|

**Table XXV. T2CON SFR Bit Designations**

| Bit | Name  | Description   |
|-----|-------|---|
| 7   | TF2   | Timer 2 Overflow Flag<br><i>Set</i> by hardware on a Timer 2 overflow. TF2 will not be set when either RCLK or TCLK = 1.<br><i>Cleared</i> by user software.  |
| 6   | EXF2  | Timer 2 External Flag<br><i>Set</i> by hardware when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1.<br><i>Cleared</i> by user user software.  |
| 5   | RCLK  | Receive Clock Enable Bit<br><i>Set</i> by user to enable the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3.<br><i>Cleared</i> by user to enable Timer 1 overflow to be used for the receive clock.  |
| 4   | TCLK  | Transmit Clock Enable Bit<br><i>Set</i> by user to enable the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3.<br><i>Cleared</i> by user to enable Timer 1 overflow to be used for the transmit clock.   |
| 3   | EXEN2 | Timer 2 External Enable Flag<br><i>Set</i> by user to enable a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port.<br><i>Cleared</i> by user for Timer 2 to ignore events at T2EX.   |
| 2   | TR2   | Timer 2 Start/Stop Control Bit<br><i>Set</i> by user to start Timer 2.<br><i>Cleared</i> by user to stop Timer 2.   |
| 1   | CNT2  | Timer 2 Timer or Counter Function Select Bit<br><i>Set</i> by user to select counter function (input from external T2 pin).<br><i>Cleared</i> by user to select timer function (input from on-chip core clock).   |
| 0   | CAP2  | Timer 2 Capture/Reload Select Bit<br><i>Set</i> by user to enable captures on negative transitions at T2EX if EXEN2 = 1.<br><i>Cleared</i> by user to enable auto-reloads with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the timer is forced to autoreload on Timer 2 overflow. |

#### Timer/Counter 2 Data Registers

Timer/Counter 2 also has two pairs of 8-bit data registers associated with it. These are used as both timer data registers and timer capture/reload registers.

#### TH2 and TL2

Timer 2, data high byte and low byte.

SFR Address = CDhex, CChex respectively.

#### RCAP2H and RCAP2L

Timer 2, Capture/Reload byte and low byte.

SFR Address = CBhex, CAhex respectively.

Καταστάσεις Λειτουργίας Timer / Counter 2

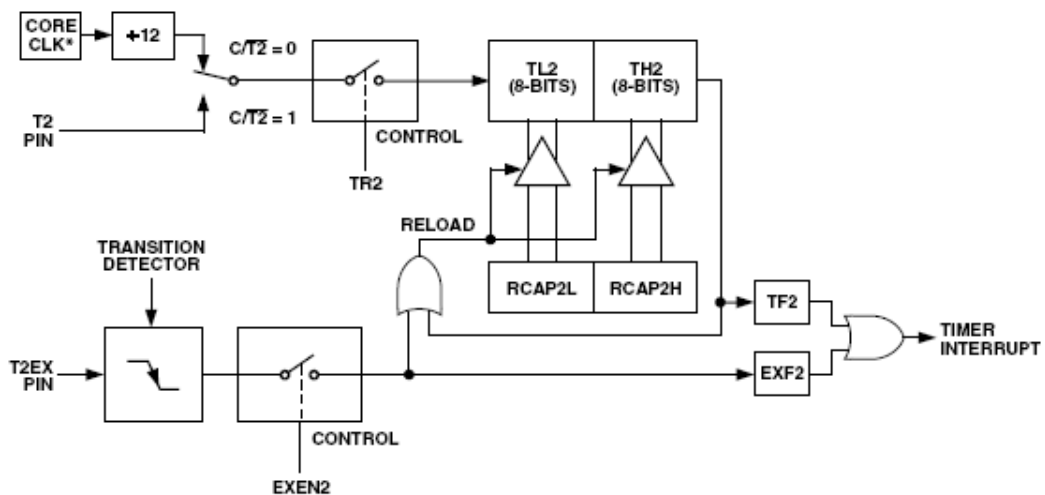


Οι ακόλουθες οι περιγράφουν τις καταστάσεις λειτουργίας του timer / counter 2 . Οι καταστάσεις λειτουργίας επιλέγονται από τα bits του καταχωρητή T2CON όπως φαίνεται και στον παρακάτω πίνακα .

| RCLK (or) TCLK | CAP2 | TR2 | MODE              |
|----------------|------|-----|-------------------|
| 0              | 0    | 1   | 16-Bit Autoreload |
| 0              | 1    | 1   | 16-Bit Capture    |
| 1              | X    | 1   | Baud Rate         |
| X              | X    | 0   | OFF               |

### 16-bit Auto Reload

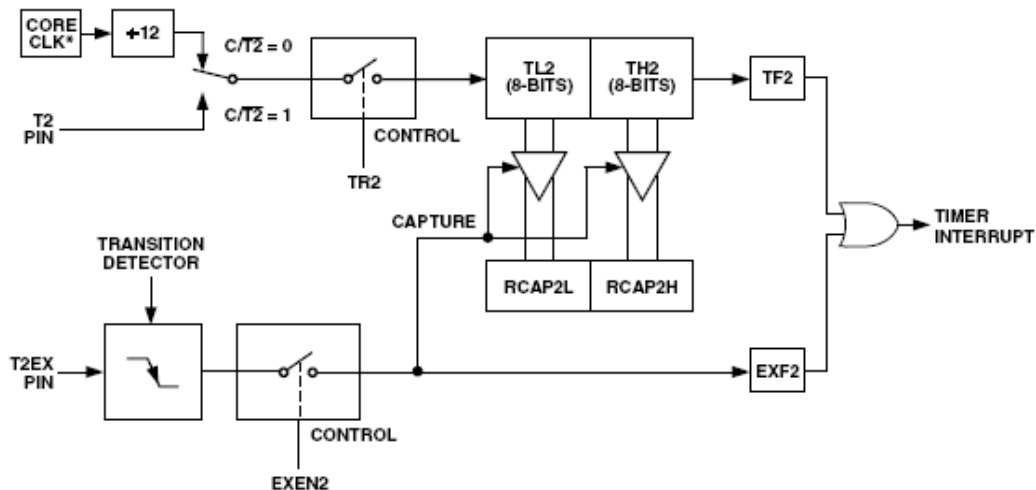
Στην κατάσταση ‘ Auto reload ’ υπάρχουν δύο επιλογές οι οποίες επιλέγονται από το bit EXEN2 του T2CON . Εάν το EXEN2 = 0 , τότε όταν ο timer 2 υπερχειλίσει όχι μόνο θέτει το TF2 , αλλά επίσης προκαλεί στους καταχωρητές του timer2 να ξαναπάρουν την 16-bit τιμή των καταχωρητών RCAP2L και RCAP2H , οι οποίες προκαθορίζονται από το λογισμικό . Εάν ο EXEN2 =1 , τότε ο timer2 εκτελεί πάλι τα παραπάνω , αλλά επιπρόσθετα με την μεταβολή της εξωτερικής εισόδου T2EX από 1 σε 0 , θα σκανδαλιστεί η επαναφόρτιση των 16-bit και θα τεθεί ο EXF2 . Παρακάτω παρουσιάζεται σε μπλοκ διάγραμμα η κατάσταση ‘ Auto Reload ’ .



### 16-Bit Capture Mode

Στην κατάσταση ‘ Capture ’ υπάρχουν πάλι δύο επιλογές , οι οποίες επιλέγονται από το bit EXEN2 του T2CON . Εάν ο EXEN2 = 0 , τότε ο timer 2

είναι ένας 16-bit timer / counter , ο οποίος κατά την υπερχείλιση θέτει το bit TF2 , το bit υπερχείλισης του timer 2 και το οποίο μπορεί για την δημιουργία interrupt . Εάν το EXEN2 = 1 , τότε ο timer2 εκτελεί ακόμα τα παραπάνω , αλλά μία μεταβολή την εξωτερικής εισόδου T2EX από 1 σε 0 προκαλεί στις παρούσες τιμές των καταχωρητών του timer2 , TL2 και TH2 , να αποθηκεύονται στους καταχωρητές RCAP2L και RCAP2H αντίστοιχα . Επιπλέον , η μετάβαση του T2EX θέτει το bit EXF2 στον T2CON και όπως το TF2 μπορεί να χρησιμοποιηθεί για την δημιουργία interrupt . Το μπλοκ διάγραμμα της κατάστασης ‘ Capture ’ παρουσιάζεται παρακάτω .



Η κατάσταση δημιουργίας ‘ baud rate ’ επιλέγεται θέτοντας το με RCLK = 1 ή το TCLK = 1 .

Σε οποιαδήποτε κατάσταση ο timer2 χρησιμοποιείται για την δημιουργία ‘ baud rate ’ , η σημαία του TF2 interrupt δεν ανταποκρίνεται . Ως εκ τούτου τα interrupt του timer2 δεν θα εμφανίζονται οπότε και δεν χρειάζεται να απενεργοποιηθούν . Στην κατάσταση αυτή ωστόσο η σημαία του EXF2 μπορεί να προκαλέσει interrupt και γι’ αυτό μπορεί να χρησιμοποιηθεί ως τρίτο εξωτερικό interrupt .

## Σειριακή Επικοινωνία Μέσω UART

Το σειριακό κανάλι είναι πλήρως αμφίδρομο , που σημαίνει ότι μπορεί να διαβιβάσει και να λάβει ταυτοχρόνως . Επίσης έχει την δυνατότητα μερικής αποθήκευσης , δηλαδή έχει την ικανότητα να λάβει ένα δεύτερο byte προτού διαβαστεί το προηγούμενο από τον καταχωρητή λήψης . Ωστόσο εάν το πρώτο byte δεν έχει διαβαστεί μέχρι την ολοκλήρωση λήψης του επόμενου , το πρώτο

byte θα χαθεί . Η φυσική επαφή με το δίκτυο της σειριακής επικοινωνίας γίνεται μέσω των Pins RXD(P3.0) και TXD(P3.1) ενώ οι καταχωρητές επικοινωνίας με την UART είναι οι εξής:

### SBUF

Η πρόσβαση στους καταχωρητές της σειριακής θύρας λήψης και μετάδοσης γίνεται μέσω του SBUF SFR ( SFR Address = 99 hex ) . Γράφοντας στον καταχωρητή SBUF φορτώνεται ο καταχωρητής μετάδοσης ενώ διαβάζοντας τον SBUF επιτυγχάνεται η πρόσβαση σε έναν ξεχωριστό καταχωρητή λήψεως .

|                        |  |
|------------------------|--|
| <b>SCON</b>            | <b>UART Serial Port Control Register</b> |
| SFR Address            | 98H                                      |
| Power-On Default Value | 00H                                      |
| Bit Addressable        | Yes                                      |

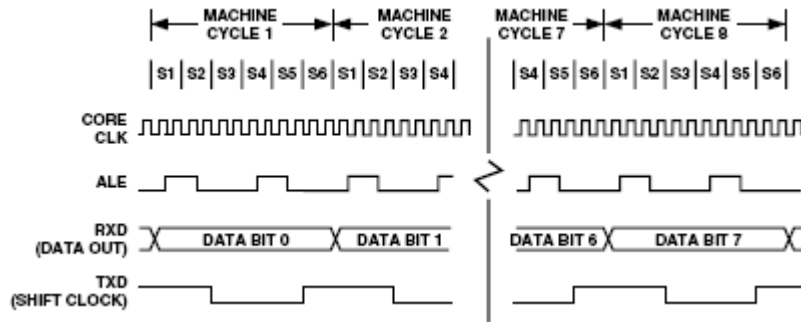
|     |     |     |     |     |     |    |    |
|-----|-----|-----|-----|-----|-----|----|----|
| SM0 | SM1 | SM2 | REN | TB8 | RB8 | TI | RI |
|-----|-----|-----|-----|-----|-----|----|----|

**Table XXVII. SCON SFR Bit Designations**

| Bit | Name | Description  |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
|-----|------|--|-----|-----|-------------------------|---|---|---|---|---|--|---|---|--|---|---|--|
| 7   | SM0  | UART Serial Mode Select Bits   |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 6   | SM1  | These bits select the Serial Port operating mode as follows:<br><table> <tr> <td>SM0</td> <td>SM1</td> <td>Selected Operating Mode</td> </tr> <tr> <td>0</td> <td>0</td> <td>Mode 0: Shift Register, fixed baud rate (<math>Core\_Clk/2</math>)</td> </tr> <tr> <td>0</td> <td>1</td> <td>Mode 1: 8-bit UART, variable baud rate</td> </tr> <tr> <td>1</td> <td>0</td> <td>Mode 2: 9-bit UART, fixed baud rate (<math>Core\_Clk/64</math>) or (<math>Core\_Clk/32</math>)</td> </tr> <tr> <td>1</td> <td>1</td> <td>Mode 3: 9-bit UART, variable baud rate</td> </tr> </table> | SM0 | SM1 | Selected Operating Mode | 0 | 0 | Mode 0: Shift Register, fixed baud rate ( $Core\_Clk/2$ ) | 0 | 1 | Mode 1: 8-bit UART, variable baud rate | 1 | 0 | Mode 2: 9-bit UART, fixed baud rate ( $Core\_Clk/64$ ) or ( $Core\_Clk/32$ ) | 1 | 1 | Mode 3: 9-bit UART, variable baud rate |
| SM0 | SM1  | Selected Operating Mode  |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 0   | 0    | Mode 0: Shift Register, fixed baud rate ( $Core\_Clk/2$ )  |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 0   | 1    | Mode 1: 8-bit UART, variable baud rate   |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 1   | 0    | Mode 2: 9-bit UART, fixed baud rate ( $Core\_Clk/64$ ) or ( $Core\_Clk/32$ )   |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 1   | 1    | Mode 3: 9-bit UART, variable baud rate   |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 5   | SM2  | Multiprocessor Communication Enable Bit<br>Enables multiprocessor communication in Modes 2 and 3. In Mode 0, SM2 should be cleared. In Mode 1, if SM2 is set, RI will not be activated if a valid stop bit was not received. If SM2 is cleared, RI will be set as soon as the byte of data has been received. In Modes 2 or 3, if SM2 is set, RI will not be activated if the received ninth data bit in RB8 is 0. If SM2 is cleared, RI will be set as soon as the byte of data has been received.  |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 4   | REN  | Serial Port Receive Enable Bit<br><i>Set</i> by user software to enable serial port reception.<br><i>Cleared</i> by user software to disable serial port reception.  |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 3   | TB8  | Serial Port Transmit (Bit 9)<br>The data loaded into TB8 will be the ninth data bit that will be transmitted in Modes 2 and 3.   |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 2   | RB8  | Serial Port Receiver Bit 9<br>The ninth data bit received in Modes 2 and 3 is latched into RB8. For Mode 1 the stop bit is latched into RB8.   |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 1   | TI   | Serial Port Transmit Interrupt Flag<br><i>Set</i> by hardware at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in Modes 1, 2, and 3.<br>TI must be cleared by user software.  |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |
| 0   | RI   | Serial Port Receiver Interrupt Flag<br><i>Set</i> by hardware at the end of the eighth bit in mode 0, or halfway through the stop bit in Modes 1, 2, and 3.<br>RI must be cleared by software.   |     |     |                         |   |   |   |   |   |  |   |   |  |   |   |  |

Mode 0: 8-bit Shift Register Mode

Η κατάσταση 0 επιλέγεται με τον καθαρισμό και των δύο, SM0 και SM1bits του καταχωρητή SCON. Τα σειριακά δεδομένα εισάγονται και εξάγονται μέσω του RXD. Το TXD εξάγει το ρολόι μετατόπισης. Οχτώ bits δεδομένων εκπέμπονται ή λαμβάνονται σε κάθε μεταφορά. Η μετάδοση αρχίζει με οποιαδήποτε εντολή γράφει στον SBUF. Τα δεδομένα βγαίνουν μετατοπισμένα από την γραμμή του RXD. Τα 8-bit δεδομένων εκπέμπονται με το λιγότερο σημαντικό ψηφίο (LSB) πρώτο, όπως φαίνεται και στο παρακάτω σχήμα.



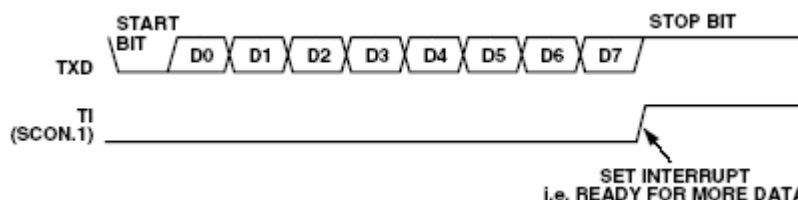
Η λήψη ξεκινάει όταν το bit ενεργοποίησης λήψης (REN) είναι 1 και το interrupt λήψης (RI) είναι 0. Όταν το RI είναι 'καθαρισμένο' τα δεδομένα χρονίζονται μέσα στην γραμμή του RXD και ο χρονισμός παρέχεται από την έξοδο της γραμμής του TXD.

### Mode 1: 8-Bit UART, Variable Baud Rate

Η κατάσταση 1 επιλέγεται 'καθαρίζοντας' το SM0 και θέτοντας το SM1. Κάθε byte δεδομένων (ξεκινώντας από το LSB) προηγείται από ένα bit εκκίνησης (0) και ακολουθείται από ένα bit τερματισμού (1). Επομένως 10 bit διαβιβάζονται από το TXD ή παραλαμβάνονται από το RXD. Το Baud Rate καθορίζεται από την υπερχείλιση είτε του timer1 είτε του timer2, είτε και με συνδυασμό των δύο, έναν για την διαβίβαση και έναν για την παραλαβή.

Η μετάδοση αρχίζει γράφοντας στον SBUF. Το σήμα 'γράψε στον SBUF' φορτώνει επίσης ένα bit τερματισμού (1) στην ένατη θέση bit του καταχωρητή μετατόπισης διαβίβασης. Τα δεδομένα εξάγονται bit-by-bit ώσπου το bit τερματισμού εμφανιστεί στον TXD και η σημαία του

interrupt μετάδοσης (TI) σηκωθεί αυτόματα όπως φαίνεται στο παρακάτω σχήμα.



Η λήψη αρχίζει όταν ανιχνευτεί μια μετάβαση από 1 σε 0 στον RXD . Υποθέτοντας ότι ένα έγκυρο bit έναρξης έχει ανιχνευτεί , συνεχίζεται η λήψη χαρακτήρων . Το bit έναρξης παραλείπεται και τα επόμενα 8 bit χρονίζονται στον καταχωρητή μετατόπισης της σειριακής θύρας . Όταν και τα οχτώ bits έχουν χρονιστεί , ακολουθούν τα επόμενα γεγονότα :

Τα οχτώ bits του καταχωρητή μετατόπισης λήψης στέλνονται στον SBUF

Το ένατο bit ( bit τερματισμού ) χρονίζεται στο RB8 του SCON

Η σημαία του interrupt λήψης σηκώνεται

Τα παραπάνω συμβαίνουν , όταν και μόνο όταν , ικανοποιούνται οι ακόλουθοι όροι κατά την στιγμή παραγωγής του τελευταίου παλμού μετατόπισης :

RI = 0 και

Είτε το SM2 = 0 ή SM1 = 1 και το bit τερματισμού λήψεως είναι 1

Εάν κάποιος από τους όρους αυτός δεν ικανοποιείται , το λαμβανόμενο πλαίσιο χάνεται και δεν σηκώνεται το RI .

#### Mode 2: 9-bit UART With Fixed Baud Rate

Η κατάσταση 2 επιλέγεται θέτοντας το SM0 και ‘ καθαρίζοντας ’ το SM1 . Στην κατάσταση αυτή η UART λειτουργεί στα 9-bit με σταθερό Baud Rate . Το Baud Rate είναι σταθερό , προεπιλεγμένο και ίσο με  $Core\_CLK / 64$  , ωστόσο θέτοντας το bit SMOD του καταχωρητή PCON

η συχνότητά του μπορεί να διπλασιαστεί σε  $Core\_CLK / 32$  . Στην κατάσταση αυτή έντεκα ψηφία διαβιβάζονται ή λαμβάνονται κάθε φορά , ένα bit εκκίνησης ( 0 ) , οχτώ ψηφία δεδομένων , ένα προγραμματιζόμενο bit και τέλος ένα bit τερματισμού ( 1 ) . Το ένατο ψηφίο κατά βάση χρησιμοποιείται ως ψηφίο ισοτιμίας , αν και μπορεί να χρησιμοποιηθεί για οποιοδήποτε λόγο ακόμα και ως ένατο ψηφίο δεδομένων αν αυτό απαιτείται .

Για την διαβίβαση , τα οχτώ bits δεδομένων πρέπει να γραφούν στον SBUF . Το ένατο ψηφίο πρέπει να γραφεί στο bit TB8 του καταχωρητή SCON . Όταν αρχίσει η μετάδοση τα οχτώ ψηφία από τον SBUF φορτώνονται στον

καταχωρητή μετατόπισης διαβίβασης αρχίζοντας από το LSB . Το περιεχόμενο του TB8 στο ένατο ψηφίο του καταχωρητή μετατόπισης διαβίβασης . Η μεταβίβαση ξεκινάει στον αμέσως επόμενο έγκυρο χρονισμό του Baud Rate . Η σημαία TI σηκώνεται μόλις εμφανιστεί το bit τερματισμού στον TXD .

Η λήψη για την κατάσταση 2 είναι παρόμοια με αυτήν της κατάστασης 1 . Τα οχτώ bytes δεδομένων εισάγονται στον RXD ξεκινώντας από το LSB και φορτώνονται στον καταχωρητή μετατόπισης λήψεως . Όταν και τα οχτώ bits έχουν χρονιστεί , ακολουθούν τα επόμενα γεγονότα :

Τα οχτώ bits του καταχωρητή μετατόπισης λήψης στέλνονται στον SBUF

Το ένατο bit δεδομένων στέλνεται στο RB8 του SCON

Η σημαία του interrupt λήψης σηκώνεται

Τα παραπάνω συμβαίνουν , όταν και μόνο όταν , ικανοποιούνται οι ακόλουθοι όροι κατά την στιγμή παραγωγής του τελευταίου παλμού μετατόπισης :

RI = 0 και

Είτε το SM2 = 0 ή SM1 = 1 και το bit τερματισμού λήψεως είναι 1

Εάν κάποιος από τους όρους αυτός δεν ικανοποιείται , το λαμβανόμενο πλαίσιο χάνεται και δεν σηκώνεται το RI .

### Mode 3: 9-bit UART With Variable Baud Rate

Η κατάσταση 3 επιλέγεται θέτοντας και τα δύο , το SM0 και το SM1 . Στην κατάσταση αυτή η σειριακή θύρα UART του 8051 λειτουργεί στα 9-bit με μεταβλητό Baud Rate το οποίο καθορίζεται τόσο από τον timer1 όσο και από τον timer2 . Η λειτουργία της 9-bit UART είναι η ίδια με αυτή της κατάστασης 2 , άλλα το Baud Rate μεταβάλλεται όπως στην κατάσταση 1 .

Στις τέσσερις καταστάσεις λειτουργίας που προαναφέραμε , η διαβίβαση ξεκινάει με κάθε εντολή η οποία χρησιμοποιεί ως προορισμό τον καταχωρητή SBUF . Η λήψη στην κατάσταση 0 ξεκινάει υπό τον όρο ότι το RI = 0 και το REN = 1 . Στις υπόλοιπες περιπτώσεις η λήψη ξεκινάει με το εισερχόμενο bit εκκίνησης εάν το REN = 1 .

Δημιουργία Baud Rate Της Σειριακής Θύρας UART

### Κατάσταση 1 Δημιουργίας Baud Rate

Η κατάσταση δημιουργίας Baud Rate είναι σταθερή και ίση με :  
Mode 0 Baud Rate = ( Core Clock Frequency / 12 )

### Κατάσταση 2 Δημιουργίας Baud Rate

Στη κατάσταση 2 το Baud Rate εξαρτάται από την τιμή του bit SMOD του καταχωρητή PCON . Εάν το SMOD = 0 , τότε το Baud Rate είναι 1/64 του ρολογιού του πυρήνα . Εάν το SMOD = 1 , τότε το Baud Rate είναι 1/32 του ρολογιού του πυρήνα .

$$\text{Mode 2 Baud Rate} = ( 2^{\text{SMOD}} / 64 ) * ( \text{Core Clock Frequency} )$$

### Κατάσταση 1 και 3 Δημιουργίας Baud Rate

Τα Baud Rates στις καταστάσεις 1 και 3 καθορίζονται από την συχνότητα υπερχειλίσης των timer 1, timer 2 ή και των δύο ( ένας για την μετάδοση και ένας για την λήψη ) .

### Δημιουργία Baud Rate Με Τον Timer 1

Όταν ο timer 1 χρησιμοποιείται ως γεννήτρια Baud Rate , τότε το Baud Rate αυτό χρησιμοποιείται στις καταστάσεις 1 και 3 και εξαρτάται από την συχνότητα υπερχειλίσης του timer 1 και την τιμή του SMOD όπως φαίνεται παρακάτω :

$$\text{Modes 1 και 3 Baud Rate} = ( 2^{\text{SMOD}} / 32 ) * ( \text{Timer 1 Overflow Rate} )$$

Κατά την εφαρμογή αυτή το interrupt του timer 1 πρέπει να απενεργοποιείται . Ο timer μπορεί να διαμορφωθεί είτε για λειτουργία χρονομέτρου είτε και για λειτουργία μετρητή και στις τρεις καταστάσεις λειτουργίας . Στην συνηθέστερη περίπτωση διαμορφώνεται στη λειτουργία χρονομέτρου και στην κατάσταση Auto Reload ( TMOD=0100Bin ) . Στην περίπτωση αυτή το Baud Rate δίνεται από την σχέση :

$$\text{Modes 1 και 3 Baud Rate} = ( 2^{\text{SMOD}} / 32 ) * ( \text{Core Clock} / 12(256-\text{TH1}) )$$



Ένα πολύ χαμηλό Baud Rate μπορεί επίσης να επιτευχθεί με την χρήση του timer 1 , αφήνοντας το interrupt του ενεργό και διαμορφώνοντάς τον να λειτουργεί στην κατάσταση 16-bit timer ( TMOD=0100Bin ) και χρησιμοποιώντας το interrupt του για 16-bit επανατοποθέτησης μέσω λογισμικού . Ο πίνακας παρακάτω παρουσιάζει τα συνηθέστερα Baud Rates και πώς αυτά υπολογίζονται από την συχνότητα του ρολογιού του πυρήνα των 1.5728 MHz και των 12.58 MHz .Γενικώς ένα ποσοστό λάθους της τάξης του 5% είναι ανεχτό όταν χρησιμοποιείται ασύγχρονη επικοινωνία .

| Ideal Baud | Core CLK | SMOD Value | TH1-Reload Value | Actual Baud | % Error |
|------------|----------|------------|------------------|-------------|---------|
| 9600       | 12.58    | 1          | -7 (F9h)         | 9362        | 2.5     |
| 2400       | 12.58    | 1          | -27 (E5h)        | 2427        | 1.1     |
| 1200       | 12.58    | 1          | -55 (C9h)        | 1192        | 0.7     |
| 1200       | 1.57     | 1          | -7 (F9h)         | 1170        | 2.5     |

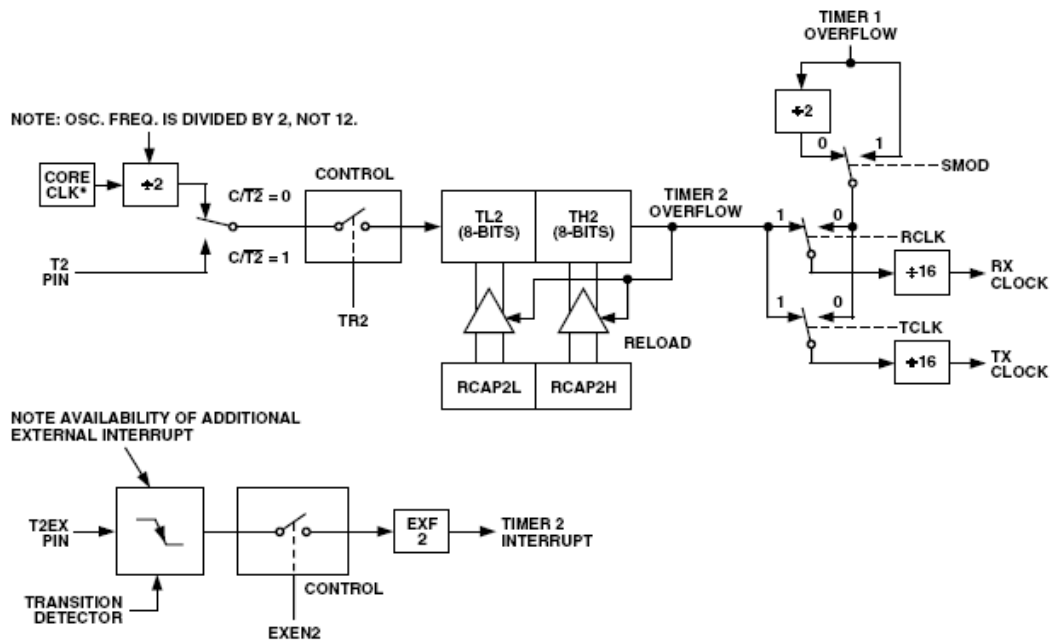
### Δημιουργία Baud Rate Με Τον Timer 2

Baud Rates μπορούν επίσης να δημιουργηθούν με την χρήση του timer 2 . Η χρήση του timer 2 είναι παρόμοια με αυτή του timer 1 μόνο που στην περίπτωση αυτή ο timer πρέπει να υπερχειλίσει 16 φορές πριν ένα bit ληφθεί ή διαβιβαστεί . Επειδή ο timer 2 έχει κατάσταση λειτουργίας 16-bit Auto Reload μπορεί να πραγματοποιήσει μεγαλύτερης κλίμακας Baud Rates .

$$\text{Mode 1 και 3 Baud Rate} = ( 1/16 ) * ( \text{Timer 2 Overflow Rate} )$$

Επομένως , όταν χρησιμοποιείται ο timer 2 για την δημιουργία Baud Rates , ο timer αυξάνει κάθε δύο κύκλους ρολογιού και όχι σε κάθε κύκλο μηχανής όπως προηγουμένως . Ως εκ τούτου , αυξάνει έξι φορές γρηγορότερα από τον timer 1 και γι' αυτό μπορούμε να επιτύχουμε Baud Rates έξι φορές πιο γρήγορα . Επίσης , επειδή ο timer 2 έχει την ικανότητα του 16-bit auto reload , είναι δυνατόν να επιτευχθούν και πολύ χαμηλά Baud Rates .

Η επιλογή του timer 2 ως γεννήτρια Baud Rate γίνεται θέτοντας το TCLK ή / και το RCLK στον καταχωρητή T2CON . Τα Baud Rates μετάδοσης και λήψης μπορεί να είναι ταυτόχρονα διαφορετικά . Θέτοντας το TCLK ή / και το RCLK βάζει τον timer 2 σε κατάσταση γεννήτριας Baud Rate όπως φαίνεται στο παρακάτω μπλοκ διάγραμμα .



Στην περίπτωση αυτή , το Baud Rate δίνεται από την ακόλουθη συνάρτηση :

Mode 1 και 3

$$\text{Baud Rate} = (\text{Core Clock}) / ( 32 * [ 65536 - (\text{RCAP2H}, \text{RCAR2L}) ] )$$

Ο πίνακας παρακάτω παρουσιάζει τα συνηθέστερα Baud Rates και πώς αυτά υπολογίζονται από την συχνότητα του ρολογιού του πυρήνα των 1.5728 MHz και των 12.58 MHz .

| Ideal Baud | Core CLK | RCAP2H Value | RCAP2L Value | Actual Baud | % Error |
|------------|----------|--------------|--------------|-------------|---------|
| 19200      | 12.58    | -1 (FFh)     | -20 (ECh)    | 19661       | 2.4     |
| 9600       | 12.58    | -1 (FFh)     | -41 (D7h)    | 9591        | 0.1     |
| 2400       | 12.58    | -1 (FFh)     | -164 (5Ch)   | 2398        | 0.1     |
| 1200       | 12.58    | -2 (FEh)     | -72 (B8h)    | 1199        | 0.1     |
| 9600       | 1.57     | -1 (FFh)     | -5 (FBh)     | 9830        | 2.4     |
| 2400       | 1.57     | -1 (FFh)     | -20 (ECh)    | 2458        | 2.4     |
| 1200       | 1.57     | -1 (FFh)     | -41 (D7h)    | 1199        | 0.1     |

## Σύστημα Interrupt

Ο ADuC824 παρέχει στο σύνολο δώδεκα πηγές interrupt με δύο επίπεδα προτεραιότητας . Ο έλεγχος και η διαμόρφωση του συστήματος interrupt γίνεται μέσω τριών καταχωρητών σχετικών με το σύστημα αυτό .

IE: Interrupt Enable Register.  
IP: Interrupt Priority Register.  
IEIP2: Secondary Interrupt Priority-Interrupt Register.

**IE** **Interrupt Enable Register**  
SFR Address A8H  
Power-On Default Value 00H  
Bit Addressable Yes

|    |      |     |    |     |     |     |     |
|----|------|-----|----|-----|-----|-----|-----|
| EA | EADC | ET2 | ES | ET1 | EX1 | ET0 | EX0 |
|----|------|-----|----|-----|-----|-----|-----|

| Bit | Name | Description   |
|-----|------|---|
| 7   | EA   | Written by User to Enable '1' or Disable '0' All Interrupt Sources      |
| 6   | EADC | Written by User to Enable '1' or Disable '0' ADC Interrupt              |
| 5   | ET2  | Written by User to Enable '1' or Disable '0' Timer 2 Interrupt          |
| 4   | ES   | Written by User to Enable '1' or Disable '0' UART Serial Port Interrupt |
| 3   | ET1  | Written by User to Enable '1' or Disable '0' Timer 1 Interrupt          |
| 2   | EX1  | Written by User to Enable '1' or Disable '0' External Interrupt 1       |
| 1   | ET0  | Written by User to Enable '1' or Disable '0' Timer 0 Interrupt          |
| 0   | EX0  | Written by User to Enable '1' or Disable '0' External Interrupt 0       |

**IEIP2** Secondary Interrupt Enable and Priority Register  
 SFR Address A9H  
 Power-On Default Value A0H  
 Bit Addressable No

|   |     |      |     |   |     |      |     |
|---|-----|------|-----|---|-----|------|-----|
| — | PTI | PPSM | PSI | — | ETI | EPSM | ESI |
|---|-----|------|-----|---|-----|------|-----|

| Bit | Name | Description   |
|-----|------|---|
| 7   | —    | Reserved for Future Use   |
| 6   | PADC | Written by User to Select ADC Interrupt Priority ('1' = High; '0' = Low)              |
| 5   | PT2  | Written by User to Select Timer 2 Interrupt Priority ('1' = High; '0' = Low)          |
| 4   | PS   | Written by User to Select UART Serial Port Interrupt Priority ('1' = High; '0' = Low) |
| 3   | PT1  | Written by User to Select Timer 1 Interrupt Priority ('1' = High; '0' = Low)          |
| 2   | PX1  | Written by User to Select External Interrupt 1 Priority ('1' = High; '0' = Low)       |
| 1   | PT0  | Written by User to Select Timer 0 Interrupt Priority ('1' = High; '0' = Low)          |
| 0   | —    | Reserved for Future Use   |

| Bit | Name | Description  |
|-----|------|--|
| 7   | —    | Reserved for Future Use  |
| 6   | PTI  | Written by User to Select TIC Interrupt Priority ('1' = High; '0' = Low).                              |
| 5   | PPSM | Written by User to Select Power Supply Monitor Interrupt Priority ('1' = High; '0' = Low).             |
| 4   | PSI  | Written by User to Select SPI/I <sup>2</sup> C Serial Port Interrupt Priority ('1' = High; '0' = Low). |
| 3   | —    | Reserved, This Bit Must Be '0.'  |
| 2   | ETI  | Written by User to Enable '1' or Disable '0' TIC Interrupt.  |
| 1   | EPSM | Written by User to Enable '1' or Disable '0' Power Supply Monitor Interrupt.                           |
| 0   | ESI  | Written by User to Enable '1' or Disable '0' SPI/I <sup>2</sup> C Serial Port Interrupt.               |

## Προτεραιότητα Των Interrupt

Οι καταχωρητές ενεργοποίησης των interrupt γράφονται από τον χρήστη για την ανεξάρτητη ενεργοποίηση της κάθε πηγής interrupt , καθώς και οι καταχωρητές προτεραιότητας του επιτρέπουν την επιλογή ενός από τα δύο επίπεδα προτεραιότητας για το κάθε interrupt . Ένα interrupt υψηλού επιπέδου προτεραιότητας μπορεί να διακόψει την διαδικασία ενός χαμηλού επιπέδου προτεραιότητας interrupt , ενώ εάν δύο interrupt εμφανιστούν την ίδια στιγμή το interrupt με το υψηλότερο επίπεδο προτεραιότητας θα εκτελεστεί πρώτο . Ένα interrupt δεν μπορεί να διακοπεί από interrupt του ίδιου επιπέδου προτεραιότητας . Εάν δύο interrupt ίδιου επιπέδου προτεραιότητας εμφανιστούν ταυτόχρονα τότε θα εκτελεστούν με την σειρά που παρουσιάζεται στον παρακάτω πίνακα .

| Source      | Priority    | Description                     |
|-------------|-------------|---------------------------------|
| PSMI        | 1 (Highest) | Power Supply Monitor Interrupt  |
| WDS         | 2           | Watchdog Interrupt              |
| IE0         | 3           | External Interrupt 0            |
| RDY0/RDY1   | 4           | ADC Interrupt                   |
| TF0         | 5           | Timer/Counter 0 Interrupt       |
| IE1         | 6           | External Interrupt 1            |
| TF1         | 7           | Timer/Counter 1 Interrupt       |
| I2CI + ISPI | 8           | I <sup>2</sup> C/SPI Interrupt  |
| RI + TI     | 9           | Serial Interrupt                |
| TF2 + EXF2  | 10          | Timer/Counter 2 Interrupt       |
| TII         | 11 (Lowest) | Time Interval Counter Interrupt |

### Interrupt Vectors

Όταν παρουσιάζεται ένα interrupt ο μετρητής του προγράμματος ανατρέχει σε κάποιο δείκτη και η διεύθυνση του αντίστοιχου interrupt vector φορτώνεται στον μετρητή . Στον παρακάτω πίνακα παρουσιάζονται οι διευθύνσεις των interrupt vectors .

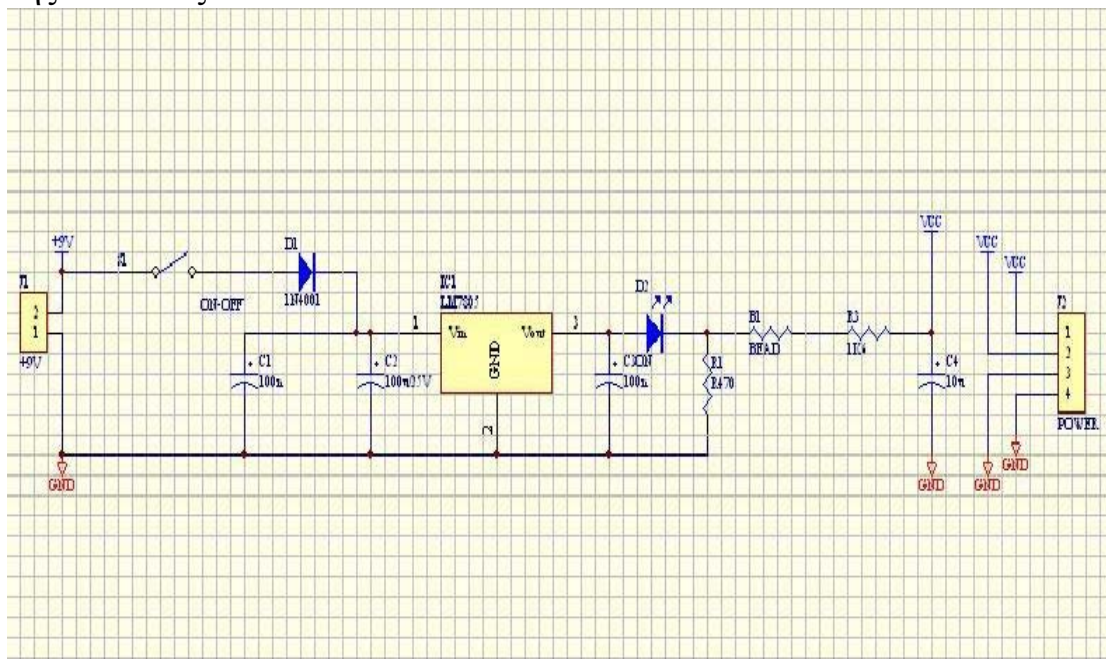
| Source                  | Vector Address |
|-------------------------|----------------|
| IE0                     | 0003 Hex       |
| TF0                     | 000B Hex       |
| IE1                     | 0013 Hex       |
| TF1                     | 001B Hex       |
| RI + TI                 | 0023 Hex       |
| TF2 + EXF2              | 002B Hex       |
| RDY0/RDY1 (ADC)         | 0033 Hex       |
| I <sup>2</sup> C + ISPI | 003B Hex       |
| PSMI                    | 0043 Hex       |
| TII                     | 0053 Hex       |
| WDS (WDIR = 1)*         | 005B Hex       |

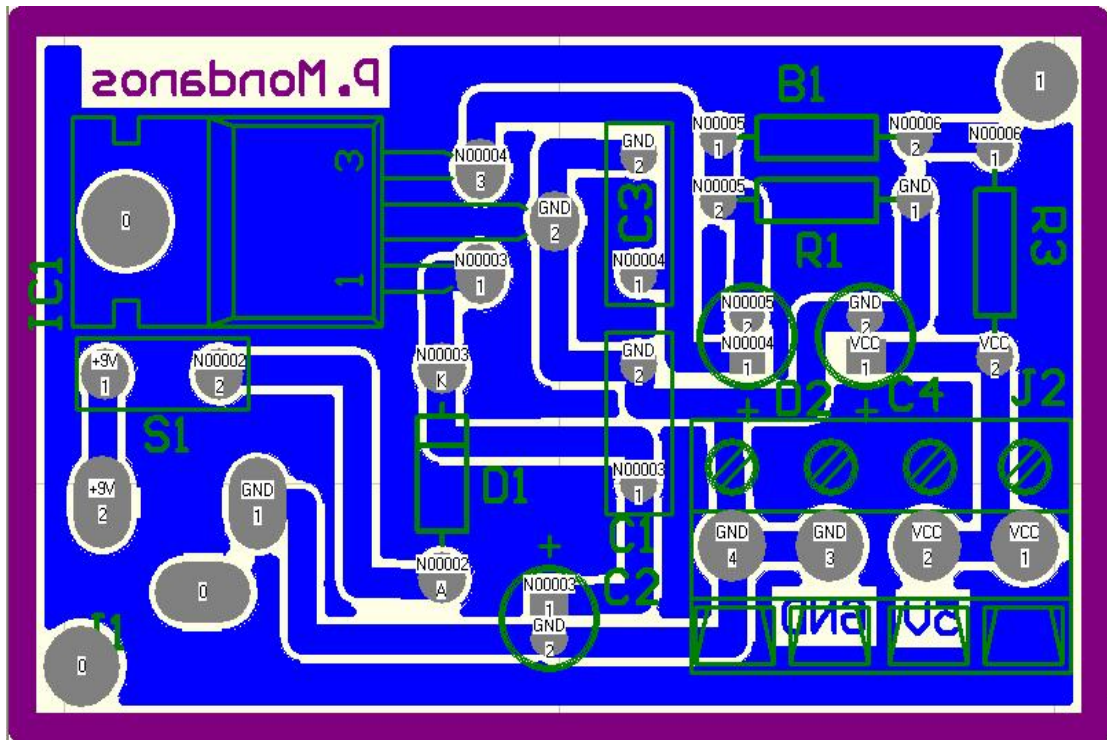
## ΚΑΤΑΣΚΕΥΗ HARDWARE

Η κατασκευή του hardware αν και στην αρχή δεν έμοιαζε τόσο δύσκολη , αφού είχα διδαχθεί και ασχοληθεί με τα προγράμματα σχεδίασης ηλεκτρονικών πλακετών , τελικά μου πήρε ένα μεγάλο μέρος της πτυχιακής μου εργασίας . Τα βασικά προβλήματα με την σχεδίαση και την κατασκευή του hardware ήταν ότι δεν είχα ένα ακριβές σχέδιο κυκλώματος το οποίο θα δούλευα εξ' αρχής και ότι η εργασία και η ολοκλήρωση ενός τόσο μεγάλου όγκου σχεδίου απαιτούσε μεθοδικότητα και ιδιαίτερη προσοχή διότι τα λάθη ήταν τόσο εύκολο να συμβούν αλλά τόσο δύσκολο μετά να εντοπιστούν μέσα σε αυτό τον κυκεώνα γραμμών και ολοκληρωμένων .

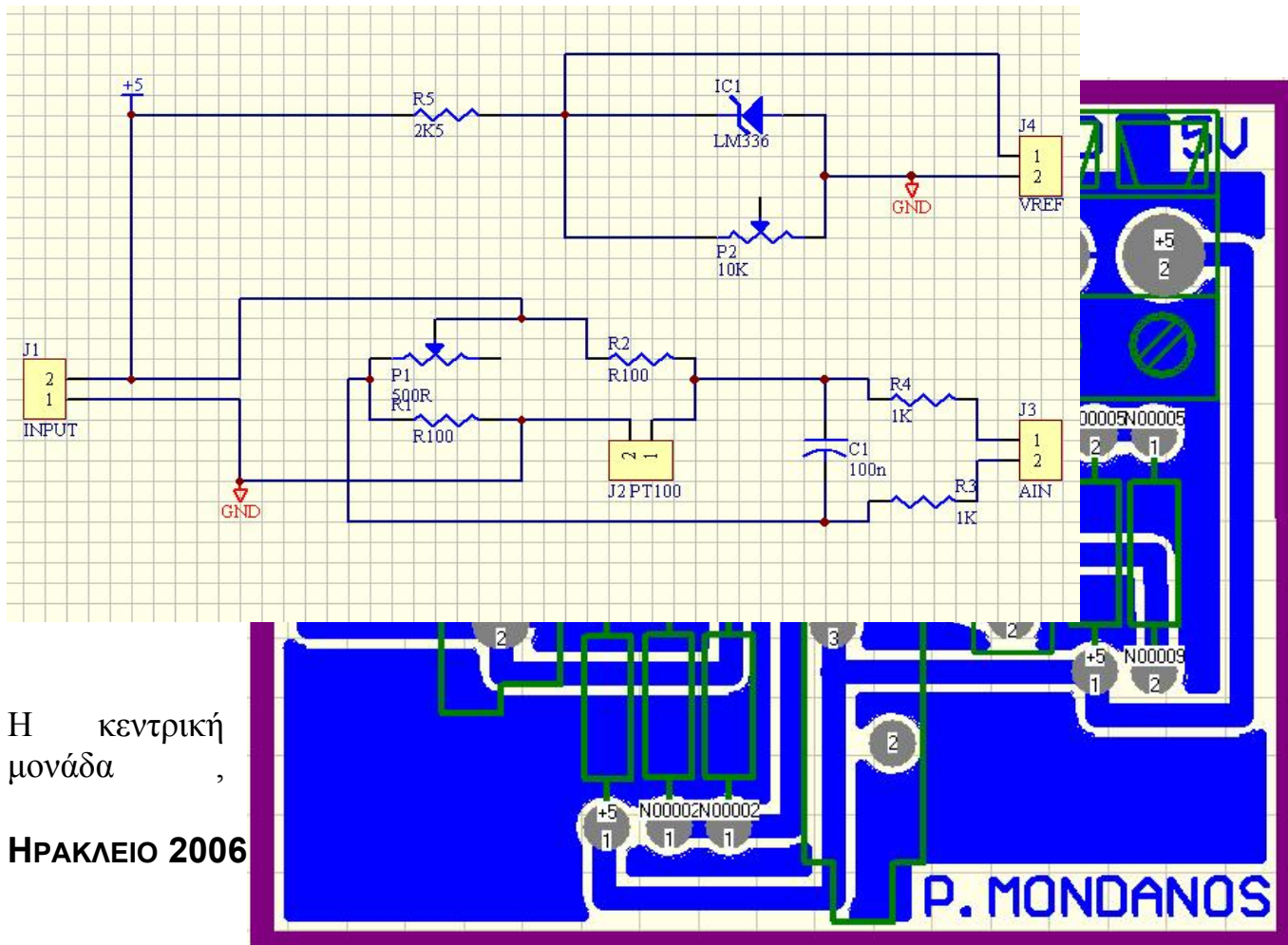
Παρακάτω παρουσιάζονται τα επιμέρους τμήματα που απαρτίζουν το λειτουργικό σύστημα ξεχωριστά και το συνολικό λειτουργικό .

Το αναπτυξιακό έχει τάση λειτουργίας 5V τα οποία του παρέχονται από έναν εσωτερικό τροφοδοτικό που απαιτεί 9V DC. Στη συνέχεια μέσω ενός τροφοδοτικού δημιουργούνται τόσο η αναλογική ( AVDD ) όσο και η ψηφιακή ( DVDD ) τάσεις λειτουργίας . Παρακάτω παρουσιάζονται το ηλεκτρονικό σχέδιο του τροφοδοτικού και το σχέδιο της πλακέτας του .





Το επόμενο μέρος του αναπτυξιακού που παρουσιάζεται είναι η γέφυρα στην οποία συνδέεται το αισθητήριο που χρησιμοποιώ για την μέτρηση της θερμοκρασίας, το αισθητήριο που χρησιμοποιείται είναι ένα PT-100 περιοχής 0 - 100 °C.

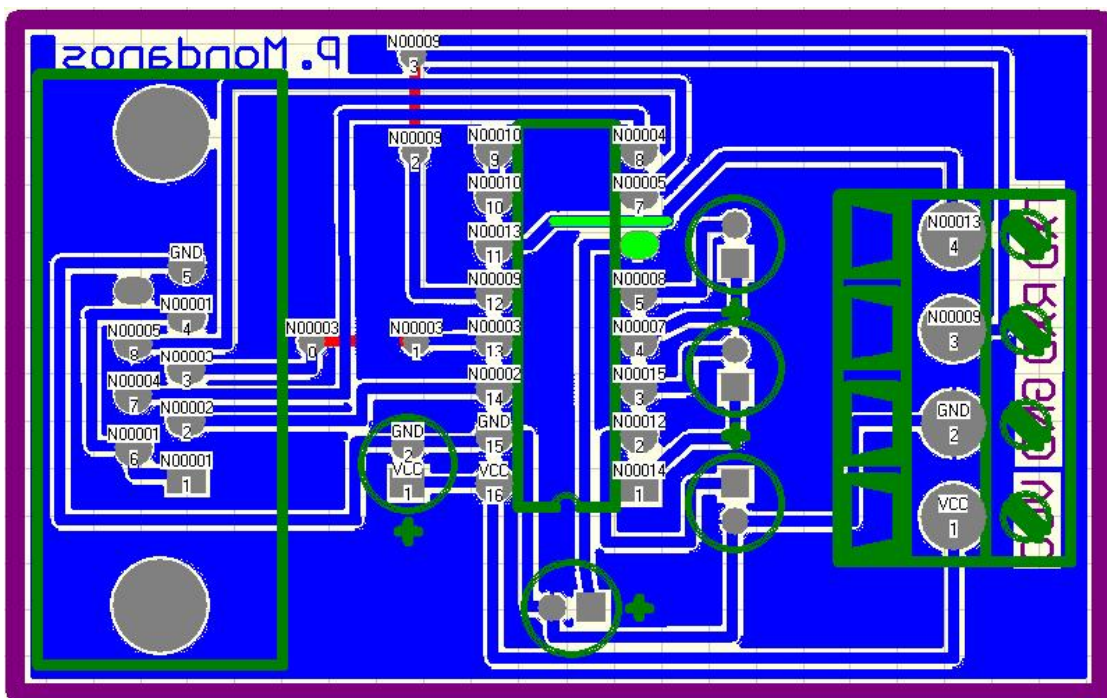
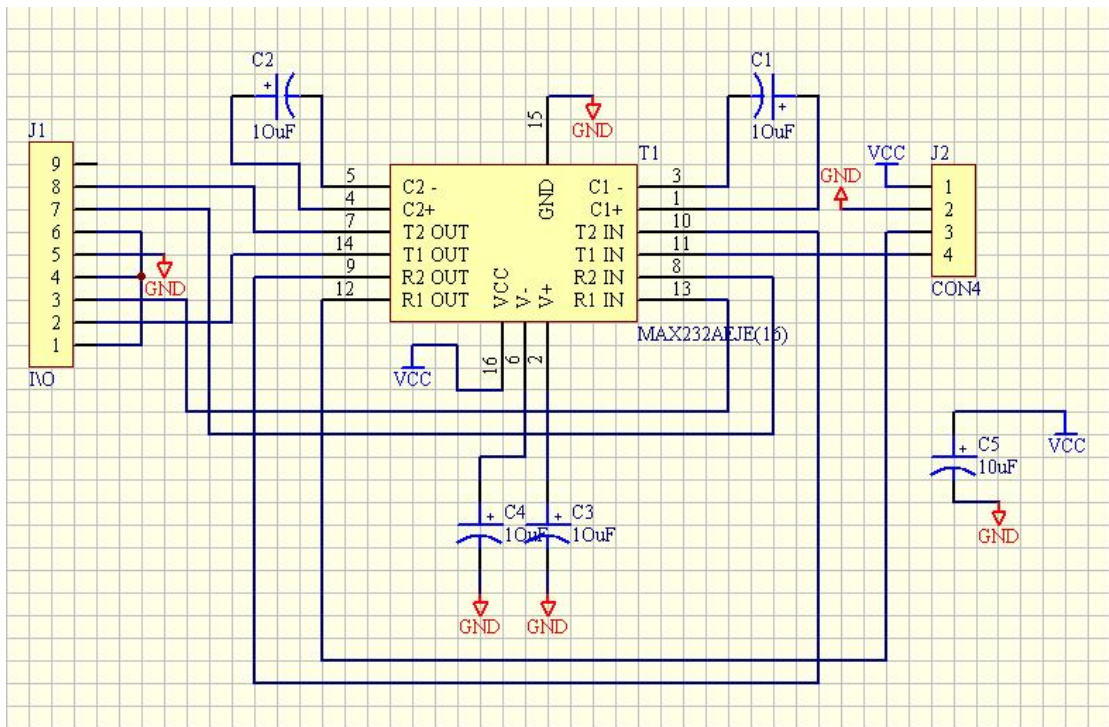


Η κεντρική μονάδα

ΗΡΑΚΛΕΙΟ 2006

P. MONDANOS

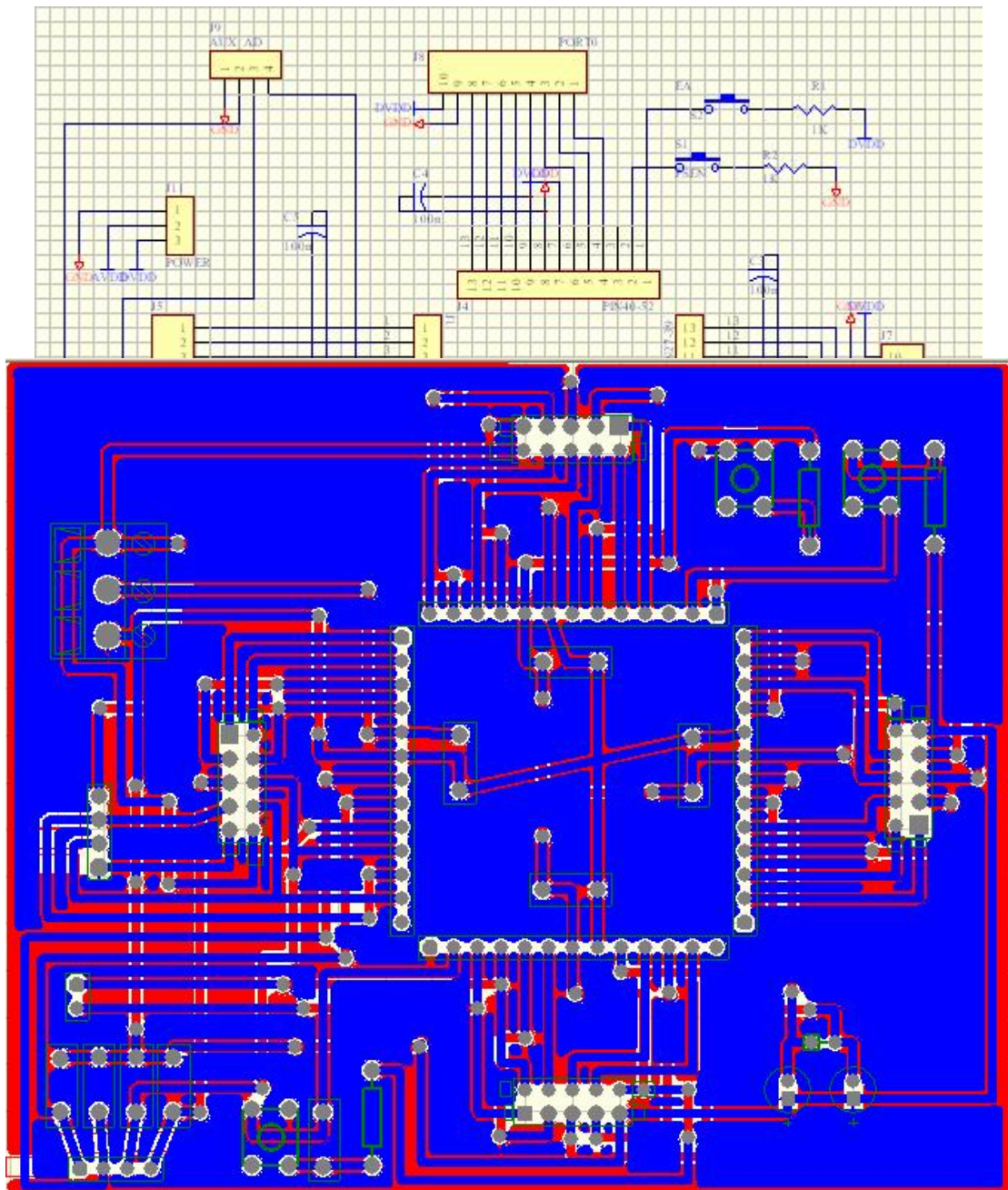
δηλαδή ο ADuC824 , στην εφαρμογή μου προγραμματίζεται σειριακά μέσω μιας θύρας UART . Το σχέδιο για την UART φαίνεται παρακάτω .



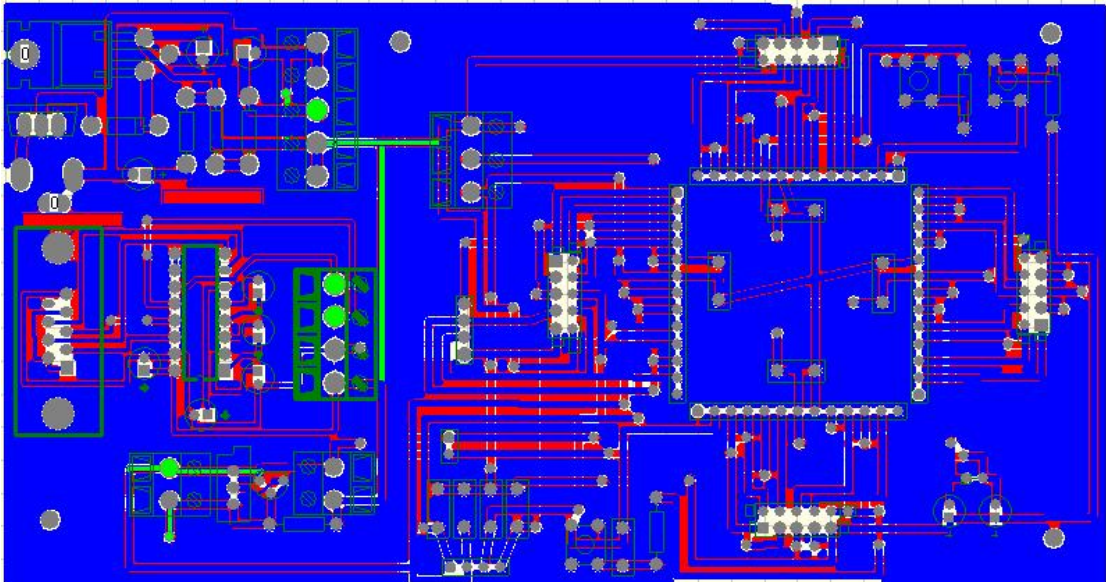
Το κύριο μέρος της κατασκευής είναι ο μικρομετατροπέας ADuC824 , το hardware για την λειτουργία του παρουσιάζεται στα παρακάτω σχέδια. Στα σχέδια αυτά παρουσιάζεται τόσο η συνδεσμολογία του όσο και η πλακέτα η οποία κατασκευάστηκε για την λειτουργία του . Η πλακέτα που σχεδιάστηκε για



τον μικρομετατροπέα λόγω των πολλών ακροδεκτών του και του μικρού του μεγέθους είναι διπλής όψεως και χρειάστηκαν πολλές ώρες σχεδιασμού για να υλοποιηθεί ένα σχέδιο με μικρό μέγεθος και όσο το δυνατό λιγότερα jumpers .



Μετά την επιμέρους σχεδίαση του Hardware και την αντιμετώπιση των προβλημάτων που παρουσιάστηκαν κατά την λειτουργία τους σχεδιάστηκε και κατασκευάστηκε η τελική και ολοκληρωμένη πλακέτα η οποία φαίνεται στο παρακάτω σχέδιο .



## Δημιουργία Software

Στο κεφάλαιο αυτό παρουσιάζεται και αναλύεται το πρόγραμμα το οποίο κατασκευάστηκε για την εκπλήρωση της εφαρμογής για την οποία κατασκευάστηκε η συσκευή . Είναι μια ακολουθία η οποία αφού πρώτα θέσει τις παραμέτρους λειτουργίας και εκκίνησης του ADuC στη συνέχεια δημιουργεί μια διαδικασία η οποία λαμβάνει τις εισόδους του ολοκληρωμένου τις μετατρέπει σε ψηφιακά σήματα τις διαχειρίζεται τις μετατρέπει σε θερμοκρασία κάνει τον έλεγχο του συστήματος και επιστρέφει κάποιες πληροφορίες στον χρήστη

Το πρόγραμμα αναλύεται βήμα-βήμα παρακάτω :  
Χρησιμοποιείται Compiler της KEIL

```
#include <ADUC824.H> // εισαγωγή της βιβλιοθήκης του ADuC824
#include <stdio.h> // εισαγωγή της βασικής βιβλιοθήκης
// συναρτήσεων

void Init_UART (void); // δήλωση της παραμέτρου UART
void Init_ADC (void); // δήλωση της παραμέτρου ADC
void Init_Interrupts (void); // δήλωση της παραμέτρου Init
unsigned long int ADCREGtoDATA (void); // δήλωση της παραμέτρου
// ADCREGtoDATA

void main(void) // έναρξη της κύριας συνάρτησης
{
    unsigned int i=0; // δήλωση αρχικής τιμής
    // της παραμέτρου I
    unsigned char a=0; // δήλωση αρχικής τιμής
    // της παραμέτρου a

    PLLCON=0x00+0x08; //12.58 MHz
    Init_UART();
    Init_ADC();
    Init_Interrupts();
}
```

```

//WDCON=0x41;           // ενεργοποίηση
                        του watchdog timer
                        για μέτρηση χρόνου
                        64 mS timeout
printf("HELLO\n");

while(1)
{
    ADCMODE=0x22; // έναρξη μίας
                  μετατροπής
                  του
                  πρωτεύοντος A/D

    while (!(ADCSTAT&0x80)); //αναμονή του
                              δείκτη RDY0 να πάρει την
                              τιμή high ( τέλος μετατροπής )

    printf("RESULT:%02bx   %02bx   %02bx
\n",ADC0H,ADC0M,ADC0L); // τυπώνει το αποτέλεσμα της
μετατροπής και το αποθηκεύει στους αντίστοιχους καταχωρητές

    //printf("ADC0M:%bx \n",ADC0M);

    //printf("ADC0L:%bx \n",ADC0L);

    printf("ADC STATUS REGISTER :
%bx\n",ADCSTAT); // τυπώνει τον καταχωρητή κατάστασης του ADuC
//printf("Data:%bx\n",ADCREGtoDATA());

    //for(i=0;i<30000;i++);

}

}

void Init_UART (void)
{
//Baud 9600 , 12.58MHz

```

T2CON=0x30; //RCLK=1,TCLK=1 (ενεργοποίηση του Timer2 για την δημιουργία του βασικού baud rate )

RCAP2H=0xFF; //επανατοποθέτηση της τιμής του high - byte του T2

RCAP2L=0x2B; // επανατοποθέτηση της τιμής του high - byte του T2

TH2=0xFF; //θέτω την αρχική τιμή του high - byte του T2

TL2=0x2B; // θέτω την αρχική τιμή του low-byte του T2

SCON=0x50; //θέτω τον καταχωρητή ελέγχου της UART

TR2=1; //τρέχει τον timer2

T2CON=0x34; //έναρξη του timer2

}

void Init\_ADC (void)

{

SF=0x0D; //έλεγχος της ταχύτητας μετατροπής

ADC0CON=0x42; //επιλογή εξωτερικής τάσης αναφοράς , τα AIN1/2 διαφορικές

είσοδοι , διπολικός , εύρος καίρδους 80 mV

ADCMODE=0x22; //kick off a single primary A/D conversion of the

while (!(ADCSTAT&0x80)); //αναμονή ως βρεθεί σε (τέλος μετατροπής)

το RDY0 να κατάσταση high

}

void Init\_Interrupts (void)

**ΗΡΑΚΛΕΙΟ 2006**

```

{
    IP=0x01; //set PX0 priority high

    TCON=0x01; //set IT0 priority high

    IE|=0x10; //ενεργοποίηση του interrupt
της σειριακής θύρας

    IE|=0x01; //ενεργοποίηση των
εξωτερικών interrupt

    IEIP2=0x04; //ενεργοποίηση των interrupt
των μετρητών TIC

    IE|=0x80; //ενεργοποίηση όλων των
Interrupts
}
}

unsigned long int ADCREGtoDATA (void)
{
    unsigned long int Data=0;

    Data= (OF0H*65536 + OF0M*256 + OF0L);
    return Data;
}
/*
//Data to volts
unsigned float DATAtoVOLTS (void) unsigned long int

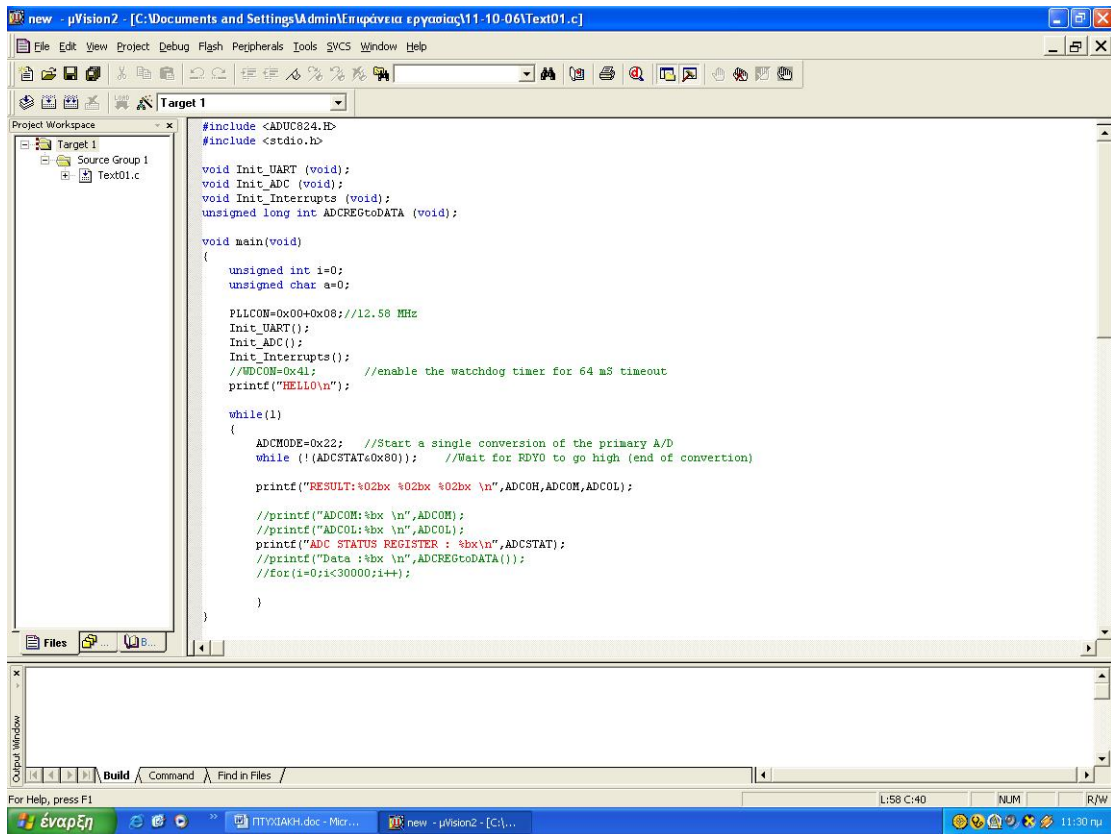
{

    unsigned float Volts=0;
    Volts=Data*0.00000003;
    /*
//volts to temprature
unsigned float VOLTStoTEMP (void) unsigned float
*/

```

Το παραπάνω πρόγραμμα συντάχθηκε και μεταφράστηκε σε γλώσσα μηχανής από ένα πρόγραμμα συμβατό με το ολοκληρωμένο του ADuC της εταιρίας Keil το uVision2 . Η επικοινωνία όμως με τον ADuC824 έγινε με ένα τερματικό πρόγραμμα το οποίο παρέχει η Analog Devices το WSD ενώ η προσομοίωση και η αμφίδρομη επικοινωνία κατά την λειτουργία του επεξεργαστή έγινε με ένα hyper terminal . Το τελικό και ολοκληρωμένο πρόγραμμα λειτουργίας της εφαρμογής συμπεριλαμβάνεται στο CD που παραδόθηκε με την πτυχιακή .Τα παραπάνω προγράμματα παρουσιάζονται παρακάτω :

KEIL uVISION2

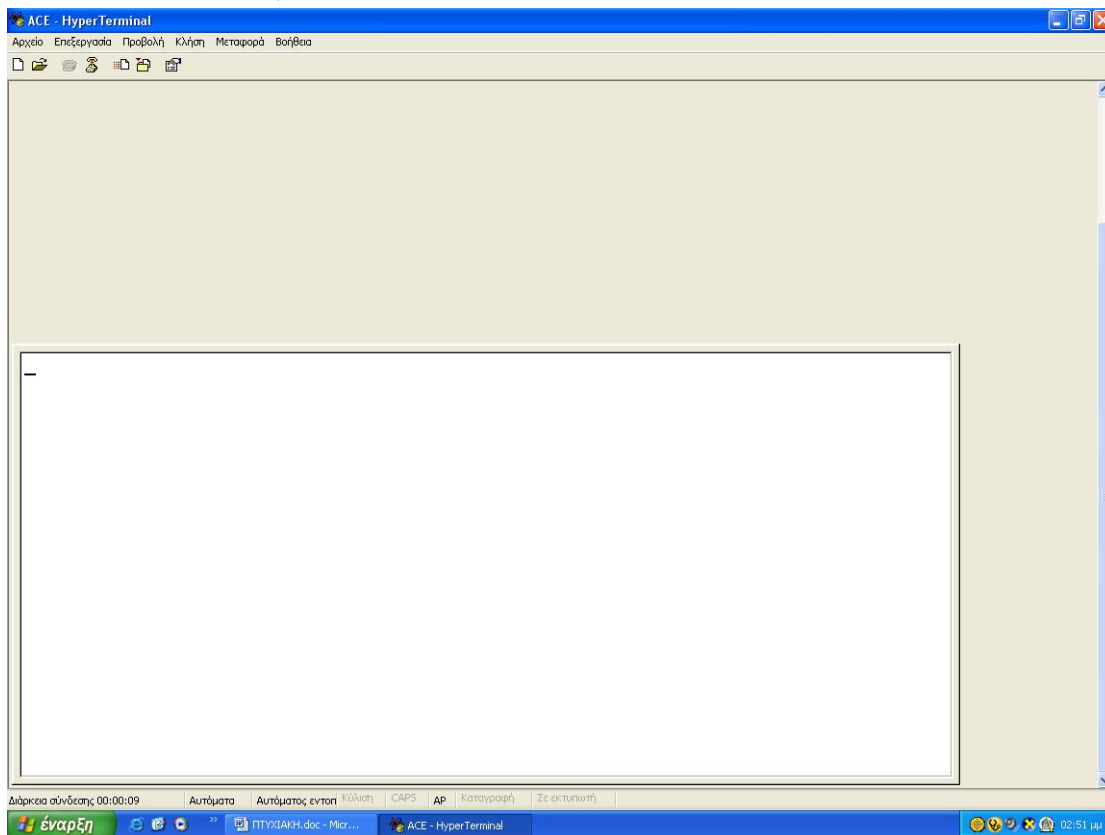


ΤΕΡΜΑΤΙΚΟ WSD





## HYPER TERMINAL



Συμπεράσματα

ΗΡΑΚΛΕΙΟ 2006

Με την ολοκλήρωση της εργασίας μου αυτής κατέληξα στα παρακάτω συμπεράσματα όσο αφορά την χρήση των σύγχρονων μετρητικών κυκλωμάτων σε επίπεδο μικρής παραγωγής τα οποία είναι και θετικά όσο και αρνητικά.

Τα Θετικά σημεία όσο αφορά τα σύγχρονα μετρητικά συστήματα είναι :

- Όπως και στην περίπτωσή μας ο ADuC824 παρέχουν σε ένα μόνο ολοκληρωμένο όλα τα απαραίτητα κυκλώματα για την λήψη μετρήσεων όπως AD , PLL , microcontroller και DA.
- Έχουν πολύ μικρό όγκο
- Έχουν πολύ μικρό κόστος αγοράς
- Έχουν την δυνατότητα άμεσης μέτρησης χαμηλού σήματος χωρίς την ανάγκη παρεμβολής κυκλώματος ενίσχυσης
- Και παρέχουν μικρότερο κίνδυνο απώλειας σήματος

Τα αρνητικά σημεία που εντόπισα κατά την εργασία μου με τα σύγχρονα μετρητικά συστήματα είναι τα ακόλουθα :

- Απαιτείται η χρήση σύγχρονου και εξειδικευμένου Software για τον προγραμματισμό και την χρήση τους
- Χρειάζεται η χρήση σύγχρονου Hardware για την εφαρμογή τους
- Και τέλος τόσο η χρήση σύγχρονου Software και οι αναγκαίες συνεχείς αναβαθμίσεις του όσο και η αναγκαιότητα αναπτυξιακού Hardware απαιτούν πολλά χρήματα τα οποία είναι , στην περίπτωση την δική μας δύσκολη , αλλά και ασύμφορη εάν πρόκειται για πολλή μικρή παραγωγή.

## Βιβλιογραφία

- Principles and Methods of temperature measurements McGee
- Dallas Semiconductor
- <http://www.analog.com/>
- ADuC8xx sigma delta evaluation board reference guide
- ADuC824 Data sheet
- <http://www.keil.com>