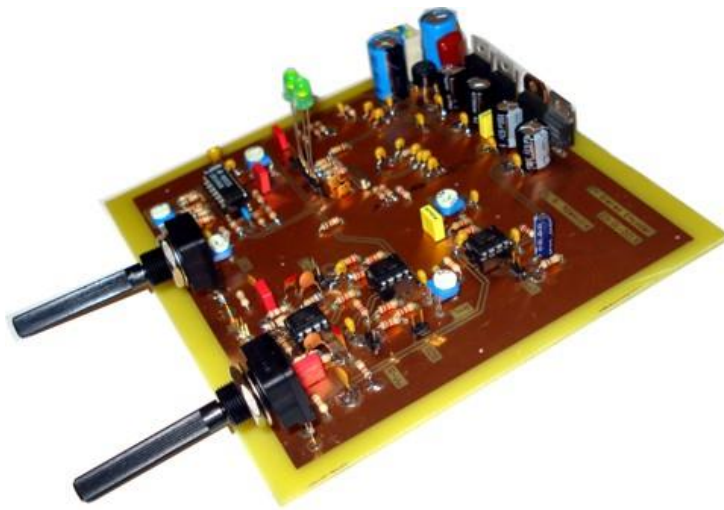




ΕΛΛΗΝΙΚΟ ΜΕΣΟΓΕΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ

- Σχολή Μηχανικών -
Τμήμα Ηλεκτρονικών Μηχανικών

Διπλωματική Εργασία



με θέμα: **“Σχεδίαση & Υλοποίηση Κωδικοποιητή
Στερεοφωνικού Σήματος FM με χρήση τεχνικών
άμεσης ψηφιακής σύνθεσης”**

του σπουδαστή: **Μανόλη Γ. Ταμπουρατζή**
Αρ. Μητρώου: tl20175

Επιβλέπων Καθηγητής:
Μανόλης Αντωνιδάκης
Καθηγητής Τμ. Ηλεκτρονικών Μηχανικών
Ελληνικό Μεσογειακό Πανεπιστήμιο

Χανιά, Ιούνιος 2023

(η σελίδα αυτή είναι σκόπιμα λευκή)

Πρόλογος

Θα ήθελα να εκφράσω τις θερμές μου Ευχαριστίες, στον Επιβλέποντα Καθηγητή μου στην παρούσα διπλωματική εργασία **κ. Μανώλη Αντωνιδάκη** για την εμπιστοσύνη που έδειξε στο πρόσωπο μου στην ανάθεση του προτεινόμενου θέματος. Η αναπαραγωγή του τελικού πρωτοτύπου δύναται να πραγματοποιηθεί στους χώρους του Εργαστηρίου Τεχνολογίας Υπολογιστών, Πληροφορικής & Ηλεκτρονικών Κατασκευών (ΤΥΠΗΚ) του Τμήματος Ηλεκτρονικών Μηχανικών του Ελληνικού Μεσογειακού Πανεπιστημίου, συμβάλλοντας στις εκπαιδευτικές ανάγκες των εργαστηριακών ασκήσεων του μαθήματος «Τηλεπικοινωνιακά Συστήματα» του 5^{ου} Εξαμήνου του προπτυχιακού προγράμματος σπουδών.

Το παρόν έργο αποτέλεσε μέρος της γραμμής παραγωγής μιας «Νεοφυούς» πιλοτικής επιχειρηματικής δραστηριότητας (Start-Up) με διακριτικό τίτλο «CircuitLib - Electronics». Η εν λόγω δραστηριότητα βραβεύτηκε με το 1^ο Βραβείο (Χρηματικό Έπαθλο) στον «2^ο Φοιτητικό Διαγωνισμό Επιχειρηματικών Σχεδίων και Καινοτόμων Ιδεών» που διοργανώθηκε από το ΑΤΕΙ Κρήτης το έτος 2014.

Τα ερευνητικά αποτελέσματα του εν λόγω έργου έχουν δημοσιευθεί με τη συμμετοχή αντίστοιχης εργασίας με τίτλο: *“Hybrid FM Stereo Encoder using DDS for carrier and pilot signal generation”* στο Διεθνές Συνέδριο “CSCC 2014” (18th International Conference on Circuits, Systems, Communications and Computers) όπου έλαβε χώρα στην Σαντορίνη κατά τον Ιούλιο του ίδιου έτους (Βλ. Παράρτημα).

Τέλος, ένα μεγάλο “Ευχαριστώ” θα ακουστεί λίγο για να το εκφράσω στον **κ. Γεώργιο Αδαμίδη**, MSc. Φυσικό-Ραδιοηλεκτρολόγο, τέως Επιστημονικό Συνεργάτη του Τμήματος για τη στήριξη και εμπιστοσύνη του προς το πρόσωπό μου, καθώς υπήρξε συνοδοιπόρος μου καθ’ όλη τη διάρκεια της έως τώρα διαδρομής μου.

Ευχαριστώ από καρδιάς !

Χανιά, Ιούνιος 2023

Μανόλης Γ. Ταμπουρατζής

BSc. Ηλεκτρονικός Μηχανικός, ΑΤΕΙ Κρήτης - 2011

MSc. “Συστήματα Ασύρματων Επικοινωνιών”, Ανοικτό Παν/μιο Κύπρου - 2017

Περίληψη

Η FM-Stereo μετάδοση εισήχθη κατά τη διάρκεια της δεκαετίας του 1960. Το στερεοφωνικό σύστημα FM, το οποίο έχει εγκριθεί για χρήση από την Federal Communication Commission (FCC) στις ΗΠΑ και αργότερα υιοθετήθηκε σε όλο τον κόσμο, χρησιμοποιεί ένα σύνθετο σύστημα διαμόρφωσης για να επιτευχθεί ένα συμβατό σύστημα μετάδοσης mono / stereo. Ουσιαστικά, το σύστημα εκτελεί την πολυπλεξία δύο ηχητικών σημάτων τα οποία συνδυάζονται σε ένα σύνθετο σήμα βασικής ζώνης που διαμορφώνει κατά FM τη φέρουσα του πομπού. Το σύνθετο σήμα βασικής ζώνης αποτελείται από τρεις συνιστώσες: ένα σήμα που φέρει το άθροισμα (L+R) του αριστερού (L) και του δεξιού (R) καναλιού του ήχου και ονομάζεται βασικό κανάλι, ένα σήμα αναφοράς στα 19 kHz που ονομάζεται "σήμα πιλότου" ή "τόνος πιλότου" ή απλά "πιλότος" και ένα σήμα διπλής πλευρικής ζώνης με κατεσταλμένο φορέα (DSB-SC) που ονομάζεται δευτερεύον κανάλι ή "υπο-κανάλι" και περιέχει τη διαφορά (L-R) των δύο καναλιών ήχου.

Μία γεννήτρια FM-Stereo είναι μία εξειδικευμένη συσκευή που χρησιμοποιείται στην FM ραδιοφωνία για την εκπομπή στερεοφωνικού σήματος σύμφωνα με τα πρότυπα FCC. Το στερεοφωνικό σήμα FM είναι ένα σήμα που προκύπτει με πολύπλεξη δύο καναλιών ήχου και διαμορφώνει απευθείας τη φέρουσα του πομπού. Υπάρχουν διάφορες προσεγγίσεις για την κατασκευή ενός κωδικοποιητή FM-Stereo. Η παρούσα διπλωματική εργασία επιδεικνύει μία μέθοδο υλοποίησης κωδικοποιητή (encoder) FM-Stereo σήματος με χρήση τόσο ψηφιακών όσο και αναλογικών τεχνικών που επιτυγχάνουν βέλτιστη μεταξύ τους συνεργασία. Συγκεκριμένα, χρησιμοποιήθηκε η τεχνική της Άμεσης Ψηφιακής Σύνθεσης (Direct Digital Synthesis - DDS) για την παραγωγή τόσο της υποφέρουσας όσο και του τόνου πιλότου (pilot tone), ένας αναλογικός ισοσταθμισμένος διαμορφωτής (balanced modulator) για την παραγωγή του καναλιού Double Side Band Suppressed Carrier (DSB-SC), καθώς και ένας πίνακας άθροισης (matrix) με τελεστικούς ενισχυτές.

ΛΕΞΕΙΣ ΚΛΕΙΔΙΑ: Άμεση Ψηφιακή Σύνθεση (DDS), Γεννήτρια Στερεοφωνικού Σήματος FM, Σήμα Πιλότου, Φέρον Σήμα, Διαμόρφωση Διπλής Πλευρικής Ζώνης με Καταστολή Φέροντος (DSB-SC), Ισοσταθμισμένος Διαμορφωτής, Φάσμα Στερεοφωνικού Σήματος FM.

Abstract

FM stereo broadcasting was introduced during the early 1960s. The FM stereo system which was approved for use by the F.C.C. in the U.S. and later adopted worldwide uses a complex modulation system to achieve a compatible mono/stereo system of broadcasting. Essentially, the system performs multiplexing two audio signals and combines them into a complex baseband signal that modulates the FM carrier. The system works by broadcasting a sum of the left (L) and right (R) audio channels, a pilot tone of 19 kHz, and a double sideband suppressed carrier (DSBSC) sub-channel that contains the difference between the two audio channels.

An FM-Stereo generator is a specialized device used in FM radio broadcasting to emit a stereo signal according to FCC standards. The FM stereo signal is a signal obtained by multiplexing two audio channels and directly modulating the transmitter carrier. There are several approaches to building an FM-Stereo encoder. This thesis demonstrates a method of implementing an FM-Stereo encoder using digital and analog techniques that achieve optimal cooperation. In particular, the Direct Digital Synthesis (DDS) technique was used to produce both the carrier and the pilot tone, an analog balanced modulator to produce the Double Side Band Suppressed Carrier (DSB-SC) channel, as well as a matrix table using operational amplifiers.

KEYWORDS: Direct Digital Synthesis (DDS), FM Stereo Generator, Pilot Signal, Carrier, Double Side Band Suppressed Carrier Modulation (DSB-SC), Balanced Modulator, FM Stereo Spectrum.

Περιεχόμενα

Πρόλογος	3
Περίληψη	4
Abstract	9
ΚΕΦΑΛΑΙΟ 1: Η τεχνική της διαμόρφωσης κατά συχνότητα (FM)	9
1.1 Βασικά στοιχεία στην FM διαμόρφωση	9
1.2 Στερεοφωνικό σήμα FM - Πολλαπλό σήμα	14
1.3 Τεχνικές βελτίωσης θορύβου	18
ΚΕΦΑΛΑΙΟ 2: Η τεχνική της Άμεσης Ψηφιακής Σύνθεσης (DDS)	20
2.1 Χρήση Άμεσου Ψηφιακού Συνθεσάιζερ (DDS) για παραγωγή σημάτων	20
2.2 Τα κύρια οφέλη από τη χρήση ενός DDS συστήματος	21
2.3 Τυπικές Κυματομορφές Εξόδου σε διάταξη DDS	21
2.4 Δημιουργία ημιτονοειδούς σήματος από διάταξη DDS	22
2.5 Ορισμός του πλήρες DDS	22
2.6 Λειτουργία συσσωρευτή φάσης	22
2.7 Αντιστοίχιση γραμμικής εξόδου σε ημιτονοειδή κυματομορφή	24
2.8 Οι δημοφιλείς χρήσεις του DDS	25
2.9 Τα βασικά πλεονεκτήματα του DDS στο σχεδιασμό εξοπλισμού και συστημάτων πραγματικού κόσμου	25
2.10 Η χρήση μονάδας DDS για κωδικοποίηση FSK	26
2.11 Κωδικοποίηση PSK βασισμένη σε σύστημα DDS	27
2.12 Συγχρονισμός πολλαπλών μονάδων DDS για δυνατότητα διαμόρφωσης IQ	27
2.13 Προδιαγραφές απόδοσης συστήματος βασιζόμενο σε DDS.....	28
2.14 Συσκευές DDS και θόρυβος φάσης (jitter).....	28
2.15 Εργαλεία Προγραμματισμού και πρόβλεψης απόδοσης DDS.....	30
2.16 Παραμορφώσεις σε Συστήματα DDS	32
2.17 Συστήματα DDS ως ADC Clock Driver	33
2.18 Διαμόρφωση Πλάτους σε Σύστημα DDS	34
2.19 Θέματα Δυναμικού Εύρους Ελεύθερα Θορύβου Ψευδών Συχνοτήτων σε Συστήματα DDS	35

2.20 Οι Επιπτώσεις της Άμεσης Ψηφιακής Σύνθεσης στη Σχεδίαση Γεννήτριας Συναρτήσεων	36
2.21 Αρχές Σχεδιασμού Συστημάτων Άμεσης Ψηφιακής Σύνθεσης	36
2.22 Δείγματα ανά κύκλο	37
2.23 Φίλτρα	38
2.24 Φίλτρα Bessel	38
2.25 Απαιτήσεις DAC και RAM	38
2.26 Επέκταση Εύρους συχνοτήτων	39
2.27 Τεχνικές διαμόρφωσης	39
2.28 Διαμόρφωση εύρους	40
2.29 Αυθαίρετες Λειτουργίες	40
2.30 Κυματομορφές Εξόδου	41
2.31 Ενισχυτές εξόδου	42
2.32 Μη γειωμένη Γεννήτρια	42
2.33 ASIC	42

ΚΕΦΑΛΑΙΟ 3: Η μονάδα του μελεγτή PIC18F1220 του κωδικοποιητή Stereo

3.1 Μικροελεγκτής - Ανασκόπηση Βασικών Χαρακτηριστικών	43
3.2 Διαφορές μικροελεγκτών – μικροεπεξεργαστών	44
3.3. Οι μικροελεγκτές PIC18F1220 και PIC18F1320 της MICROCHIP...45	
3.5 Χαρακτηριστικά του PIC18F1X20	45
3.5.1 Τάση τροφοδοσίας - VDD (Supply voltage)	45
3.5.2 Χρονισμός	45
3.5.3 Αναλογικό / Ψηφιακός Μετατροπέας (A/D)	45
3.5.4 Μνήμη PIC18F1X20	45
3.5.5 Θύρες Εισόδου –Εξόδου I/O	46
3.5.6 Τεχνικά χαρακτηριστικά του PIC18F1X22	46
3.5.7 Διαχείριση ισχύος στους μικροελεγκτές PIC18F1X20	47
3.6 Μπλοκ-Σχεδιάγραμμα του PIC18F1X20 και ανάλυση	47
3.7 Περιφερειακές Μονάδες	51
3.7.1 Enhanced capture/compare/PWM (ECCP) - Ενισχυμένη μονάδα σύλληψης σύγκρισης και παραγωγής παλμού	51

3.7.2 Μονάδα (EAUSART).....	51
3.8 Μονάδα αναλογικού/ψηφιακού μετατροπέα - A/D Converter.....	52
ΚΕΦΑΛΑΙΟ 4: Υλοποίηση κωδικοποιητή FM Stereo με χρήση τεχνικών Άμεσης Ψηφιακής Σύνθεσης (DDS)	53
4.1 Εισαγωγή – Στερεοφωνική εκπομπή FM	53
4.2 Η γεννήτρια FM-Stereo	54
4.3 Παραγωγή της υποφέρουσας και του σήματος πιλότου	55
4.4 Η γεννήτρια DDS του κωδικοποιητή	57
4.5 Ο ισοσταθμισμένος διαμορφωτής (Balanced Modulator)	57
4.6 Ο πίνακας άθροισης (Matrix Table)	59
4.7 Προσθέτοντας μετρητές στάθμης (VU meters)	61
4.8 Το τροφοδοτικό του κωδικοποιητή FM-Stereo	61
4.9 Οδηγός Συναρμολόγησης	62
4.10 Βαθμονόμηση του κωδικοποιητή FM-Stereo	64
Επίλογος	65
Βιβλιογραφία	65
Παράρτημα Α - Πηγαίος κώδικας κατασκευής.....	72
Παράρτημα Β' - Φυλλάδια Πληροφοριών – Datasheet	78
Παράρτημα Γ' - Επιστημονικό Άρθρο που υποβλήθηκε στο διεθνές Συνέδριο “CSCC 2014”	88

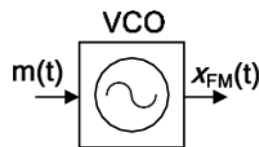
Κεφάλαιο 1^ο

Η τεχνική της διαμόρφωσης κατά συχνότητα (FM)

Ο Edwin H. Armstrong, είναι γνωστός ως ένας από τους θεμελιωτές της ραδιοφωνικής τεχνολογίας, έχοντας εφεύρει το 1918 τον υπερετεροδύνο ραδιοφωνικό δέκτη και το 1933, τη διαμόρφωση συχνότητας (FM). Αυτές οι δύο εφευρέσεις μαζί με την τεχνική του αναγεννητικού κυκλώματος που ανέπτυξε το 1912, αποτέλεσαν τη βάση των ηλεκτρονικών ραδιοεπικοινωνιών όπως τις γνωρίζουμε σήμερα. Στις Ηνωμένες Πολιτείες, οι ραδιοφωνικοί σταθμοί FM εκπέμπουν στις ραδιοσυχνότητες μεταξύ 88 MHz έως 108 MHz με εύρος ζώνης καναλιού 200 kHz. Το ραδιόφωνο FM αναπτύχθηκε το 1940 μονοφωνικά και το 1960 εισήχθη το στερεοφωνικό FM. Η παρούσα ενότητα παρουσιάζει έναν βασικό οδηγό της διαμόρφωσης FM με περιγραφές της πολυπλεξίας (MPX) και των τεχνικών βελτίωσης του θορύβου, όπως η στερεοφωνική-μονοφωνική μείξη και η απαλή σίγαση.

1.1 Βασικά στοιχεία στην FM διαμόρφωση

Η διαμόρφωση συχνότητας είναι μια μορφή αναλογικής γωνιακής διαμόρφωσης στην οποία το σήμα της βασικής ζώνης που μεταφέρει πληροφορίες, ονομάζεται συνήθως “σήμα μηνύματος ή πληροφορίας $m(t)$ ”, και μεταβάλλει τη συχνότητα ενός φέροντος κύματος. Η πιο συνηθισμένη μετάδοση από το ραδιόφωνο FM είναι η μετάδοση ήχου. Επιπλέον το ραδιόφωνο FM μπορεί να μεταδίδει και ψηφιακά δεδομένα με ψηφιακές πληροφορίες χαμηλού εύρους ζώνης που είναι γνωστές ως το σύστημα “Radio Data System (RDS)” στην Ευρώπη και ως “Radio Broadcast Data System (RBDS)” στις Ηνωμένες Πολιτείες. Η απλούστερη προσέγγιση για τη δημιουργία σημάτων FM είναι η εφαρμογή του σήματος μηνύματος απευθείας σε έναν ταλαντωτή ελεγχόμενης τάσης (VCO), όπως φαίνεται στο Σχήμα 1.1.



Σχήμα 1.1. Παραγωγή FM με ελεγχόμενο Ταλαντωτή τάσης VCO.

Ένα σήμα μηνύματος τάσης, $m(t)$, εφαρμόζεται στην τάση ελέγχου του VCO και το σήμα εξόδου, $x_{FM}(t)$, είναι ένα ημιτονοειδές φέρον κύμα σταθερού πλάτους, του οποίου η συχνότητα είναι ιδανικά γραμμική συνάρτηση της τάσης ελέγχου. Όταν δεν υπάρχει μήνυμα ή το σήμα μηνύματος είναι μηδενικό, το φέρον κύμα βρίσκεται στην κεντρική του συχνότητα f_c . Όταν υπάρχει σήμα μηνύματος, η στιγμιαία συχνότητα του σήματος εξόδου μεταβάλλεται πάνω και κάτω από την κεντρική συχνότητα και εκφράζεται ως εξής:

$$f_i(t) = f_c + K_{VCO} \cdot m(t)$$

όπου K_{VCO} είναι το κέρδος τάσης-συχνότητας του VCO εκφρασμένο σε μονάδες Hz/V και η ποσότητα, $K_{VCO}^* m(t)$, είναι η στιγμιαία απόκλιση συχνότητας. Η στιγμιαία φάση του σήματος εξόδου είναι ίση με 2π πολλαπλασιασμένη με το ολοκλήρωμα της στιγμιαίας συχνότητας, όπως φαίνεται παρακάτω:

$$\theta_i(t) = 2\pi f_c t + 2\pi K_{VCO} \int_0^t m(t) dt$$

όπου η αρχική συνθήκη της φάσης θεωρείται μηδενική για λόγους απλότητας. Το σήμα εξόδου FM, $x_{FM}(t)$, δίνεται από την ακόλουθη εξίσωση:

$$x_{FM}(t) = A_c \cos \left[2\pi f_c t + 2\pi K_{VCO} \int_0^t m(t) dt \right]$$

Μερικές παρατηρήσεις προκύπτουν από το σήμα εξόδου FM:

- Πρώτον, το πλάτος ενός σήματος FM είναι σταθερό ανεξάρτητα από το σήμα μηνύματος, δίνοντάς του την ιδιότητα της σταθερής περιβάλλουσας με κανονικοποιημένη ισχύ εξόδου ίση με $A_c^2/2$ σε αντίσταση 1Ω .
- Δεύτερον, η διαμορφωμένη κατά συχνότητα έξοδος, $x_{FM}(t)$, δεν έχει γραμμική εξάρτηση από το σήμα μηνύματος, $m(t)$, γεγονός που καθιστά δύσκολη την ανάλυση των ιδιοτήτων του σήματος FM.

Για να εκτιμηθεί το εύρος ζώνης ενός σήματος FM, χρησιμοποιείται ένα μονοτονικό σήμα μηνύματος, όπως φαίνεται στην παρακάτω σχέση:

$$m(t) = A_m \cos(2\pi f_m t)$$

όπου A_m είναι το πλάτος και f_m είναι η συχνότητα του σήματος μηνύματος. Αντικαθιστώντας αυτό το σήμα μηνύματος στους παραπάνω τύπους, βρίσκουμε:

$$\begin{aligned} x_{FM}(t) &= A_c \cos \left(2\pi f_c t + \frac{K_{VCO} A_m}{f_m} \sin(2\pi f_m t) \right) \\ &= A_c \cos \left(2\pi f_c t + \frac{\Delta f}{f_m} \sin(2\pi f_m t) \right) \\ x_{FM}(t) &= A_c \cos(2\pi f_c t + \beta \sin(2\pi f_m t)) \end{aligned}$$

Η ποσότητα $\Delta f = K_{VCO} A$, αντιπροσωπεύει την απόκλιση της μέγιστης συχνότητας του σήματος FM από την κεντρική συχνότητα και είναι ευθέως ανάλογη του πλάτους του σήματος μηνύματος και του κέρδους του VCO. Αυτή η ποσότητα, Δf ονομάζεται μέγιστη στιγμιαία απόκλιση συχνότητας. Ο λόγος της απόκλισης συχνότητας Δf , προς τη συχνότητα του σήματος μηνύματος f_m , ονομάζεται δείκτης διαμόρφωσης β . Για σήμα μηνύματος μίας συχνότητας, ο αριθμός των σημαντικών πλευρικών ζωνών στο φάσμα εξόδου είναι συνάρτηση του δείκτη διαμόρφωσης. Αυτό μπορεί να γίνει αντιληπτό γράφοντας αρχικά το σήμα εξόδου FM ως προς τις $n^{\text{οστής}}$ τάξης συναρτήσεις Bessel πρώτου είδους [2, 3].

$$x_{FM}(t) = A_c \sum_{n=-\infty}^{\infty} J_n(\beta) \cos(2\pi(f_c + nf_m)t)$$

Με μετασχηματισμό Fourier, παρατηρούμε ένα διακριτό φάσμα εξόδου FM με συντελεστές μεγέθους ως συνάρτηση του β , όπως φαίνεται στην παρακάτω εξίσωση:

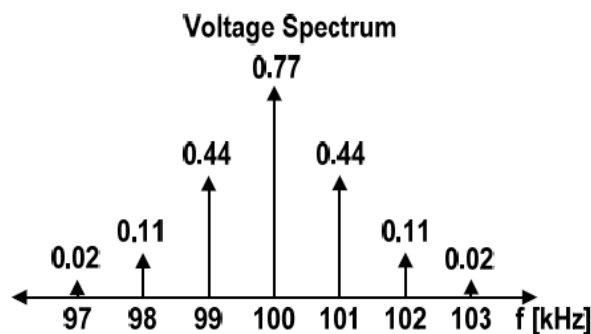
$$x_{FM}(f) = \frac{A_c}{2} \sum_{n=-\infty}^{\infty} J_n(\beta) [\delta(f - f_c - nf_m) + \delta(f + f_c + nf_m)]$$

Ο αριθμός των πλευρικών ζωνών ενός σήματος FM και ο σχετικός συντελεστής μεγέθους μπορεί να βρεθεί με τη βοήθεια πινάκων συναρτήσεων Bessel, όπως ο Πίνακας 1.1.

β	J0	J1	J2	J3	J4	J5	J6	J7	J8
0	1								
0.25	0.98	0.12							
0.5	0.94	0.24	0.03						
1.0	0.77	0.44	0.11	0.02					
2.0	0.22	0.58	0.35	0.13	0.03				
3.0	-0.26	0.34	0.49	0.31	0.13	0.04	0.01		
4.0	-0.40	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	
5.0	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02

Πίνακας 1.1. Συναρτήσεις Bessel πρώτου είδους στρογγυλοποιημένες σε δύο δεκαδικά ψηφία.

Εάν $A_c^2 = 1$, $\beta=1$, $f_m = 1$ kHz και $f_c = 100$ kHz, τότε το αποτέλεσμα είναι το φάσμα τάσης FM που φαίνεται στο Σχήμα 1.2.



Σχήμα 1.2. FM φάσμα τάσης για $A_c^2 = 1$, $\beta=1$, $f_m = 1$ kHz και $f_c= 100$ kHz.

Ένα βασικό σημείο του δείκτη διαμόρφωσης β , είναι ότι καθορίζει το εύρος ζώνης του σήματος, καθορίζοντας τον αριθμό των αποτελεσματικών πλευρικών ζωνών ενός σήματος FM. Για παράδειγμα, εάν $\beta=0,25$ απαιτείται μόνο μία πλευρική ζώνη, ενώ εάν $\beta=5$ απαιτούνται οκτώ πλευρικές ζώνες. Ένα άλλο σημαντικό σημείο σχετικά με τον δείκτη διαμόρφωσης είναι ότι μπορεί να αλλάξει πολύ ακόμη και για μια σταθερή απόκλιση συχνότητας, επειδή η συχνότητα του σήματος μηνύματος μπορεί να μεταβάλλεται. Γενικά, καθώς

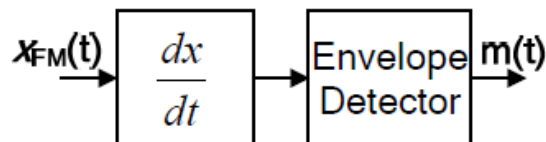
αυξάνεται ο δείκτης διαμόρφωσης, αυξάνεται ο αριθμός των πλευρικών ζωνών και το εύρος ζώνης. Ωστόσο, η αύξηση του δείκτη διαμόρφωσης λόγω της μείωσης της συχνότητας των μηνυμάτων ($\beta = \Delta f / f_m$) δεν αυξάνει απαραίτητα το εύρος ζώνης FM. Το εύρος ζώνης ισούται με τον αριθμό των διακριτών φασματικών τόνων πολλαπλασιασμένο με την απόσταση συχνοτήτων που ορίζεται από τη συχνότητα του σήματος μηνύματος f_m . Για πιο πολύπλοκα σήματα μηνύματος, το εύρος ζώνης ενός σήματος FM μπορεί επίσης να προσεγγιστεί με τον κανόνα του Carson:

$$BW_{FM} = 2(\beta + 1)f_m \quad [2,3]$$

Η εμπειρική σχέση δηλώνει ότι ο αριθμός των σημαντικών φασματικών τόνων σε ένα φάσμα FM είναι $\approx 2(\beta + 1)$ χωρίς το φέρον. Για παράδειγμα [2], στη Βόρεια Αμερική, η μέγιστη απόκλιση συχνότητας Δf , είναι 75 kHz για τις εμπορικές εκπομπές FM.

Εάν η μέγιστη συχνότητα του ηχητικού μηνύματος είναι ίση με 15 kHz, τότε $\beta = 75 \text{ kHz} / 15 \text{ kHz} = 5$, και το εύρος ζώνης FM ισούται με $BW_{FM} = 2(5 + 1)15 \text{ kHz} = 180 \text{ kHz}$, τιμή κοντά στο επιτρεπόμενο όριο εύρους ζώνης καναλιού των 200 kHz. Εάν χρησιμοποιηθούν οι συναρτήσεις Bessel για την προσέγγιση του εύρους ζώνης, επιτυγχάνεται εύρος ζώνης $(2 \times 8 + 1)15 \text{ kHz} = 255 \text{ kHz}$. Στην πράξη, οι τελευταίοι πλευρικοί τόνοι συνεισφέρουν αμελητέα ισχύ, μειώνοντας έτσι το εύρος ζώνης σε περίπου 200 kHz (υποθέτοντας αμελητέες τις συχνότητες κάτω από -10 dBc). Είναι σημαντικό να θυμόμαστε, ότι αυτές οι εξισώσεις προέρχονται από σήμα μηνύματος μίας συχνότητας που διαφέρει πολύ από τα σήματα μηνυμάτων του πραγματικού κόσμου που περιέχουν ταυτόχρονα πολλές διαφορετικές συχνότητες. Σε αυτή την περίπτωση, η μέγιστη συχνότητα του πραγματικού σήματος μηνύματος μπορεί να χρησιμοποιηθεί ως προσέγγιση για το f_m .

Για την ανάκτηση του σήματος μηνύματος από το σήμα FM, πρέπει να γίνει αποδιαμόρφωση συχνότητας. Ο πιο βασικός αποδιαμορφωτής συχνότητας αποτελείται από έναν διαχωριστή συχνότητας, ο οποίος αποτελείται από ένα διαφοριστή ακολουθούμενος από έναν ανιχνευτή περιβάλλουσας, όπως φαίνεται στο Σχήμα 1.3.

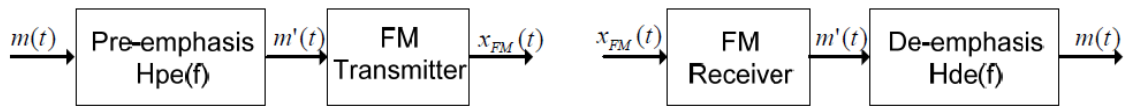


Σχήμα 1.3. Ιδανικός διαχωριστής συχνότητας

Ο διαφοριστής μετατρέπει το σήμα FM σε σήμα AM όπως φαίνεται στην ακόλουθη εξίσωση:

$$\frac{dx_{FM}(t)}{dt} = -A_c (2\pi f_c + 2\pi K_{VCO} m(t)) \sin(2\pi f_c t + 2\pi K_{VCO} \int_0^t m(t) dt)$$

και ο ανιχνευτής περιβάλλοντας μπορεί να χρησιμοποιηθεί για την ανάκτηση του $m(t)$ [4]. Η διαμόρφωση είναι ένα από τα βασικά βήματα που χρησιμοποιούνται στην αποδιαμόρφωση FM. Ωστόσο, ένα ανεπιθύμητο υποπροϊόν της διαμόρφωσης είναι ότι ενισχύει το θόρυβο υψηλής συχνότητας και υποβαθμίζει το συνολικό σηματοθορυβικό λόγο (SNR) του ανακτημένου σήματος μηνύματος. Ως αντιστάθμιση οι ραδιοηλεκτρονικοί φορείς FM εισάγουν ένα φίλτρο προ-έμφασης πριν από τη μετάδοση FM για να ενισχύσουν τις υψηλές συχνότητες του σήματος μηνύματος. Όλοι οι δέκτες FM ενσωματώνουν ένα αντίστοιχο φίλτρο από-έμφασης, μετά το δέκτη FM για την εξασθένηση του θορύβου και των παρεμβολών υψηλής συχνότητας και την αποκατάσταση επίπεδης απόκρισης συχνότητας του σήματος μηνύματος. Στο σχήμα 1.4 παρουσιάζονται τα μπλοκ διαγράμματα ενός πομπού FM με φίλτρο προ-έμφασης, $H_{pe}(f)$, και ενός δέκτη FM με φίλτρο από-έμφασης $H_{de}(f)$.



Σχήμα 1.4. Προέμφαση και αποέμφαση σε σύστημα FM.

Το φίλτρο προ-έμφασης έχει υπερπαραγόμενη χαρακτηριστική συνάρτηση μεταφοράς:

$$H_{pe}(f) = 1 + j2\pi f\tau_x$$

και το φίλτρο από-έμφασης έχει υποπαραγόμενη χαρακτηριστική συνάρτηση μεταφοράς:

$$H_{de}(f) = \frac{1}{1 + j2\pi f\tau_x}$$

όπου η σταθερά χρόνου, τ_x , είναι η σταθερά χρόνου προ/από-έμφασης. Οι δύο χρονικές σταθερές που χρησιμοποιούνται σε διάφορες περιοχές του κόσμου είναι 75 μ s (σε περιοχές των ΗΠΑ) και 50 μ s (σε περιοχές την Ευρώπης). Το SNR ενός συστήματος FM για μονοφωνικά σήματα χωρίς προ-έμφαση και από-έμφαση είναι:

$$SNR_{FM} = 3\beta^2(\beta + 1) CNR$$

$$SNR_{FM} \approx 3 \left(\frac{B_T}{2W} \right)^3 CNR$$

όπου B_T είναι το εύρος ζώνης μετάδοσης FM ($= BW_{FM}$), W είναι το εύρος ζώνης του σήματος μηνύματος ($\approx f_m$) και CNR , είναι ο λόγος φέροντος προς θόρυβο ίσος με $A_c^2/2B_T N_o$ όπου $N_o/2$ η αμφίπλευρη φασματική πυκνότητα του λευκού θορύβου [2]. Η παραπάνω εξίσωση SNR απεικονίζει την σχέση που υπάρχει μεταξύ της ποιότητας του σήματος του μηνύματος (SNR) και του εύρους ζώνης μετάδοσης FM. Με εύρος ζώνης μετάδοσης FM 200 kHz και εύρος ζώνης σήματος μηνύματος 15 kHz ($\beta \approx 5,67$), είναι λογικό να αναμένεται ότι το SNR στην έξοδο ενός δέκτη FM θα έχει κέρδος FM 27 dB πάνω από το CNR. Ωστόσο, οι παραπάνω εξισώσεις SNR ισχύουν μόνο για μεγάλα CNR. Καθώς το CNR στην είσοδο του διαχωριστή FM

μειώνεται, τελικά θα δημιουργηθεί παλμικός θόρυβος, με αποτέλεσμα “κλικ και κρότους”. Η έναρξη του παλμικού θορύβου μας δείχνει ότι ο δέκτης FM μόλις εισήλθε στο κατώφλι μιας περιοχής θορύβου, το γνωστό ως φαινόμενο κατωφλίου. Το κατώφλι FM ορίζεται ως η CNR που φέρνει βελτιώσεις FM που δεν αποκλίνουν σημαντικά από τη θεωρητική εξίσωση που δίνεται για FM SNR [2]. Όπως αναφέρθηκε προηγουμένως, η χρήση φίλτρων προ-έμφασης και απο-έμφασης είναι μια προσέγγιση για τη βελτίωση του SNR ενός συστήματος FM, με την εξασθένιση του θορύβου υψηλών συχνοτήτων. Ο πραγματικός συντελεστής βελτίωσης I , του SNR εξόδου ενός δέκτη FM με χρήση φίλτρων προ-έμφασης και απο-έμφασης είναι:

$$I = \frac{\left(\frac{W}{f_x}\right)^3}{3\left[\left(\frac{W}{f_x}\right) - \tan^{-1}\left(\frac{W}{f_x}\right)\right]}$$

όπου $f_x = \frac{1}{2} \cdot 2\pi \cdot \tau_x$ είναι η -3dB συχνότητα αποκοπής των φίλτρων προ-έμφασης και απο-έμφασης [2]. Με συχνότητα αποκοπής -3dB τα 2,1 kHz και εύρος ζώνης σήματος μηνύματος 15 kHz, επιτυγχάνεται συντελεστής βελτίωσης 13 dB, από τα φίλτρα προ-έμφασης και απο-έμφασης. Αυτός ο παράγοντας βελτίωσης προϋποθέτει επίσης μεγάλο CNR στην είσοδο του διαχωριστή FM. Έτσι, για εύρος ζώνης μετάδοσης FM 200 kHz, εύρος ζώνης σήματος μηνύματος 15 kHz και συχνότητα αποκοπής, προ-έμφασης και απο-έμφασης 2,1 kHz, -3dB, προκύπτει συνολική βελτίωση του SNR για μονοφωνικό σήμα, από το κατώφλι κέρδους FM και από τα φίλτρα προ/απο-έμφασης:

$$27 \text{ dB} + 13 \text{ dB} = 40 \text{ dB}.$$

Πρέπει να δοθεί προσοχή κατά την ερμηνεία αυτού του αποτελέσματος επειδή η εξίσωση υποδηλώνει ότι είναι δυνατόν να επιτευχθεί FM με SNR 40dB, με λόγο φέροντος προς θόρυβο 0dB. Γενικά αυτό δεν ισχύει, διότι οι τυπικοί αποδιαμορφωτές FM εμφανίζουν συνήθως κατώφλι στα 12 dB CNR [5], γεγονός που ακυρώνει τα παραπάνω αποτελέσματα. Επιπλέον, η βελτίωση του SNR για στερεοφωνικά σήματα και για CNRs πάνω από το κατώφλι είναι μόνο 17 dB πάνω από το CNR [dB] [5]. Οι παρακάτω εξισώσεις συνοψίζουν τις βελτιώσεις του ακουστικού SNR για FM:

$$SNR_{MONO} = 40 + CNR [dB]$$

$$SNR_{STEREO} = 17 + CNR [dB]$$

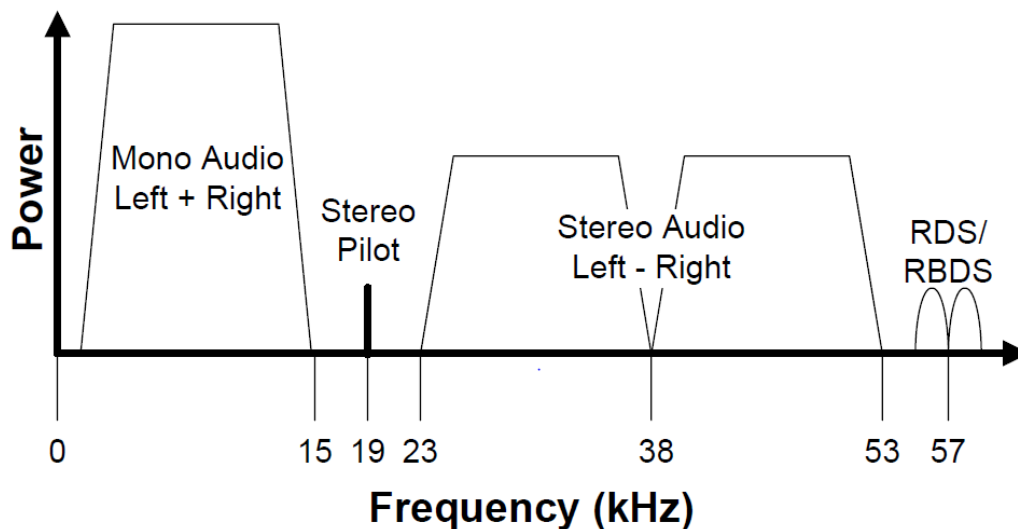
όταν το CNR είναι πάνω από το κατώφλι [5].

1.2 Στερεοφωνικό σήμα FM - Πολλαπλό σήμα

Μέχρι το 1961, το πρότυπο για την AM, τα FM και την τηλεόραση ήταν η μονοφωνική μετάδοση ήχου. Οι εκπομπές FM εκείνη την εποχή περιλάμβαναν επίσης υπηρεσίες δευτερεύοντος φέροντος (Subsidiary Communications Authorization - SCA), που πολυπλέκονταν με το κύριο μονοφωνικό κανάλι για παροχή μουσικής υπόκρουσης και άλλων υπηρεσιών σε γραφεία και καταστήματα. Το 1961, η FCC ενέκρινε τη μετάδοση στερεοφωνικού ήχου, η οποία

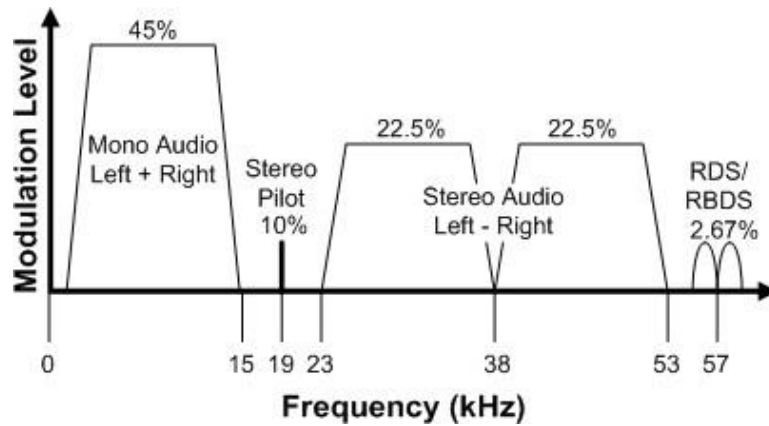
επέκτεινε την ιδέα της πολυπλεξίας σημάτων για τη δημιουργία στερεοφωνικού ήχου.

Μία από τις βασικές απαιτήσεις του στερεοφωνικού σήματος πολυπλεξίας ήταν η προς τα πίσω συμβατότητα με τη μεγάλη υπάρχουσα βάση μονοφωνικών δεκτών FM. Για την επίτευξη αυτού του στόχου, το τμήμα βασικής ζώνης 0 έως 15 kHz του σήματος πολυπλεξίας (MPX), έπρεπε να περιέχει τις πληροφορίες του αριστερού (L) και του δεξιού (R) καναλιού, (L+R) για μονοφωνική λήψη. Ο στερεοφωνικός ήχος επιτυγχάνεται με διαμόρφωση πλάτους της πληροφορίας (L-R) σε έναν υποφορέα καταστολής 38 kHz σε εύρος 23 έως 53 kHz του φάσματος της βασικής ζώνης. Μία συχνότητα πιλότος των 19 kHz, προστίθεται στο σήμα πολυπλεξίας για να μπορούν οι στερεοφωνικοί δέκτες FM να ανιχνεύσουν και να αποκωδικοποιήσουν το στερεοφωνικό αριστερό και δεξιό κανάλι. Η μορφή σύνθετου σήματος βασικής ζώνης ανταποκρίνεται στην προς τα πίσω συμβατότητα που απαιτείται για τους μονοφωνικούς δέκτες FM, ενώ ταυτόχρονα παρέχει αρκετές πληροφορίες στους στερεοφωνικούς δέκτες FM για την αποκωδικοποίηση στην έξοδο του αριστερού και του δεξιού στερεοφωνικού καναλιού. Το σημερινό σήμα MPX περιλαμβάνει έναν υποφορέα 57 kHz που μεταφέρει σήματα RDS και RBDS [6]. Στο Σχήμα 1.5 παρουσιάζεται το φάσμα ενός σημερινού σήματος MPX βασικής ζώνης.



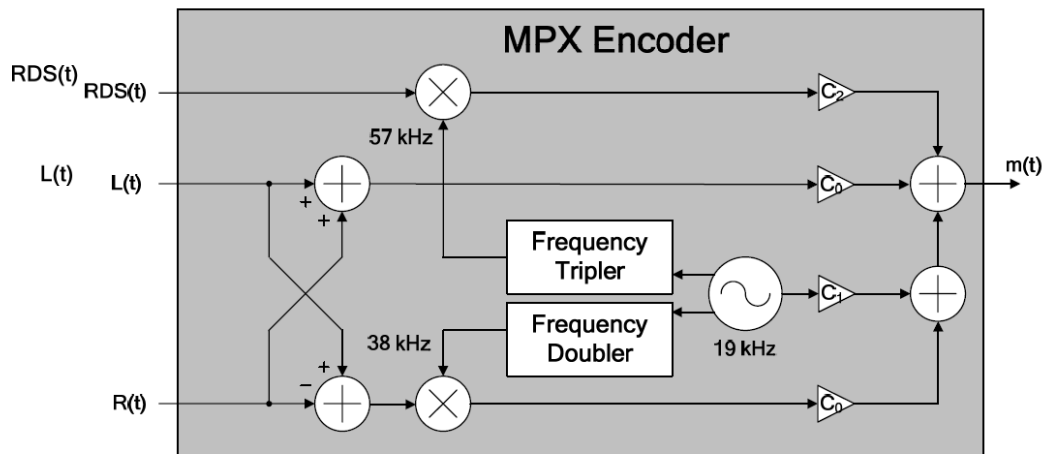
Σχήμα 1.5. Φάσμα MPX βασικής ζώνης

Η μαθηματική ανάλυση που παρουσιάστηκε υποθέτει ημιτονοειδές σήμα μίας συχνότητας ως σήμα μηνύματος $m(t)$. Στην πραγματικότητα το σήμα μηνύματος που χρησιμοποιείται στις σημερινές εκπομπές FM είναι σήμα MPX, με φάσμα βασικής ζώνης παρόμοιο με αυτό που φαίνεται στο Σχήμα 1.5. Η FCC έχει θέσει όρια διαμόρφωσης του 100% διαμόρφωσης, (μια στιγμιαία απόκλιση συχνότητας 75 kHz, αντιστοιχεί σε διαμόρφωση 100%), για στερεοφωνική μετάδοση και σε ορισμένες συνθήκες έως 110 % διαμόρφωσης για υποφορείς πολυπλεξίας SCA [5]. Στο σχήμα 1.6, εμφανίζεται ένα παράδειγμα της κατανομής των επιπέδων διαμόρφωσης διαφόρων σημάτων ενός τυπικού MPX σήματος μηνύματος.



Εικόνα 1.6. Φάσμα MPX όπου απεικονίζεται το επίπεδο διαμόρφωσης

Το συνολικό επίπεδο διαμόρφωσης για το σήμα MPX που παρουσιάζεται στο Σχήμα 1.6 χωρίς συσχέτιση, είναι το άθροισμα των επιπέδων καθενός από τα υποκανάλια και δίνει ποσοστό διαμόρφωσης 102,67% ή μέγιστη απόκλιση συχνότητας 77,0025 kHz. Από το τελευταίο τμήμα, η απόκλιση συχνότητας σχετίζεται με το πλάτος του σήματος μηνύματος μέσω της σταθεράς K_{VCO} , αφού $\Delta f = K_{VCO} \cdot A_m$. Έτσι για σταθερό K_{VCO} , το πλάτος όλων των σημάτων των υποκαναλιών στο MPX σήμα μηνύματος πρέπει να ενισχυθεί για να δώσει την κατάλληλη συνολική απόκλιση συχνότητας.

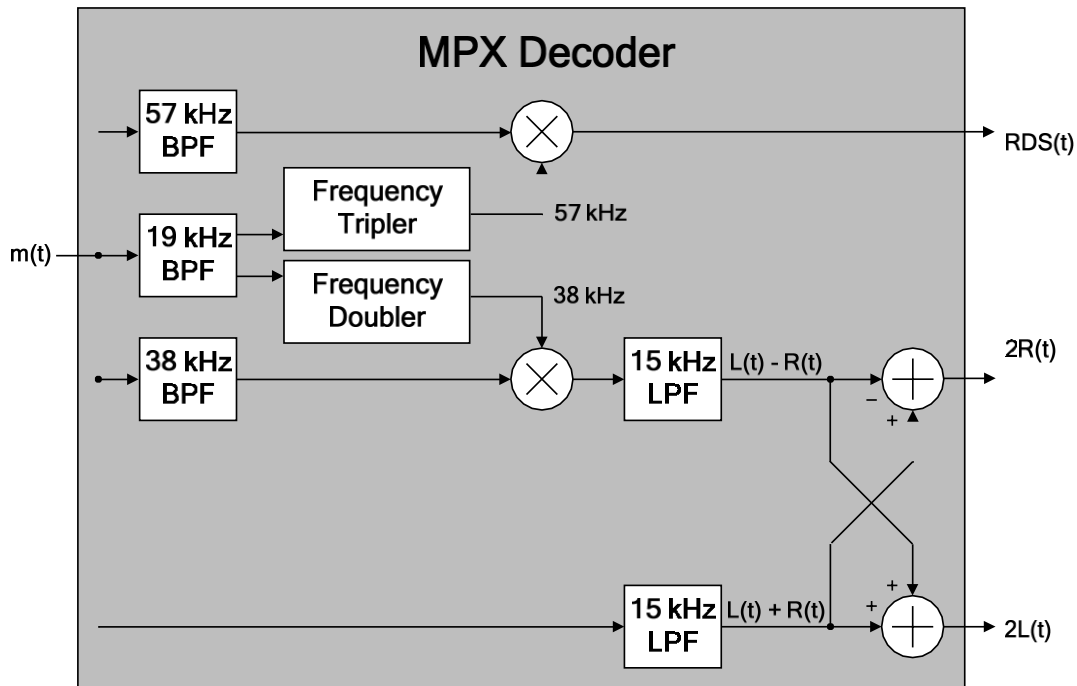


Σχήμα 1.7. MPX Κωδικοποιητής

Στο Σχήμα 1.7 παρουσιάζεται το εννοιολογικό μπλοκ διάγραμμα ενός MPX κωδικοποιητή που χρησιμοποιείται για την παραγωγή του MPX σήματος. Τα $L(t)$ και $R(t)$ είναι οι χρονικές κυματομορφές του αριστερού και του δεξιού καναλιού, το $RDS(t)$ είναι η χρονική κυματομορφή του σήματος RDS/RBDS. Το σήμα μηνύματος MPX μπορεί να εκφραστεί ως εξής :

$$m(t) = C_0[L(t) + R(t)] + C_1 \cos(2\pi \cdot 19kHz \cdot t) + C_2[L(t) - R(t)]\cos(2\pi \cdot 38kHz \cdot t) + C_2RDS(t)\cos(2\pi \cdot 57kHz \cdot t)$$

όπου C_0 , C_1 και C_2 είναι τα κέρδη που χρησιμοποιούνται για την ενίσχυση του πλάτους των σημάτων $(L(t) - R(t))$, της πιλοτικής συχνότητας των 19kHz και του υποφορέα RDS αντίστοιχα, ώστε να δημιουργηθεί το κατάλληλο επίπεδο διαμόρφωσης.



Σχήμα 1.8. MPX Αποκωδικοποιητής

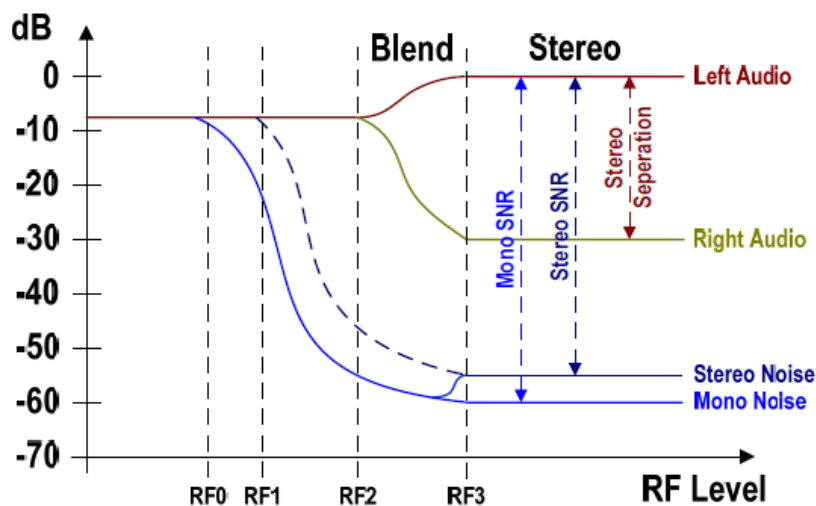
Το Σχήμα 1.8 αναπαριστά αντίστοιχα το εννοιολογικό διάγραμμα του MPX αποκωδικοποιητή που χρησιμοποιείται για την ανάκτηση των σημάτων αριστερού, δεξιού και RDS καναλιού από το $m(t)$, MPX σήμα μηνύματος. Το σήμα μηνύματος εφαρμόζεται σε τρία ζωνοπερατά φίλτρα με κεντρικές συχνότητες 19, 38 και 57 kHz αντίστοιχα και σε ένα χαμηλοπερατό φίλτρο με συχνότητα αποκοπής 3 dB στα 15 kHz. Το ζωνοπερατό φίλτρο των 19 kHz είναι ένα φίλτρο υψηλής ποιότητας που χρησιμοποιείται για την εξαγωγή της πιλοτικής συχνότητας των 19 kHz από το σήμα MPX μηνύματος. Η ανακτημένη πιλοτική συχνότητα διπλασιάζεται και τριπλασιάζεται για να παραχθούν τα απαιτούμενα σήματα του τοπικού ταλαντωτή (LO), που απαιτούνται για την αποδιαμόρφωση των σημάτων (L-R) και RDS, αντίστοιχα. Με την πρόσθεση και αφαίρεση των σημάτων (L+R) και (L-R) ανακτάται μια ενισχυμένη έκδοση του αριστερού και του δεξιού καναλιού του στερεοφωνικού ήχου.

Το RDS μειώνεται με μίξη συχνότητας 57 kHz του LO και τα δεδομένα μπορούν να ανακτηθούν στέλνοντας αυτό το σήμα σε φίλτρο προσαρμογής. Η παραπάνω ανάλυση αποκαλύπτει τη δυσκολία διατήρησης καλού στερεοφωνικού διαχωρισμού. Πρώτον, εάν ένα μονοφωνικό σήμα εφαρμόζεται στην είσοδο του αποκωδικοποιητή, οι πιλοτικές συχνότητες, των σημάτων (L-R) και RDS είναι ίσες με μηδέν, επειδή δεν υπάρχουν για μονοφωνικά σήματα. Η αριστερή και οι δεξιά έξοδοι του αποκωδικοποιητή θα είναι ίδια και ίση με το σήμα (L+R), ανακτώντας έτσι το μονοφωνικό σήμα. Δεύτερον, οποιαδήποτε διαφορά κέρδους ή φάσης κατά την παραγωγή του MPX σήματος μηνύματος ή/και την ανάκτηση του αριστερού και του δεξιού καναλιού οδηγεί σε περιορισμένο στερεοφωνικό διαχωρισμό, οπότε το αριστερό κανάλι θα έχει κάποια πληροφορία δεξιού καναλιού και το δεξιό κανάλι θα έχει κάποια πληροφορία αριστερού καναλιού (είναι γνωστό ως διαχωρισμός καναλιών ή διασταυρούμενη ομιλία - crosstalk). Για παράδειγμα, εάν τα χαμηλοπερατά φίλτρα των 15 kHz του αποκωδικοποιητή στο Σχήμα 1.8 έχουν διαφορά κέρδους 1%, ο στερεοφωνικός διαχωρισμός θα είναι

περίπου -46 dB. Αυτό το παράδειγμα δείχνει ότι οι διαδρομές του αριστερού και του δεξιού σήματος πρέπει να ταιριάζουν τόσο σε πλάτος όσο και σε φάση για να διατηρηθεί καλός στερεοφωνικός διαχωρισμός, κάτι που μπορεί να είναι δύσκολο εάν τα κυκλώματα κωδικοποιητή και αποκωδικοποιητή υλοποιούνται με αναλογικά κυκλώματα.

1.3 Τεχνικές βελτίωσης θορύβου

Πρόσφατες υλοποιήσεις δεκτών FM, όπως ο δέκτης FM Si4700 της Silicon Laboratories και ο δέκτης FM Si4701 με RDS/RBDS, ενσωματώνουν τεχνικές βελτίωσης του θορύβου, όπως η στερεοφωνική-μονοφωνική μείξη και η απαλή σίγαση (soft mute) για να βελτιώσουν την ποιότητα του ήχου των ραδιοφώνων FM. Στο Σχήμα 1.9 παρουσιάζεται η γραφική παράσταση της γενικής χαρακτηριστικής καμπύλης FM. Ο άξονας X αντιπροσωπεύει τη στάθμη του RF σήματος και ο άξονας Y αντιπροσωπεύει την αριστερή έξοδο του ήχου, κανονικοποιημένη στη μέγιστη στάθμη εξόδου, π.χ. τα 0 dB αντιπροσωπεύουν τη μέγιστη στάθμη εξόδου του σήματος στο αριστερό κανάλι εξόδου.

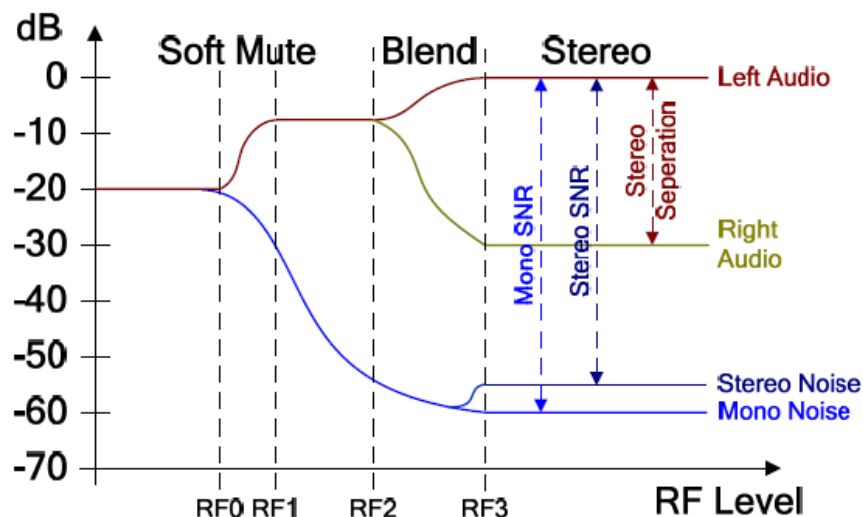


Εικόνα 1.9. FM Χαρακτηριστική καμπύλη

Οι στάθμες αριστερού ήχου, δεξιού ήχου, στερεοφωνικού θορύβου και μονοφωνικού θορύβου απεικονίζονται σε αυτό το γράφημα με όλα τα σήματα να απεικονίζονται σε σχέση με την αριστερή έξοδο ήχου. Σε αυτό το παράδειγμα, μια στάθμη εισόδου RF υψηλότερη του RF3, φέρνει το δέκτη FM σε πλήρη στερεοφωνική λειτουργία, με αποτέλεσμα στερεοφωνικό διαχωρισμό στα 30 dB και στερεοφωνικό SNR στα 55 dB. Εάν ο δέκτης FM εξαναγκαστεί σε μονοφωνική λειτουργία σε αυτή την περιοχή, το μονοφωνικό SNR θα είναι 60 dB. Το μεγαλύτερο μονοφωνικό SNR προέρχεται από το μικρότερο μονοφωνικό εύρος ζώνης των 15 kHz σε σύγκριση με το στερεοφωνικό σήμα MPX που απαιτεί εύρος ζώνης 53 kHz. Στο τμήμα μεταξύ των RF2 και RF3, πραγματοποιείται στερεοφωνική-μονοφωνική ανάμειξη, όπως φαίνεται από τη συγχώνευση του αριστερού και του δεξιού ηχητικού σήματος. Καθώς τα αριστερά και δεξιά ηχητικά σήματα συγχωνεύονται, ο στερεοφωνικός θόρυβος συγχωνεύεται επίσης στον μονοφωνικό θόρυβο και έτσι αυξάνεται αποτελεσματικά το SNR του

ηχητικού σήματος. Εάν δεν εφαρμοζόταν η μείξη, ο στερεοφωνικός θόρυβος θα ακολουθούσε τη διακεκομμένη σκούρα μπλε γραμμή και το επίπεδο SNR ήχου και το επίπεδο ευαισθησίας RF θα ήταν χαμηλότερα από δέκτη FM με μείξη στέρεο-μονοφωνικού σήματος.

Σε αυτό το παράδειγμα, το RF0 θα μπορούσε να αντιπροσωπεύει το επίπεδο ευαισθησίας δέκτη FM, με ανάμειξη στέρεο-μονό, και το RF1 θα μπορούσε να αντιπροσωπεύει το επίπεδο ευαισθησίας ενός δέκτη FM χωρίς μείξη στέρεο-μονό. Η ευαισθησία ορίζεται ως η ελάχιστη στάθμη εισόδου RF για την επίτευξη συγκεκριμένης τιμής ηχητικού SNR. Σε αυτό το φανταστικό παράδειγμα, η ευαισθησία ορίζεται ως η στάθμη RF που είναι απαραίτητη για την επίτευξη ηχητικού SNR 1 dB. Επιπλέον, όταν η RF στάθμη εισόδου στο δέκτη FM μειώνεται, η στάθμη θορύβου αυξάνει μεπολύ ταχύτερο ρυθμό από το ρυθμό μείωσης της στάθμης εξόδου του ήχου. Σε αυτό το παράδειγμα, η έξοδος ήχου πέφτει περίπου 6 dB από τη μέγιστη στάθμη εξόδου, αλλά η στάθμη θορύβου μπορεί να αυξηθεί μέχρι τη στάθμη εξόδου ήχου, όταν η στάθμη RF πέσει κάτω από την ευαισθησία (RF0). Όταν συμβαίνει αυτό, ο θόρυβος και το ηχητικό σήμα βρίσκονται στο ίδιο επίπεδο και αυτό το επίπεδο μπορεί να είναι σχετικά δυνατό, καθώς είναι μόνο 6 dB κάτω από το μέγιστο επίπεδο εξόδου του ήχου. Μια προσέγγιση για την ελαχιστοποίηση της ακουστικής στάθμης θορύβου σε αυτή την ασθενή περιοχή RF είναι η απόσβεση τόσο του ηχητικού σήματος, όσο και του σήματος θορύβου μαζί σε μια τεχνική που είναι γνωστή ως "απαλή σίγαση". Στο Σχήμα 1.10 φαίνεται η χαρακτηριστική FM καμπύλη με απαλή σίγαση. Σε αυτό το παράδειγμα, όταν είναι ενεργοποιημένη η απαλή σίγαση, ο θόρυβος και τα ηχητικά σήματα εξασθενούν κατά 14 dB σε ένα επίπεδο που είναι 20 dB κάτω από τη μέγιστη στάθμη ηχητικής εξόδου για την ελαχιστοποίηση του ακουστικού θορύβου και τη βελτίωση της συνολικής εμπειρίας του χρήστη.



Εικόνα 1.10. Χαρακτηριστική FM καμπύλη με απαλή σίγαση

Κεφάλαιο 2^ο

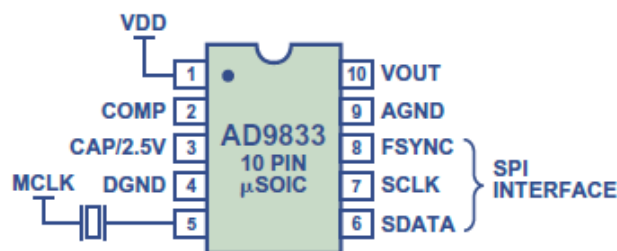
Η Τεχνική της Άμεσης Ψηφιακής Σύνθεσης (DDS)

Η Άμεση ψηφιακή σύνθεση γνωστή και ως Direct Digital Synthesis (DDS), είναι μια μέθοδος παραγωγής αναλογικής κυματομορφής συνήθως ενός ημιτονοειδούς κύματος με την δημιουργία ενός χρονικά μεταβαλλόμενου ψηφιακού σήματος και τη μετατροπή του σε αναλογικό. Οι λειτουργίες μιας συσκευής DDS είναι κυρίως ψηφιακές και προσφέρουν γρήγορη εναλλαγή συχνοτήτων εξόδου, εξαιρετική ανάλυση συχνότητας και λειτουργία σε ευρύ φάσμα συχνοτήτων. Με την πρόοδο της τεχνολογίας και του σχεδιασμού, οι σημερινές ηλεκτρονικές διατάξεις DDS είναι πολύ μικρές σε μέγεθος και απαιτούν ελάχιστη ισχύ λειτουργίας.

2.1 Χρήση Άμεσου Ψηφιακού Συνθεσάιζερ (DDS) για παραγωγή σημάτων

Έχει καταστεί κοινή απαίτηση σε μεγάλο αριθμό βιομηχανικών εφαρμογών η ικανότητα παραγωγής και ελέγχου κυματομορφών διαφόρων συχνοτήτων με μεγάλη ακρίβεια. Είτε παρέχοντας ευέλικτες πηγές μεταβλητών συχνοτήτων, και χαμηλού θορύβου φάσης με καλές επιδόσεις στον θόρυβο ψευδών συχνοτήτων για επικοινωνίες, είτε απλώς για δοκιμές σε συχνότητες εφαρμογών βιομηχανικού ή βιοϊατρικού εξοπλισμού, η ευκολία, η μικρή συσκευασία και το χαμηλό κόστος είναι σημαντικά ζητήματα του σύγχρονου σχεδιασμού. Σε έναν σχεδιαστή διατίθενται πολλές επιλογές για τη δημιουργία συχνοτήτων, από τις τεχνικές PLL για σύνθεση πολύ υψηλών συχνοτήτων έως το δυναμικό προγραμματισμό των εξόδων ενός ψηφιακού - αναλογικού μετατροπέα (DAC) για τη δημιουργία αυθαίρετων κυματομορφών χαμηλότερων συχνοτήτων.

Όμως η τεχνική DDS κερδίζει γρήγορα την αποδοχή στις απαιτήσεις παραγωγής συχνοτήτων (ή κυματομορφών) τόσο στις επικοινωνίες όσο και σε βιομηχανικές εφαρμογές, καθώς τα ενσωματωμένα συστήματα ενός chip (I.C's) μπορούν να παράγουν προγραμματιζόμενες αναλογικές κυματομορφές εξόδου απλά και με υψηλή ανάλυση και ακρίβεια. Επιπλέον, οι συνεχείς βελτιώσεις στον σχεδιασμό έχουν οδηγήσει σε χαμηλά επίπεδα κόστους και κατανάλωσης ενέργειας, όπου ήταν προηγουμένως αδιανόητα. Για παράδειγμα, το IC AD9833, μια προγραμματιζόμενη γεννήτρια κυματομορφών που βασίζεται σε DDS σύστημα (Εικόνα 2.1), λειτουργεί στα 5,5 V με ρολόι 25 MHz, καταναλώνοντας μέγιστη ισχύ μόλις 30 milliwatts.



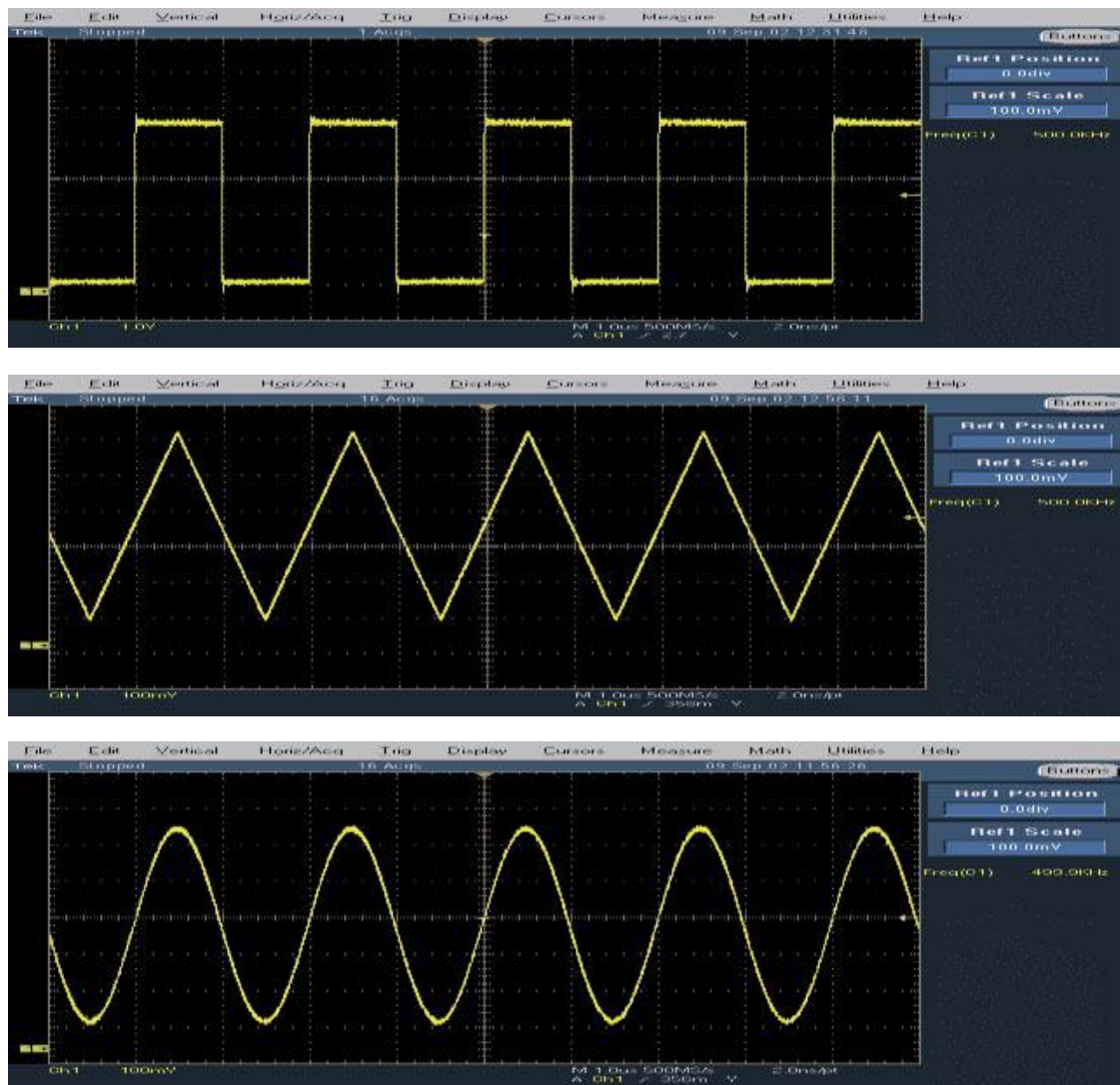
Εικόνα 2.1. AD9833 - Ένα ολοκληρωμένο κύκλωμα DDS γεννήτριας κυματομορφών.

2.2 Τα κύρια οφέλη από τη χρήση ενός DDS συστήματος

Οι συσκευές DDS όπως το AD9833 της Analog Devices προγραμματίζονται μέσω μιας υψηλής ταχύτητας σειριακή περιφερειακή διασύνδεση (SPI), και χρειάζονται μονάχα ένα εξωτερικό ρολόι για να δημιουργήσουν απλές αρμονικές κυματομορφές. Διατίθενται πλέον συσκευές DDS που μπορούν να παράγουν συχνότητες κάτω από 1 Hz έως 400 MHz (με ένα ρολόι 1 GHz). Τα πλεονεκτήματα της χαμηλής ισχύος, του χαμηλού κόστους και της μικρής συσκευασίας, σε συνδυασμό με την εγγενή εξαιρετική τους απόδοση και την ικανότητα ψηφιακού προγραμματισμού (και επαναπρογραμματισμού) της κυματομορφής εξόδου, καθιστούν τις συσκευές DDS μια εξαιρετικά ελκυστική λύση, προτιμότερη από λιγότερο ευέλικτες λύσεις που περιέχουν τις διατάξεις με διακριτά στοιχεία.

2.3 Τυπικές Κυματομορφές Εξόδου σε διάταξη DDS

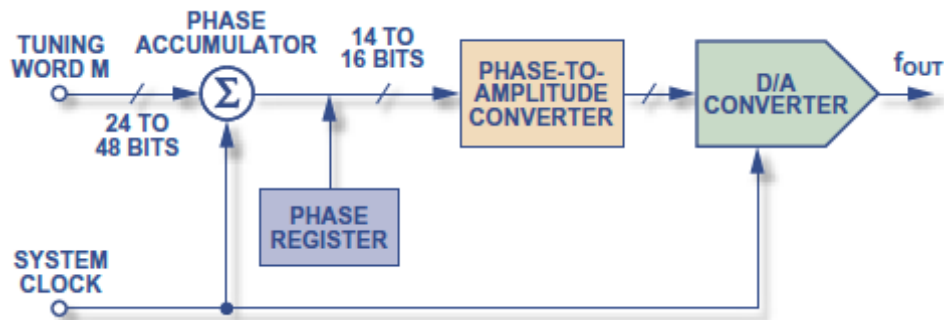
Οι συσκευές DDS δεν περιορίζονται σε καθαρά ημιτονοειδείς εξόδους. Η εικόνα 2.2 απεικονίζει τις τετραγωνικού παλμού, τριγωνικές και ημιτονοειδείς εξόδους που είναι διαθέσιμες από ένα ολοκληρωμένο κύκλωμα AD9833.



Εικόνα 2.2. Τετράγωνες, τριγωνικές και ημιτονοειδείς εξόδοι από το IC AD9833.

2.4 Δημιουργία ημιτονοειδούς σήματος από διάταξη DDS

Ακολουθεί η ανάλυση του εσωτερικού κυκλώματος μιας συσκευής DDS. Τα κύρια δομικά στοιχεία της είναι: α) ο συσσωρευτής φάσης, β) μετατροπέας φάσης σε πλάτος (συντά είναι ένας πίνακας αναζήτησης ημιτόνων) και γ) ένας Ψηφιακό/Αναλογικό μετατροπέας (DAC).



Εικόνα 2.3. Στοιχεία ενός συνθεσίζερ άμεσης ψηφιακής σύνθεσης (DDS).

Ένα DDS παράγει ένα ημιτονοειδές κύμα σε μια δεδομένη συχνότητα. Η συχνότητα εξαρτάται από δύο μεταβλητές: α) τη συχνότητα αναφοράς ρολογιού και β) από έναν δυαδικό αριθμό που είναι προγραμματισμένος στον καταχωρητή συχνότητας (λέξη συντονισμού).

Ο δυαδικός αριθμός στον καταχωρητή συχνότητας παρέχει την κύρια είσοδο στον συσσωρευτή φάσης. Εάν χρησιμοποιείται πίνακας αναζήτησης ημιτόνου, ο συσσωρευτής φάσης υπολογίζει μια διεύθυνση φάσης (γωνίας) για τον πίνακα αναζήτησης, η οποία εξάγει την ψηφιακή τιμή του πλάτους που αντιστοιχεί στο ημίτονο αυτής της γωνίας φάσης στο DAC. Το DAC με τη σειρά του, μετατρέπει αυτόν τον αριθμό σε μια αντίστοιχη τιμή αναλογικής τάσης ή ρεύματος. Για να δημιουργηθεί ένα ημιτονοειδές σήμα σταθερής συχνότητας, προστίθεται στον συσσωρευτή φάσης με κάθε κύκλο ρολογιού, μια σταθερή τιμή (η αύξηση της φάσης η οποία καθορίζεται από τον δυαδικό αριθμό). Εάν η προσαύξηση της φάσης είναι μεγάλη, ο συσσωρευτής φάσης θα περάσει γρήγορα μέσω του πίνακα αναζήτησης ημιτόνου και έτσι θα δημιουργήσει ένα ημιτονοειδές κύμα υψηλής συχνότητας. Εάν η αύξηση φάσης είναι μικρή, ο συσσωρευτής φάσης θα κάνει πολλά περισσότερα βήματα, δημιουργώντας μια πιο αργή κυματομορφή.

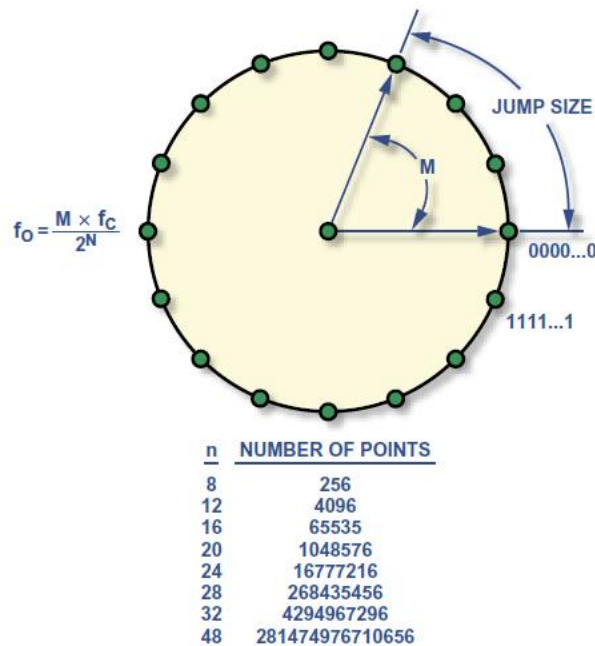
2.5 Ορισμός του πλήρες DDS

Η ενσωμάτωση ενός ψηφιακού σε αναλογικό D/A, μετατροπέα και ενός DDS σε ένα μόνο τσιπ (IC) είναι κοινώς γνωστή ως πλήρης λύση DDS, ιδιότητα κοινή για όλες τις συσκευές DDS από την εταιρία Analog Devices.

2.6 Λειτουργία συσσωρευτή φάσης

Τα ημιτονοειδή σήματα συνεχούς χρόνου έχουν ένα επαναλαμβανόμενο εύρος γωνιακής φάσης από 0 έως 2π . Η ψηφιακή υλοποίηση δεν διαφέρει από αυτό κάπου. Η λειτουργία μεταφοράς κρατουμένου του μετρητή επιτρέπει στον συσσωρευτή φάσης να λειτουργεί σαν τροχός φάσης στην υλοποίηση του DDS.

Για να γίνει κατανοητή αυτή τη βασική λειτουργία, απεικονίζεται η ταλάντωση του ημιτονοειδούς κύματος ως ένα διάνυσμα που περιστρέφεται γύρω από έναν κύκλο φάσης (βλ. Εικόνα 2.4). Κάθε καθορισμένο σημείο στον τροχό φάσης αντιστοιχεί στο ισοδύναμο σημείο ενός κύκλου ημιτονοειδούς κύματος. Καθώς το διάνυσμα περιστρέφεται γύρω από τον κύκλο, όπου το ημίτονο της γωνίας δημιουργεί το αντίστοιχο ημιτονοειδές κύμα εξόδου. Μια περιστροφή του διανύσματος γύρω από τον κύκλο φάσεων με σταθερή ταχύτητα, αντιστοιχεί σε έναν πλήρη κύκλο του ημιτονοειδούς κύματος εξόδου. Ο συσσωρευτής φάσης παρέχει τις ισόποσες γωνιακές τιμές που συνοδεύουν τη γραμμική περιστροφή του διανύσματος στον κύκλο φάσης.



Εικόνα 2.4. Ψηφιακός τροχός φάσεων

Τα περιεχόμενα του συσσωρευτή φάσης αντιστοιχούν στα σημεία του κύκλου του ημιτονοειδούς κύματος εξόδου. Ο συσσωρευτής φάσης είναι στην πραγματικότητα ένας μετρητής καταστάσεων- M , (modulo- M), που αυξάνει τον αποθηκευμένο αριθμό του κάθε φορά που λαμβάνει παλμό ρολογιού. Το μέγεθος της αύξησης καθορίζεται από τη δυαδική κωδικοποιημένη λέξη εισόδου (M). Αυτή η λέξη σχηματίζει το μέγεθος του βήματος φάσης μεταξύ των παλμών του ρολογιού αναφοράς. Καθορίζει αποτελεσματικά πόσα σημεία πρέπει να παρακαμφθούν γύρω από τον τροχό φάσης. Όσο μεγαλύτερο είναι το μέγεθος του άλματος, τόσο πιο γρήγορα υπερχειλίζει ο συσσωρευτής φάσης και ολοκληρώνει το ισοδύναμο ενός κύκλου ημιτονοειδούς κύματος.

Ο αριθμός των διακριτών σημείων φάσης που περιέχονται στο τροχό φάσεων καθορίζεται από την ανάλυση του συσσωρευτή φάσης (n), που καθορίζει και την ανάλυση συντονισμού του DDS. Για ένα συσσωρευτή φάσης με $n=28$ bit, μία τιμή για το M 0000...0001, θα είχε ως αποτέλεσμα την υπερχειλίση του συσσωρευτή φάσης μετά από 2^{28} κύκλους του ρολογιού αναφοράς (αυξήσεις). Αν η τιμή του M αλλάξει σε 0111...1111, ο συσσωρευτής φάσης θα υπερχειλίσει μετά από 2 μόνο κύκλους ρολογιού αναφοράς (το ελάχιστο που απαιτείται από το κριτήριο

2.8 Οι δημοφιλείς χρήσεις του συστήματος DDS

Οι εφαρμογές που χρησιμοποιούν σήμερα τη δημιουργία κυματομορφών με βάση το DDS εμπίπτουν σε δύο κύριες κατηγορίες: Οι σχεδιαστές συστημάτων επικοινωνιών που απαιτούν ευέλικτες (άμεσης απόκρισης) πηγές συχνοτήτων με εξαιρετικό θόρυβο φάσης και χαμηλή απόδοση ψευδών συχνοτήτων, συχνά επιλέγουν το DDS για το συνδυασμό φασματικής απόδοσης και ανάλυσης συχνοτήτων συντονισμού. Τέτοιες εφαρμογές περιλαμβάνουν τη χρήση ενός DDS για διαμόρφωση, όπως συμβαίνει με την αναφορά σε ένα PLL, για τη βελτίωση της συνολικής δυνατότητας συντονισμού συχνότητας ή του τοπικού ταλαντωτή (LO) ή ακόμα και για απευθείας μετάδοση RF.

Εναλλακτικά, πολλές βιομηχανικές και βιοϊατρικές εφαρμογές χρησιμοποιούν ένα DDS σαν προγραμματιζόμενη γεννήτρια κυματομορφών. Επειδή ένα DDS είναι ψηφιακά προγραμματιζόμενο, η φάση και η συχνότητα μιας κυματομορφής μπορούν εύκολα να αλλαχθούν χωρίς να απαιτείται αλλαγή των εξωτερικών στοιχείων που κανονικά θα έπρεπε να αλλάξουν όταν χρησιμοποιούνται παραδοσιακές αναλογικά προγραμματισμένες γεννήτριες κυματομορφών. Το DDS επιτρέπει απλές ρυθμίσεις της συχνότητας σε πραγματικό χρόνο για τον εντοπισμό συχνοτήτων συντονισμού ή την αντιστάθμιση της μετατόπισης της θερμοκρασίας.

Τέτοιες εφαρμογές περιλαμβάνουν τη χρήση ενός DDS σε :

- ρυθμιζόμενες πηγές συχνότητας για τη μέτρηση της σύνθετης αντίστασης (για παράδειγμα σε έναν αισθητήρα που βασίζεται στην σύνθετη αντίσταση),
- για τη δημιουργία σημάτων διαμορφωμένων κυμάτων παλμού για μικροενεργοποίηση ή
- για την εξέταση της εξασθένησης σε LAN ή τηλεφωνικά καλώδια.

2.9 Τα βασικά πλεονεκτήματα του DDS στο σχεδιασμό εξοπλισμού και συστημάτων πραγματικού χρόνου

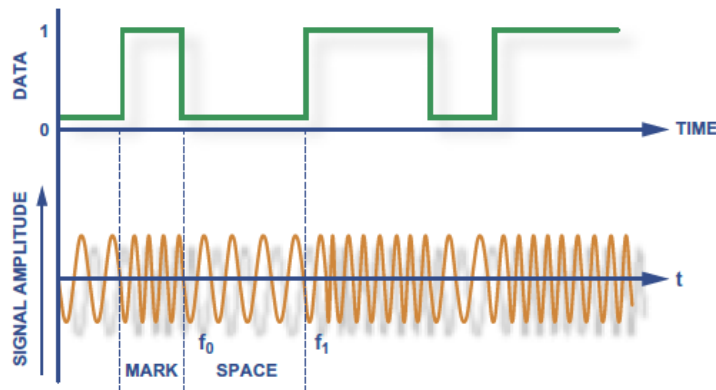
Τα σημερινά υψηλής απόδοσης, λειτουργικά ενσωματωμένα DDS IC's, είναι κοινά τόσο σε συστήματα επικοινωνίας όσο και σε εφαρμογές αισθητήρων. Τα πλεονεκτήματα που τα καθιστούν ελκυστικά για τους μηχανικούς σχεδιασμού περιλαμβάνουν:

- ψηφιακά ελεγχόμενη συχνότητας συντονισμού της τάξης των micro-hertz και ικανότητα συντονισμού φάσης με ακρίβεια κάτω από μία μοίρα.
- Εξαιρετικά γρήγορη ταχύτητα μεταγωγής στην συχνότητα εξόδου συντονισμού ή φάσης. Μεταγωγές συχνότητας με συνεχή φάση χωρίς υπέρβαση/υποβολή ή ανωμαλίες χρόνου υστέρησης βρόχου όπως στο αντίστοιχο αναλογικό σύστημα συνθεσάιζερ.
- Η ψηφιακή αρχιτεκτονική του DDS εξαλείφει την ανάγκη για χειροκίνητο συντονισμό και την προσαρμογή που σχετίζεται με τη γήρανση των εξαρτημάτων και τη μετατόπιση λόγω θερμοκρασίας που έχουν τα αναλογικά συνθεσάιζερ.

- Η διεπαφή ψηφιακού ελέγχου της αρχιτεκτονικής DDS, διευκολύνει το περιβάλλον που τα συστήματα μπορούν να ελέγχονται εξ αποστάσεως και να βελτιστοποιούνται με υψηλή ανάλυση υπό τον έλεγχο επεξεργαστή.

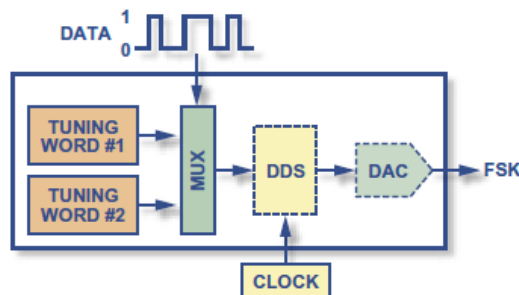
2.10 Η χρήση μονάδας DDS για κωδικοποίηση FSK

Η δυαδική μετατόπιση συχνότητας (συνήθως αναφέρεται απλώς ως FSK) είναι μία από τις απλούστερες μορφές κωδικοποίησης δεδομένων. Τα δεδομένα μεταδίδονται μετατοπίζοντας τη συχνότητα ενός συνεχούς φορέα σε μία από δύο διακριτές συχνότητες. Η μία συχνότητα f_1 (ίσως η υψηλότερη) ορίζεται ως η συχνότητα σήμανσης (“δυαδικό ένα”) και η άλλη f_0 , σαν συχνότητα κενού (“δυαδικό μηδέν”). Η Εικόνα 2.6 απεικονίζει ένα παράδειγμα της σχέσης μεταξύ των δεδομένων “σήμανση-κενό” και του μεταδιδόμενου σήματος.



Εικόνα 2.6. Διαμόρφωση FSK

Αυτό το μοτίβο κωδικοποίησης υλοποιείται εύκολα χρησιμοποιώντας ένα σύστημα DDS. Η λέξη συντονισμού συχνότητας DDS, που αντιπροσωπεύει τις συχνότητες εξόδου, έχει οριστεί στις κατάλληλες τιμές για δημιουργία των f_1 και f_2 και εμφανίζονται στο μοτίβο των 0 και 1 που πρέπει να μεταδοθούν. Ο χρήστης προγραμματίζει τις δύο απαιτούμενες λέξεις συντονισμού στη συσκευή πριν από τη μετάδοση. Στην περίπτωση του AD9834, δύο καταχωρητές συχνότητας είναι διαθέσιμοι για να διευκολύνουν την εύκολη κωδικοποίηση FSK. Ένας ειδικός ακροδέκτης στη συσκευή (F_{SELECT}) δέχεται το σήμα διαμόρφωσης και επιλέγει την κατάλληλη λέξη συντονισμού (ή τον καταχωρητή συχνότητας). Το μπλοκ διάγραμμα της Εικόνας 2.7 απεικονίζει μια απλή υλοποίηση κωδικοποίησης FSK.



Εικόνα 2.7. Κωδικοποιητής FSK που βασίζεται σε σύστημα DDS.

2.11 Κωδικοποίηση PSK βασισμένη σε σύστημα DDS

Η Κωδικοποίηση διαμόρφωσης φάσης Phase-shift keying (PSK), είναι μια άλλη απλή μορφή κωδικοποίησης δεδομένων. Στην PSK, η συχνότητα του φορέα παραμένει σταθερή και η φάση του μεταδιδόμενου σήματος μεταβάλλεται για να μεταφέρει τις πληροφορίες.

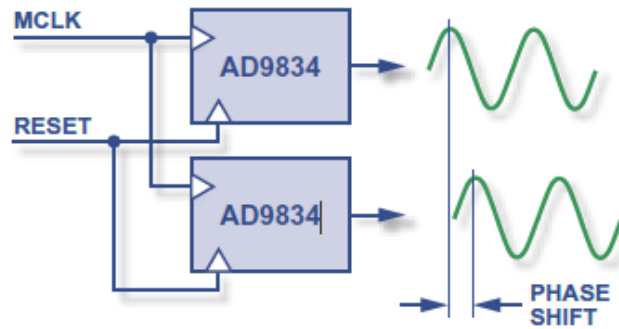
Για την επίτευξη της πιο απλής μορφής διαμόρφωσης PSK, γνωστή και ως δυαδική (Binary) PSK (BPSK), γίνεται η χρήση μόνο δύο φάσεων του σήματος, στις 0 μοίρες και 180 μοίρες. Η BPSK διαμόρφωση κωδικοποιεί 0° μετατόπιση φάσης για είσοδο λογικού 1 και μετατόπιση φάσης 180° για είσοδο λογικού 0. Η κατάσταση κάθε bit καθορίζεται σύμφωνα με την κατάσταση του προηγούμενου bit. Εάν η φάση του κύματος δεν αλλάξει, η κατάσταση του σήματος παραμένει ίδια (χαμηλή ή υψηλή). Εάν η φάση του κύματος αντιστραφεί (αλλάζει κατά 180 μοίρες), τότε η κατάσταση του σήματος αλλάζει (από χαμηλό σε υψηλό ή από υψηλό σε χαμηλό). Η κωδικοποίηση PSK υλοποιείται εύκολα με DDS IC's. Οι περισσότερες συσκευές διαθέτουν ξεχωριστό καταχωρητή εισόδου (καταχωρητής φάσης) που μπορεί να φορτωθεί με μια τιμή φάσης. Αυτή η τιμή προστίθεται απευθείας στη φάση του φορέα χωρίς να αλλάζει η συχνότητά του. Η αλλαγή των περιεχομένων αυτού του καταχωρητή διαμορφώνει τη φάση του φορέα, δημιουργώντας έτσι ένα σήμα εξόδου PSK. Για εφαρμογές που απαιτούν διαμόρφωση υψηλής ταχύτητας, το ολοκληρωμένο κύκλωμα AD9834 επιτρέπει την επιλογή των προφορτωμένων καταχωρητών φάσης χρησιμοποιώντας μια αποκλειστική ακίδα εισόδου εναλλαγής (P_{SELECT}), η οποία εναλλάσσεται μεταξύ των καταχωρητών και διαμορφώνει τον φορέα όπως απαιτείται.

Πιο εξελιγμένες μορφές της PSK διαμόρφωσης χρησιμοποιούν φάσεις τεσσάρων ή οκτώ κυμάτων. Αυτό επιτρέπει τη μετάδοση δυαδικών δεδομένων με ταχύτερο ρυθμό ανά αλλαγή φάσης από ότι είναι δυνατό με τη διαμόρφωση BPSK. Σε τετραφασική διαμόρφωση (τετραγωνισμένο PSK ή QPSK), οι πιθανές γωνίες φάσης είναι 0, +90, - 90 και 180 μοίρες. Κάθε μετατόπιση φάσης μπορεί να αντιπροσωπεύει δύο στοιχεία σήματος. Τα IC's AD9830, AD9831, AD9832 και AD9835 παρέχουν καταχωρητές τεσσάρων φάσεων που επιτρέπουν την υλοποίηση σύνθετων σχημάτων διαμόρφωσης φάσης με συνεχή ενημέρωση διαφορετικών μετατοπίσεων φάσης στους καταχωρητές.

2.12 Συγχρονισμός πολλαπλών μονάδων DDS για δυνατότητα διαμόρφωσης IQ

Είναι δυνατή η χρήση δύο μεμονωμένων συσκευών DDS που λειτουργούν με το ίδιο κύριο ρολόι (master clock) για την έξοδο δύο σημάτων των οποίων η σχέση φάσης μπορεί στη συνέχεια να ελεγχθεί άμεσα.

Στην Εικόνα 2.8, δύο IC's AD9834 προγραμματίζονται χρησιμοποιώντας ένα κοινό ρολόι αναφοράς, με την ίδια ακίδα επανεκκίνησης (reset) να χρησιμοποιείται για την ενημέρωση και των δύο μονάδων. Χρησιμοποιώντας αυτήν τη ρύθμιση, είναι δυνατό να γίνει διαμόρφωση IQ.



Εικόνα 2.8. Πολλαπλά DDS IC's σε σύγχρονη λειτουργία.

Επανεκκίνηση απαιτείται τόσο κατά την ενεργοποίηση των DDS, όσο και πριν τη μεταφορά οποιωνδήποτε δεδομένων. Αυτό θέτει την έξοδο των DDS σε μια γνωστή φάση, η οποία χρησιμεύει σαν κοινό σημείο αναφοράς που επιτρέπει το συγχρονισμό πολλών μονάδων DDS. Όταν νέα δεδομένα αποστέλλονται ταυτόχρονα σε διαφορετικές μονάδες DDS, μπορεί να διατηρηθεί μια συναφή σχέση φάσης και η σχετική μετατόπιση φάσης μεταξύ τους, δύναται να μετατοπιστεί με πρόβλεψη μέσω του καταχωρητή μετατόπισης φάσης. Τα IC's AD9833 και AD9834 έχουν ανάλυση φάσης 12 bit, με πραγματική ανάλυση 0,1 μούρες. (Για περισσότερες λεπτομέρειες σχετικά με το συγχρονισμό πολλαπλών μονάδων DDS, ανατρέξτε στο Φυλλάδιο Πληροφοριών AN-605).

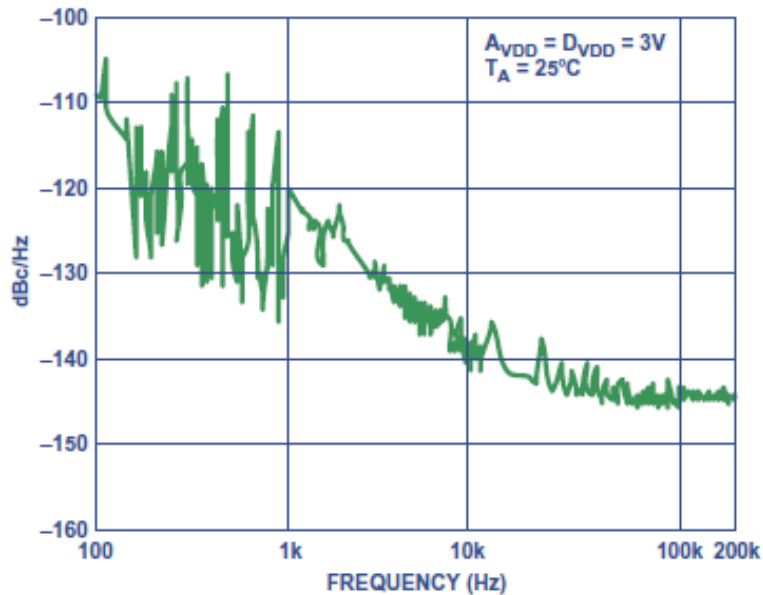
2.13 Προδιαγραφές απόδοσης ενός συστήματος βασιζόμενο σε DDS

Ο θόρυβος φάσης (dBc/Hz) ,είναι ένα μέτρο της βραχυπρόθεσμης αστάθειας της συχνότητας του ταλαντωτή. Μετράται ως ο θόρυβος μιας πλευρικής ζώνης που προκύπτει από αλλαγές στη συχνότητα (σε ντεσιμπέλ ,κάτω του πλάτους στη συχνότητα λειτουργίας του ταλαντωτή, χρησιμοποιώντας εύρος ζώνης 1 Hz) σε δύο ή περισσότερες μετατοπίσεις συχνότητας από τη συχνότητα λειτουργίας του ταλαντωτή. Αυτή η μέτρηση έχει ιδιαίτερη εφαρμογή στην απόδοση στη βιομηχανία αναλογικών επικοινωνιών.

2.14 Συσκευές DDS και ο θόρυβος φάσης (Jitter)

Ο θόρυβος σε ένα σύστημα δειγματοληψίας εξαρτάται από πολλούς παράγοντες. jitter είναι: η διακύμανση ενός σήματος από την ονομαστική τιμή χρονισμού του, με αποτέλεσμα ένα ελαφρώς διαφορετικό λαμβανόμενο σήμα από το ιδανικό σήμα. Το jitter (του ρολογιού αναφοράς μπορεί να θεωρηθεί ως θόρυβος φάσης στο βασικό σήμα σε ένα σύστημα DDS και η περικοπή φάσης μπορεί να εισάγει ένα επίπεδο σφάλματος στο σύστημα, ανάλογα με την κωδική λέξη που έχει επιλεγεί. Για μία αναλογία, που μπορεί να εκφραστεί ακριβώς με μια περικομμένη δυαδική κωδικοποιημένη λέξη, δεν υπάρχει σφάλμα περικοπής. Για λόγους που απαιτούν περισσότερα bit από αυτά που είναι διαθέσιμα, το προκύπτον σφάλμα περικοπής θορύβου φάσης οδηγεί σε ακμές σε μια φασματική γραφική παράσταση. Τα μεγέθη και η κατανομή τους εξαρτάται από την κωδική λέξη που επιλέγεται. Ο DAC συμβάλλει επίσης στον θόρυβο στο σύστημα. Τα σφάλματα κβαντισμού DAC ή γραμμικότητας , θα έχουν ως αποτέλεσμα τόσο

θόρυβο όσο και αρμονικές. Η Εικόνα 2.9 απεικονίζει το διάγραμμα θορύβου φάσης ενός τυπικού IC DDS AD9834.



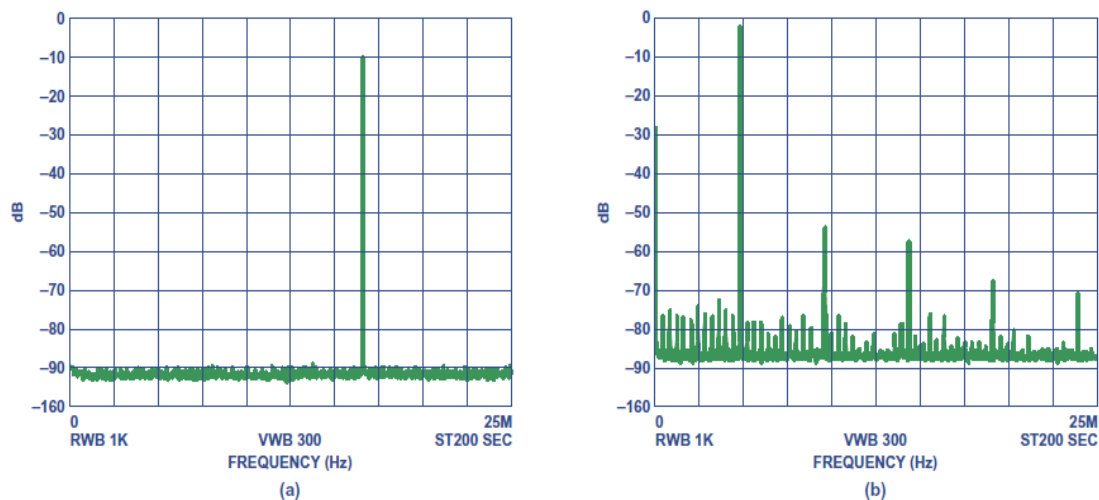
Εικόνα 2.9. Τυπικό διάγραμμα θορύβου φάσης εξόδου για το IC AD9834. Η συχνότητα εξόδου είναι 2 MHz και το M ρολόι είναι στα 50 MHz.

Το Jitter είναι η δυναμική μετατόπιση των άκρων του ψηφιακού σήματος από τις μακροπρόθεσμες μέσες θέσεις τους, μετρούμενη σε βαθμούς rms. Ένας τέλειος ταλαντωτής θα είχε ακμές ανόδου και πτώσης που συμβαίνουν ακριβώς σε κανονικές χρονικές στιγμές και δεν θα μεταβάλλονται ποτέ. Αυτό, φυσικά, είναι αδύνατο, καθώς ακόμη και οι καλύτεροι ταλαντωτές κατασκευάζονται από πραγματικά εξαρτήματα με πηγές θορύβου και άλλες ατέλειες. Ένας υψηλής ποιότητας κρυσταλλικός ταλαντωτής χαμηλού θορύβου θα έχει jitter μικρότερο από 35 picoseconds (ps) της περιόδου του, συσσωρευμένο σε πολλά εκατομμύρια άκρες του ρολογιού. Το Jitter στους ταλαντωτές προκαλείται από θερμικό θόρυβο, αστάθειες στα ηλεκτρονικά του ταλαντωτή, εξωτερικές παρεμβολές γραμμών μεταφοράς ισχύος, λόγω της γείωσης, ακόμη και των συνδέσεων εξόδου. Άλλες επιρροές περιλαμβάνουν εξωτερικά μαγνητικά ή ηλεκτρικά πεδία, όπως παρεμβολές ραδιοσυχνοτήτων από κοντινούς πομπούς, οι οποίες μπορούν να συμβάλουν στο jitter που επηρεάζει την έξοδο του ταλαντωτή. Ακόμη και ένας απλός ενισχυτής, μετατροπέας ή buffer θα προσδώσει jitter σε ένα σήμα. Έτσι, η έξοδος μιας συσκευής DDS θα προσθέσει ένα ορισμένο ποσό jitter. Δεδομένου ότι κάθε ρολόι θα έχει ήδη ένα εγγενές επίπεδο jitter, η επιλογή ενός ταλαντωτή με χαμηλό jitter είναι κρίσιμη για αρχή. Η διαίρεση της συχνότητας ενός ρολογιού υψηλής συχνότητας είναι ένας τρόπος για να μειωθεί το jitter. Με τη διαίρεση συχνότητας, η ίδια ποσότητα jitter εμφανίζεται σε μεγαλύτερη περίοδο, μειώνοντας το ποσοστό του στο χρόνο του συστήματος. Γενικά, για να μειωθούν οι βασικές πηγές jitter και να αποφευχθεί η εισαγωγή πρόσθετων πηγών, θα πρέπει να χρησιμοποιηθεί ένα σταθερό ρολόι αναφοράς, να αποφεύγεται η χρήση σημάτων και κυκλωμάτων που ολισθαίνουν αργά και να χρησιμοποιείται η υψηλότερη δυνατή συχνότητα αναφοράς για να επιτραπεί η αυξημένη υπερδειγματοληψία.

Το δυναμικό εύρος χωρίς ψευδή σήματα (SFDR) αναφέρεται στον λόγο (μετριέται σε ντεσιμπέλ) μεταξύ του υψηλότερου επιπέδου του θεμελιώδους σήματος και του υψηλότερου επιπέδου οποιουδήποτε ψευδούς σήματος, συμπεριλαμβανομένων των ψευδών και των στοιχείων σχετικών αρμονικών συχνοτήτων, στο φάσμα. Για το καλύτερο SFDR, είναι απαραίτητος ένας υψηλής ποιότητας ταλαντωτή.

Το SFDR είναι μια σημαντική προδιαγραφή σε μια εφαρμογή όπου το φάσμα συχνοτήτων μοιράζεται με άλλα κανάλια και εφαρμογές επικοινωνίας. Εάν η έξοδος ενός πομπού στέλνει ψευδή σήματα σε άλλες ζώνες συχνοτήτων, μπορεί να καταστραφούν ή να διακοπούν γειτονικά σήματα.

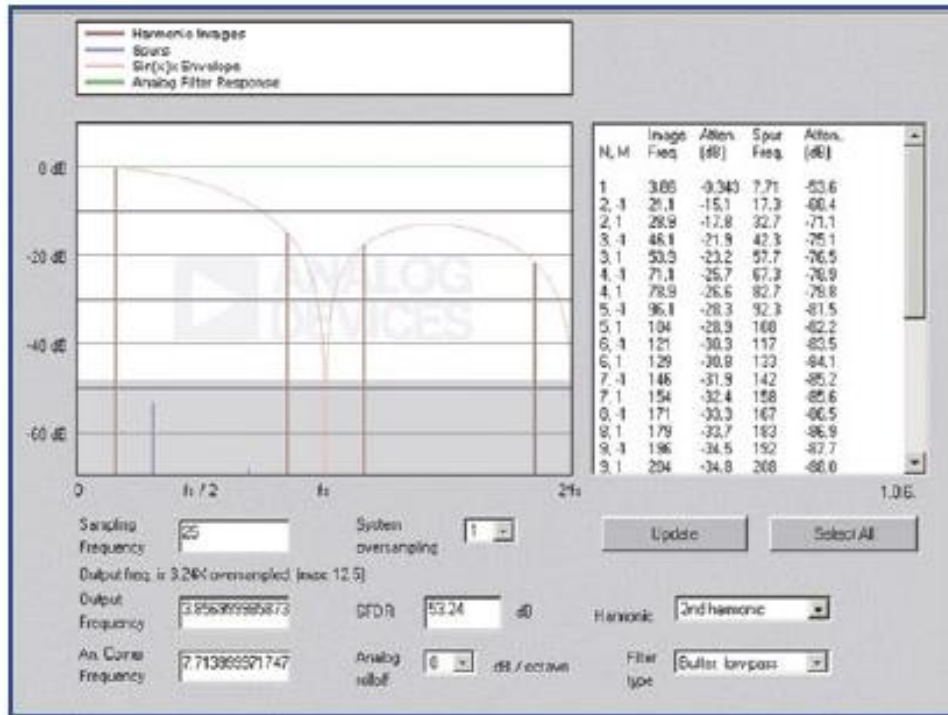
Τυπικά γραφήματα εξόδου που λαμβάνονται από το AD9834 (10-bit DDS) με βασικό στα ρολόι 50 MHz απεικονίζονται στο Σχήμα 10. Στο (α), η συχνότητα εξόδου είναι ακριβώς το 1/3 της συχνότητας του κύριου ρολογιού (MCLK). Λόγω της συνετής επιλογής συχνοτήτων, δεν υπάρχουν αρμονικές συχνότητες στο παράθυρο των 25 MHz, οι αλλοιώσεις ελαχιστοποιούνται και η συμπεριφορά ψευδών συχνοτήτων είναι εξαιρετική, με όλες τις ψευδείς συχνότητες τουλάχιστον 80 dB κάτω από το σήμα (SFDR = 80 dB). Η ρύθμιση χαμηλότερης συχνότητας στο (β) έχει περισσότερα σημεία για να σχηματίσει την κυματομορφή (αλλά όχι αρκετά για μια πραγματικά καθαρή κυματομορφή) και δίνει μια πιο ρεαλιστική εικόνα με τη μεγαλύτερη ψυδή συχνότητα, στη δεύτερη αρμονική συχνότητα, περίπου 50 dB κάτω από το σήμα (SFDR = 50 dB).



Εικόνα 2.10. Έξοδος AD9834 με κύριο ρολόι 50 MHz και (α) $f_{out}=16.667$ MHz (δηλ. MCLK/3); (b) $f_{out}=4.8$ MHz .

2.15 Εργαλεία Προγραμματισμού και Πρόβλεψης Απόδοσης DDS

Το on-line διαδραστικό εργαλείο σχεδίασης είναι ένας βοηθός για την επιλογή λέξεων συντονισμού, με ρολόι αναφοράς και τις επιθυμητές συχνότητες και/ή φάσεις εξόδου. Επιλέγεται η απαιτούμενη συχνότητα και οι εξιδανικευμένες αρμονικές εξόδου εμφανίζονται μετά την εφαρμογή ενός εξωτερικού φίλτρου ανακατασκευής. Ένα παράδειγμα φαίνεται στην Εικόνα 2.11. Παρέχονται επίσης πίνακες δεδομένων για τις κύριες εικόνες και τις αρμονικές.



Εικόνα 2.11. Παρουσίαση οθόνης που παρέχεται από ένα διαδραστικό εργαλείο σχεδίασης. Η $\sin(x)/x$ παρουσίαση μιας τυπικής εξόδου της συσκευής

Το μόνο που χρειάζεται είναι η απαιτούμενη έξοδος συχνότητας και η συχνότητα ρολογιού αναφοράς του συστήματος. Το εργαλείο σχεδίασης παράγει την πλήρη σειρά προγραμματισμού που απαιτείται για τον προγραμματισμό της συσκευής. Στο παράδειγμα της Εικόνας 2.12, το κύριο ρολόι MCLK έχει ρυθμιστεί στα 25 MHz και η επιθυμητή συχνότητα εξόδου έχει οριστεί στα 10 MHz. Μόλις πατηθεί το κουμπί ενημέρωσης, η πλήρης ακολουθία προγραμματισμού για τον προγραμματισμό της συσκευής περιέχεται στον καταχωρητή InitSequence.

MCLK: 25.0 MHz

Desired FREQ0: 10 MHz Actual FREQ0: 9.999999962747097 MHz

Desired FREQ1: 10 MHz Actual FREQ1: 9.999999962747097 MHz

Desired PHASE0: 0 deg. Actual PHASE0: 0 deg.

Desired PHASE1: 0 deg. Actual PHASE1: 0 deg.

Control register: FSEL: FREQ0, PSEL: PHASE0, SLEEP1/12: Powered up, VOUT: DAC, DIV2: Divide by 2, MODE (SIN ROM): Normal

Codewords: Control register: Control register 0000, Register data: []

Init sequence: 2100 6666 5999 A666 9999 C000 E000 2000

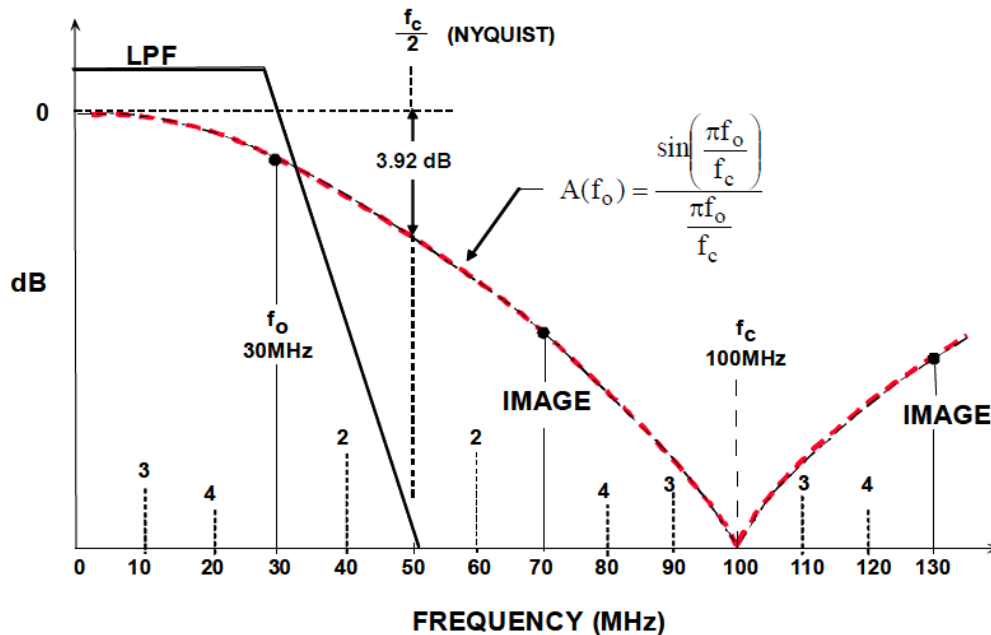
History: []

[Update]

Εικόνα 2.12. Τυπική απεικόνιση της ακολουθίας προγραμματισμού

2.16 Παραμορφώσεις σε Συστήματα DDS

Υπάρχει ένας σημαντικός περιορισμός στο εύρος των συχνοτήτων εξόδου που μπορούν να δημιουργηθούν από ένα σύστημα DDS. Το κριτήριο Nyquist δηλώνει ότι η συχνότητα ρολογιού (ρυθμός δειγματοληψίας) πρέπει να είναι τουλάχιστον διπλάσιος από τη συχνότητα εξόδου. Οι πρακτικοί περιορισμοί περιορίζουν την πραγματικά υψηλότερη συχνότητα εξόδου περίπου στο 1/3 της συχνότητας ρολογιού. Η εικόνα 2.13 δείχνει την έξοδο ενός DAC σε ένα DDS σύστημα όπου η συχνότητα εξόδου είναι 30 MHz και η συχνότητα ρολογιού είναι 100 MHz. Ένα κατάλληλο φίλτρο πρέπει να προστεθεί μετά τον DAC για την αφαίρεση της χαμηλότερης συχνότητας (100 - 30 = 70 MHz) όπως φαίνεται στο ακόλουθο σχήμα:



Εικόνα 2.13: Παραμορφώσεις σε σύστημα DDS

Σημειώστε ότι η απόκριση πλάτους της εξόδου DAC (πριν από το φιλτράρισμα) ακολουθεί μια απόκριση $\sin(x)/x$ με μηδενισμούς στη συχνότητας ρολογιού και σε πολλαπλάσια της. Η ακριβής εξίσωση για το κανονικοποιημένο πλάτος εξόδου, $A(f_o)$, δίνεται από την σχέση:

$$A(f_o) = \frac{\sin\left(\frac{\pi f_o}{f_c}\right)}{\frac{\pi f_o}{f_c}}$$

όπου f_o η συχνότητα εξόδου, και f_c η συχνότητα του ρολογιού.

Αυτή η μετατόπιση οφείλεται στο ότι η έξοδος του DAC δεν είναι μια σειρά παλμών μηδενικού πλάτους (όπως σε έναν τέλειο επαναδειγματολήπτη), αλλά μια σειρά ορθογώνιων παλμών των οποίων το πλάτος είναι ίσο με το αντίστροφο του ρυθμού συγχρονισμού.

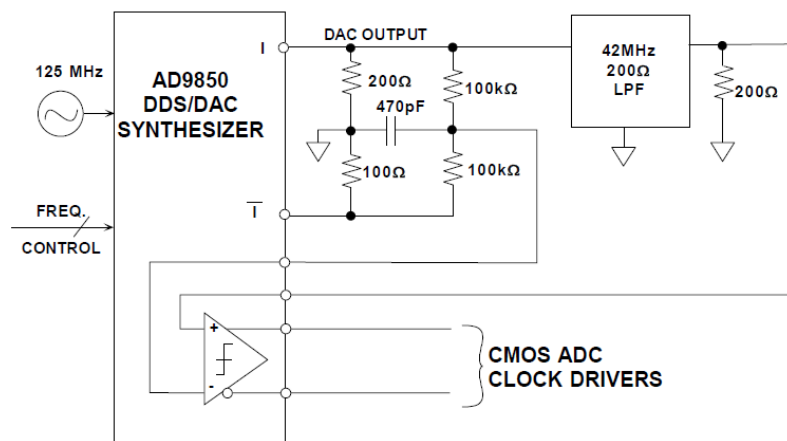
Το πλάτος της απόκρισης $\sin(x)/x$ μειώνεται σε 3,92 dB στη συχνότητα Nyquist (1/2 του ρυθμού συγχρονισμού του DAC). Στην πράξη, η συνάρτηση μεταφοράς

του φίλτρου “αντι-αναδίπλωσης» (antialiasing filter) μπορεί να σχεδιαστεί για να αντισταθμίζει την μετατόπιση του $\sin(x)/x$, έτσι ώστε η συνολική απόκριση συχνότητας να είναι σχετικά επίπεδη μέχρι τη μέγιστη συχνότητα εξόδου του DAC (γενικά $1/3$ του ρυθμού συγχρονισμού).

Ένας άλλος σημαντικός παράγοντας αποτελεί το γεγονός πως σε αντίθεση με ένα σύστημα που βασίζεται σε PLL, οι αρμονικές υψηλότερης τάξης της θεμελιώδους συχνότητας εξόδου ενός DDS συστήματος θα αναδιπλωθούν στη βασική ζώνη λόγω της παραμόρφωσης. Αυτές οι αρμονικές δεν μπορούν να αφαιρεθούν από το φίλτρο “αντι-αναδίπλωσης». Για παράδειγμα, εάν η συχνότητα ρολογιού είναι 100 MHz και η συχνότητα εξόδου είναι 30 MHz, η δεύτερη αρμονική του σήματος εξόδου των 30 MHz εμφανίζεται στα 60 MHz (εκτός ζώνης), αλλά και στα $100 - 60 = 40$ MHz (ως αλλοιωμένη συνιστώσα). Ομοίως, η τρίτη αρμονική (90 MHz) εμφανίζεται εντός ζώνης στα $100 - 90 = 10$ MHz, και η τέταρτη στα $120 - 100$ MHz = 20 MHz. Οι αρμονικές υψηλότερης τάξης εμπίπτουν επίσης στο εύρος ζώνης Nyquist (dc έως $f_s/2$). Η θέση των πρώτων τεσσάρων αρμονικών απεικονίζεται στην Εικόνα 2.13.

2.17 Συστήματα DDS ως ADC Clock Driver

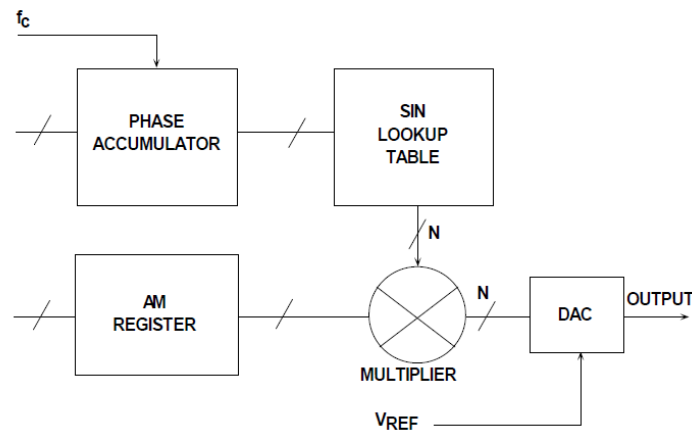
Συστήματα DDS όπως το AD9850 παρέχουν μια εξαιρετική μέθοδο παραγωγής ρολογιού δειγματοληψίας στο ADC, ειδικά όταν η συχνότητα δειγματοληψίας ADC πρέπει να είναι υπό τον έλεγχο λογισμικού και να είναι κλειδωμένη στο ρολόι του συστήματος (Εικόνα 2.14). Το αληθινό ρεύμα εξόδου του DAC I_{out} , οδηγεί ένα φίλτρο χαμηλής διέλευσης 200Ω στα 42 MHz, το οποίο τερματίζει την πηγή και το φορτίο, καθιστώντας έτσι το ισοδύναμο φορτίο στα 100Ω . Το φίλτρο αφαιρεί το θόρυβο των ψευδών συχνοτήτων άνω των 42 MHz. Η φιλτραρισμένη έξοδος οδηγεί μια είσοδο του εσωτερικού συγκριτή του AD9850. Η συμπληρωματική έξοδος ρεύματος του DAC, οδηγεί το φορτίο των 100Ω . Η έξοδος του διαιρέτη αντίστασης των $100 \text{ k}\Omega$, ανάμεσα στις δύο εξόδους είναι αποσυνδεδεμένη και παράγει την τάση αναφοράς για τον εσωτερικό συγκριτή. Η έξοδος του συγκριτή έχει χρόνο ανόδου και πτώσης της τάξης των 2 ns και δημιουργεί ένα τετραγωνικό κύμα συμβατό με TTL/CMOS. Η κυμάτωση των κορυφών εξόδου του συγκριτή είναι μικρότερη από 20 ps (rms). Στο παραπάνω κύκλωμα, η συνολική κυμάτωση εξόδου για ένα ρολόι ADC 40 MSPS είναι 50 ps (rms).



Εικόνα 2.14: Χρήση συστήματος DDS ως οδήγηση ρολογιού ADC.

2.18 Διαμόρφωση Πλάτους σε Σύστημα DDS

Η διαμόρφωση πλάτους σε ένα σύστημα DDS μπορεί να επιτευχθεί τοποθετώντας έναν ψηφιακό πολλαπλασιαστή μεταξύ του πίνακα αναζήτησης και της εισόδου DAC όπως απεικονίζεται στην Εικόνα 2.15. Μια άλλη μέθοδος διαμόρφωσης του πλάτους εξόδου του DAC είναι η μεταβολή της τάσης αναφοράς στο DAC. Στην περίπτωση του AD9850, το εύρος ζώνης του εσωτερικού ενισχυτή ελέγχου αναφοράς είναι περίπου 1 MHz. Αυτή η μέθοδος είναι χρήσιμη για σχετικά μικρές αλλαγές του πλάτους εξόδου, εφόσον το σήμα εξόδου δεν υπερβαίνει την προδιαγραφή συμμόρφωσης του +1 V.



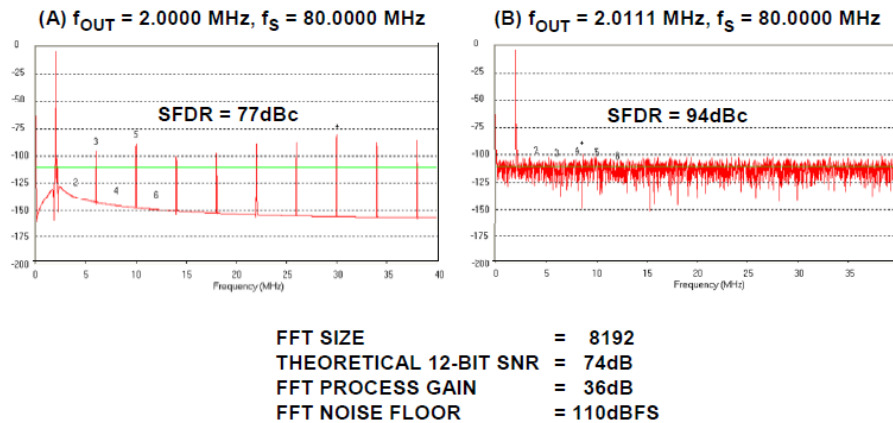
Εικόνα 2.15: Διαμόρφωση πλάτους σε σύστημα DDS

2.19 Θέματα Δυναμικού Εύρους Ελεύθερα Θορύβου Ψευδών Συχνοτήτων σε Συστήματα DDS

Σε πολλές εφαρμογές DDS, η φασματική καθαρότητα της εξόδου DAC θεωρείται πρωταρχικής σημασίας. Δυστυχώς, η μέτρηση, η πρόβλεψη και η ανάλυση αυτής της απόδοσης περιπλέκεται από έναν πολλαπλό αριθμό παραγόντων που αλληλοεπιδρούν μεταξύ τους. Ακόμη και ένα ιδανικό DAC των N-bit θα παράξει αρμονικές σε ένα σύστημα DDS. Το πλάτος αυτών των αρμονικών εξαρτάται σε μεγάλο βαθμό από τον λόγο της συχνότητας εξόδου προς τη συχνότητα ρολογιού. Αυτό συμβαίνει επειδή το φασματικό περιεχόμενο του θορύβου κβαντοποίησης DAC ποικίλλει καθώς αυτός ο λόγος διαφέρει, παρόλο που η θεωρητική τιμή του rms παραμένει ίση με $q/\sqrt{12}$ (όπου q είναι το βάρος του LSB). Η υπόθεση ότι ο θόρυβος κβαντοποίησης εμφανίζεται ως λευκός θόρυβος και κατανέμεται ομοιόμορφα στο εύρος ζώνης Nyquist απλά δεν ισχύει σε ένα σύστημα DDS (είναι καταλληλότερη υπόθεση σε ένα σύστημα που βασίζεται σε ADC), επειδή το ADC προσθέτει ένα ορισμένο ποσό του θορύβου στο σήμα που τείνει να κάνει "dither" ή να τυχαιοποιήσει το σφάλμα κβαντισμού. Ωστόσο, εξακολουθεί να υπάρχει ένας ορισμένος βαθμός συσχέτισης).

Για παράδειγμα, εάν η συχνότητα εξόδου DAC έχει ρυθμιστεί σε ένα ακριβές υποπολλαπλάσιο της συχνότητας ρολογιού, τότε ο θόρυβος κβαντοποίησης θα συγκεντρωθεί σε πολλαπλάσια της συχνότητας εξόδου, δηλαδή, εξαρτάται σε μεγάλο βαθμό από το σήμα. Εάν η συχνότητα εξόδου είναι ελαφρώς μετατοπισμένη, ο θόρυβος κβαντοποίησης γίνεται πιο τυχαίος, δίνοντας έτσι μια βελτίωση στο ενεργό SFDR. Αυτό φαίνεται στην Εικόνα 2.16 όπου υπολογίζεται

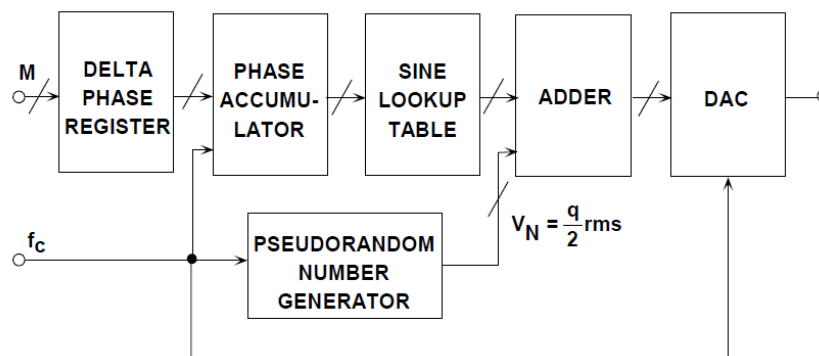
ένα σημείο FFT 4096 (4k) με βάση τα ψηφιακά δημιουργημένα δεδομένα από ένα ιδανικό DAC 12 bit. Στο αριστερό διάγραμμα (A), η αναλογία μεταξύ της συχνότητας ρολογιού και της συχνότητας εξόδου επιλέχθηκε να είναι ακριβώς 40, δίνοντας ένα SFDR περίπου 77 dBc. Στο δεξί διάγραμμα, η αναλογία ήταν ελαφρώς μετατοπισμένη και το ενεργό SFDR αυξάνεται τώρα στα 94 dBc. Σε αυτή την ιδανική περίπτωση, παρατηρείται μια αλλαγή στο SFDR κατά 17 dB απλώς αλλάζοντας ελαφρώς το λόγο της συχνότητας.



Εικόνα 2.16: Επίδραση του λόγου του ρολογιού προς τη συχνότητα εξόδου σε θεωρητικό 12-bit DAC SFDR με χρήση FFT 4096 σημείων.

Επομένως, το καλύτερο SFDR μπορεί να επιτευχθεί με προσεκτική επιλογή του ρολογιού και των συχνοτήτων εξόδου. Ωστόσο, σε ορισμένες εφαρμογές, αυτό μπορεί να μην είναι εφικτό. Στα συστήματα που βασίζονται σε ADC, η προσθήκη μικρής ποσότητας τυχαίου θορύβου στην είσοδο τείνει να τυχαιοποιεί τα σφάλματα κβαντισμού και να μειώνει αυτό το φαινόμενο.

Το ίδιο πράγμα μπορεί να γίνει σε ένα σύστημα DDS όπως απεικονίζεται στην Εικόνα 2.17. Η έξοδος της γεννήτριας ψευδοτυχαίων ψηφιακών τιμών θορύβου προστίθεται στη λέξη ημιτονοειδούς πλάτους DDS πριν φορτωθεί στο DAC. Το πλάτος του ψηφιακού θορύβου έχει ρυθμιστεί περίπου στο 1/2 LSB. Αυτό επιτυγχάνει τη διαδικασία τυχαιοποίησης εις βάρος μιας ελαφριάς αύξησης του συνολικού επίπεδου θορύβου εξόδου. Στις περισσότερες εφαρμογές DDS, ωστόσο, υπάρχει αρκετή ευελιξία στην επιλογή των διαφόρων λόγων συχνότητας, έτσι ώστε να μην απαιτείται πρόσμειξη (dither).



Εικόνα 2.17: Εισαγωγή ψηφιακού Dither σε σύστημα DDS για τυχαιοποίηση του θορύβου κβαντοποίησης και αύξηση του SFDR.

2.20 Οι Επιπτώσεις της Άμεσης Ψηφιακής Σύνθεσης στη Σχεδίαση Γεννήτριας Συναρτήσεων

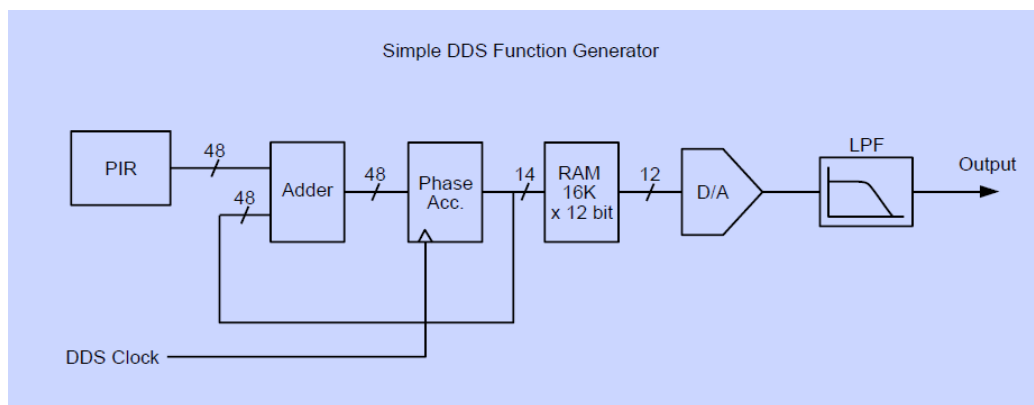
Οι γεννήτριες συναρτήσεων υπάρχουν εδώ και πολύ καιρό. Με την πάροδο του χρόνου, αυτά τα όργανα έχουν συσσωρεύσει μεγάλη λίστα χαρακτηριστικών. Ξεκινώντας με λίγα μόνο κουμπιά για τη ρύθμιση του πλάτους και της συχνότητας μιας ημιτονοειδούς κυματομορφής στην έξοδο, οι γεννήτριες συναρτήσεων παρέχουν πλέον :

- μεγαλύτερα εύρη συχνοτήτων,
- βαθμονομημένα επίπεδα εξόδου,
- ποικιλία κυματομορφών, λειτουργίες διαμόρφωσης,
- διεπαφές υπολογιστή και σε ορισμένες περιπτώσεις
- αυθαίρετες λειτουργίες.

Τα πολλά χαρακτηριστικά που έχουν προστεθεί στις γεννήτριες συναρτήσεων έχουν περιπλέξει τη σχεδίαση και αυξήσει το κόστος τους. Υπάρχει μια ευκαιρία για ριζικό επανασχεδιασμό της γνωστής γεννήτριας συναρτήσεων χρησιμοποιώντας την άμεση ψηφιακή σύνθεση (DDS). Το DDS παρέχει αξιοσημείωτη ανάλυση συχνότητας και επιτρέπει την άμεση υλοποίηση συχνότητας, φάσης και πλάτους διαμόρφωσης. Αυτά τα χαρακτηριστικά που «μπλόκαραν» τις γεννήτριες συναρτήσεων τώρα αντιμετωπίζονται με καθαρό, θεμελιώδη τρόπο μέσω του DDS.

2.21 Αρχές Σχεδιασμού Συστημάτων Άμεσης Ψηφιακής Σύνθεσης

Πολλές από τις αρχές του DDS απεικονίζονται με τον τρόπο που δημιουργείται ένα ημιτονοειδές κύμα. Το ημίτονο αποθηκεύεται σε έναν πίνακα RAM. Η συνάρτηση του ημιτόνου αποθηκεύεται σε έναν RAM πίνακα. Η έξοδος ψηφιακού ημιτόνου της RAM μετατρέπεται σε αναλογικό ημιτονοειδές κύμα από έναν Ψηφιακό Αναλογικό μετατροπέα DAC. Τα βήματα που φαίνονται στην έξοδο DAC φιλτράρονται από ένα φίλτρο χαμηλής διέλευσης για να παρέχουν μια καθαρή έξοδο ημιτονοειδούς κύματος. Η συχνότητα του ημιτονοειδούς κύματος εξαρτάται από τον ρυθμό αλλαγής των διευθύνσεων στον πίνακα RAM . Οι διευθύνσεις δημιουργούνται με την πρόσθεση μιας σταθεράς, αποθηκευμένης στον καταχωρητή αύξησης φάσης (PIR), στον συσσωρευτή φάσης. Συνήθως ο αριθμός των προσθέσεων είναι σταθερός και η συχνότητα αλλάζει με την αλλαγή του αριθμού στον (PIR).



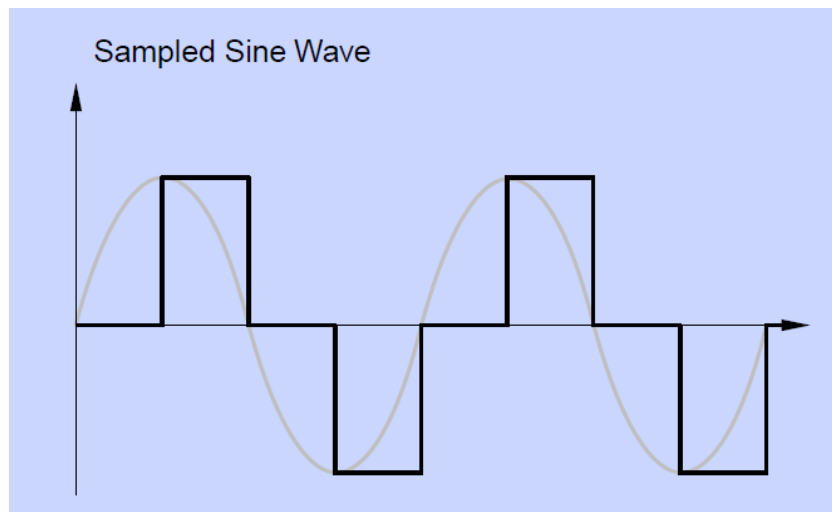
Εικόνα 2.18. Μπλοκ διάγραμμα βαθμίδων DDS γεννήτριας κυματομορφών

Η ανάλυση συχνότητας εξαρτάται από τον αριθμό των bits στο PIR. Εάν ο καταχωρητής αύξησης φάσης PIR, ο αθροιστής και ο συσσωρευτής φάσης υποστηρίζουν προσθέσεις των 48 bit, τότε η κλασματική ανάλυση της συχνότητας είναι μία σε 2^{47} , ή περίπου 1×10^{14} . Αυτό σημαίνει ότι μια γεννήτρια DDS 48-bit μπορεί να παρέχει καλύτερα από 1μHz ανάλυση Hz σε έξοδο 10 MHz.

Υπάρχουν μερικές ακόμα λεπτομέρειες που πρέπει να εξεταστούν για την κατανόηση του DDS σε αυτήν την εφαρμογή. Πρέπει να απαντηθούν ερωτήματα σχετικά με τον ρυθμό δειγματοληψίας, το μέγεθος της μνήμης RAM, την ανάλυση του DAC, τα χαρακτηριστικά του φίλτρου και τη φασματική καθαρότητα της εξόδου.

2.22 Δείγματα ανά κύκλο

Βασιζόμενοι στη διαίσθησή μας, θεωρούμε ότι απαιτείται μεγάλος αριθμός δειγμάτων για κάθε κύκλο του ημιτονοειδούς κύματος ώστε να επιτευχθεί καλή φασματική καθαρότητα της εξόδου. Το σχήμα ενός ημιτονοειδούς που προσεγγίζεται με μικρό αριθμό δειγμάτων ανά κύκλο με δυσκολία μοιάζει με ημιτονοειδές κύμα. Αξιοσημείωτο είναι ότι απαιτούνται μόνο περίπου τρία δείγματα κατά τη διάρκεια κάθε κύκλου. Στην πραγματικότητα, αν μπορούσαμε να φτιάξουμε ένα αυθαίρετα απότομο, χαμηλοπερατό φίλτρο, θα χρειαζόμασταν μόνο δύο δείγματα ανά κύκλο. Για να γίνει κατανοητό θεωρήστε την περίπτωση με τέσσερα δείγματα σε κάθε ημιτονοειδή κύκλο όπως φαίνεται στην Εικόνα 2.19.

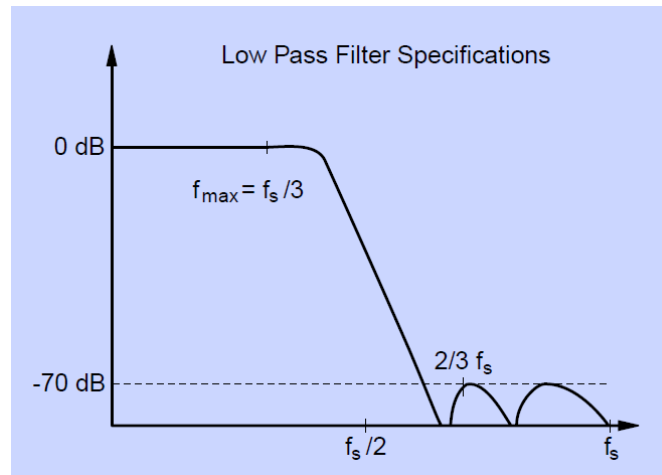


Εικόνα 2.19. Δειγματοληπτούμενο ημιτονοειδές σήμα

Το δειγματοληπτούμενο ημίτονο γίνεται ακολουθία παλμών (ή τετραγωνικό κύμα, αν η δειγματοληψία άρχισε στις 45 μοίρες αντί στις 0°). Το φάσμα Fourier αυτής της ακολουθίας παλμών έχουν συνιστώσες στα f , $2f$, $3f$ κ.λπ. Εάν μπορούσαμε να διευθετήσουμε ένα χαμηλοπερατό φίλτρο για την εξάλειψη των αρμονικών της ακολουθίας παλμών, τότε θα έχουμε το θεμελιώδες κύμα (ένα καθαρό ημίτονο στη συχνότητα f). Στη γενική περίπτωση, η δημιουργία εξόδου συχνότητας f , με δειγματοληψία f_s , η ελάχιστης συχνότητας συνιστώσα Fourier εμφανίζεται στην συχνότητα $f_s - f$. Αυτή είναι και η βασική προδιαγραφή του φίλτρου χαμηλής διέλευσης : το φίλτρο πρέπει να φιλτράρει την $f_s - f$ και να αφήνει την f .

2.23 Φίλτρα

Το παρακάτω γράφημα δείχνει την συνάρτηση μεταφοράς ενός φίλτρου χαμηλής διέλευσης. Όπως είδαμε, το φίλτρο πρέπει να περάσει την υψηλότερη συχνότητα που θέλουμε να δημιουργήσουμε (f_{max}), αλλά πρέπει να αρχίζει τη ζώνη αποκοπής του στο $f_s - f_{max}$. Φίλτρα απότομης απορρόφησης με υψηλής εξασθένησης ζώνη διακοπής, είναι δύσκολα στην κατασκευή τους. Ένας λογικός συμβιβασμός προκύπτει όταν $f_{max} = f_s/3$. Αυτό επιτρέπει στο φίλτρο μια ζώνη μετάβασης μιας οκτάβας.



Εικόνα 2.20. Χαμηλοπερατό φίλτρο για εξόδους DDS.

Η απαιτούμενη εξασθένηση στη ζώνης διακοπής, εξαρτάται από την ψευδή συνιστώσα του στοιχείου της εξόδου. Μια τυπική προδιαγραφή μιας γεννήτριας συναρτήσεων θα ήταν -70 dBc. Τα φίλτρα Caueer (ελλειπτικά) είναι μια καλή επιλογή για αυτήν την εφαρμογή. Έχουν ζώνες γρήγορης μετάβασης και μπορούν να σχεδιαστούν με πολύ χαμηλή κυμάτωση στη ζώνη διέλευσης. Οι προδιαγραφές για αυτό το παράδειγμα πληρούνται από ένα φίλτρο Caueer ένατου βαθμού.

2.24 Φίλτρα Bessel

Ενώ τα φίλτρα Caueer είναι η καλύτερη επιλογή για εφαρμογές CW, δεν μπορούν να χρησιμοποιηθούν για αυθαίρετη δημιουργία κυματομορφών. Στον πεδίο του χρόνου, τα φίλτρα Caueer έχουν πολύ άσχημη υπερβολή. Μια πολύ καλύτερη επιλογή για αυθαίρετες κυματομορφές (ή ράμπες και τριγωνικές) είναι το φίλτρο Bessel. Το φίλτρο Bessel έχει πιο αργή εκτόξευση σε σύγκριση με το φίλτρο Caueer, αλλά είναι σχεδόν γραμμικής φάσης. Η έλλειψη διασποράς σε ένα γραμμικό φίλτρο φάσης διατηρεί το σχήμα του παλμού και αποτρέπει τις αντηχήσεις στο χρονικό πεδίο. Ένα φίλτρο Bessel έβδομου βαθμού, με αποκοπή -3 dB της $f_c = f_s/4$, είναι καλή επιλογή για το φιλτράρισμα αυθαίρετων κυματομορφών. Αυτό το φίλτρο εμφανίζει χρόνο ανόδου στην έξοδο $0,35/f_c$.

2.25 Απαιτήσεις DAC και RAM

Οι μεγάλες, γρήγορες RAM και οι DAC υψηλής ταχύτητας και υψηλής ανάλυσης έχουν καταστήσει το DDS βιώσιμη τεχνολογία για εφαρμογές γεννήτριας συναρτήσεων. Πόσο μεγάλο, πόσο γρήγορο και τι αναλύσεις απαιτεί; Όπως

είδαμε, μια μέγιστη πρακτική συχνότητα εξόδου είναι η $f_s/3$. Άρα, ο συσσωρευτής φάσης του DDS, οι RAM και οι DAC πρέπει να έχουν τρεις φορές τη μέγιστη επιθυμητή συχνότητα εξόδου. Η ανάλυση του DAC εξαρτάται από την προδιαγραφή της ψευδούς συνιστώσας της έξοδου (ή την επιθυμητή αυθαίρετη ανάλυση του κύματος). Το σφάλμα κβαντισμού του DAC και οι μη γραμμικότητες οδηγούν σε ψευδής εξόδους. Για να πάρετε μια πρόχειρη ιδέα για το μέγεθος της ψευδούς συνιστώσας συχνότητας, συνειδητοποιήστε η πηγή αυτών των ψευδών συνιστωσών της έξοδου είναι η διαφορά μεταξύ της πραγματικής έξοδου του DAC και της επιθυμητής ημιτονικής έξοδου. Έτσι ένας DAC των 12-bit, που είναι γραμμικός και μονοτονικός ως 2 LSBs, θα φθάσει να έχει σφάλματα εξόδου της τάξης ένα προς 2048, ή περίπου -66 dB. Ένας μικρός πίνακας RAM είναι ένας άλλος τρόπος για να πάρουμε λανθασμένη τιμή από το DAC. Για να αποφευχθεί ο «θόρυβος κβαντοποίησης φάσης», πρέπει να υπάρχουν δύο ακόμη bits διευθυνσιοδότησης στη μνήμη RAM, από τα bit του DAC.

2.26 Επέκταση Εύρους συχνοτήτων

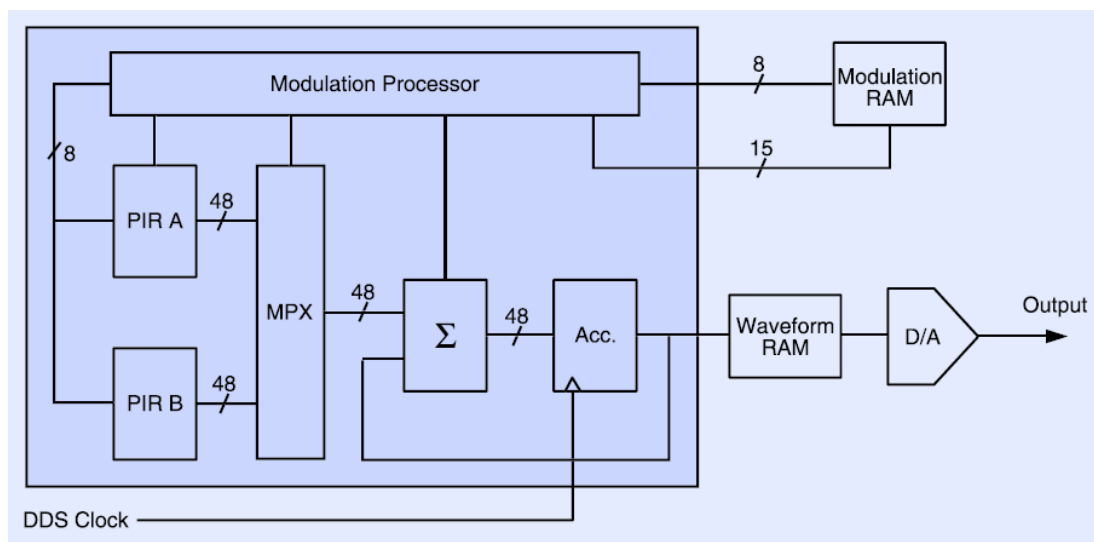
Το εύρος συχνοτήτων της έξοδου DDS μπορεί να επεκταθεί με ποικίλες τεχνικές. Ανάλογα με την τεχνική που χρησιμοποιείται, μερικά από πλεονεκτήματα του DDS μπορεί να χαθούν. Όπως ακριβώς με τα συμβατικά συνθεσάιζερ συχνοτήτων, η έξοδος του DDS μπορεί να διπλασιαστεί ή, να ανακατευτεί με άλλες σταθερές πηγές ή να χρησιμοποιηθεί ως αναφορά σε PLL.

2.27 Τεχνικές διαμόρφωσης

Η δύναμη και η κομψότητα του DDS είναι πιο εμφανείς όταν απαιτείται διαμορφωμένη πηγή. Η συχνότητα της έξοδου μπορεί να αλλάξει στιγμιαία σε οποιαδήποτε συχνότητα από DC έως f_{max} με απλή αλλαγή του αριθμού στον καταχωρητή αύξησης φάσης. Το επόμενο γράφημα δείχνει το μπλοκ διάγραμμα του συσσωρευτή φάσης ενός DDS με προγραμματιζόμενες δυνατότητες διαμόρφωσης. Αυτός ο συσσωρευτής φάσης, ο οποίος έχει βελτιστοποιηθεί για εφαρμογές γεννήτριας συναρτήσεων, έχει δύο καταχωρητές αύξησης φάσης: PIRA και PIRB. Ένας πολυπλέκτης των 48 bit μπορεί να εναλλάσσει τα PIRs σε έναν μόνο κύκλο ρολογιού. Ο επεξεργαστής διαμόρφωσης μπορεί να τροποποιήσει τα PIR με ρυθμό έως και 10 εκατομμύρια byte το δευτερόλεπτο, γεμίζοντας το ένα PIR ενώ το άλλο χρησιμοποιείται σαν είσοδος στον αθροιστή.

Σύνθετα προγράμματα διαμόρφωσης μπορούν να αποθηκευτούν στη μνήμη διαμόρφωσης RAM. Αυτή η μνήμη RAM περιέχει κωδικούς λειτουργίας και δεδομένα για τον επεξεργαστή διαμόρφωσης. Οι σαρώσεις συχνότητας απεικονίζουν τη λειτουργία αυτού του επεξεργαστή. Όταν προγραμματίζεται μία σάρωση συχνότητας καταγραφής, από το κεντρικό σύστημα, αποθηκεύεται μια λίστα μέχρι 4000 διακριτές συχνότητες στη RAM διαμόρφωσης. Ο επεξεργαστής διαμόρφωσης τροποποιεί το PIRA ενώ ο αθροιστής χρησιμοποιεί PIRB και αντίστροφα. Μπορούν να αποθηκευτούν πιο πολύπλοκα προγράμματα διαμόρφωσης, όπως διαμόρφωση συχνότητας για οποιαδήποτε αυθαίρετη συνάρτηση, γραμμική ή λογαριαθμικών σαρώσεων, μεταπήδησης συχνότητας κ.λπ. Η διαμόρφωση φάσης γίνεται εύκολα προγραμματίζοντας το PIRA με την ονομαστική συχνότητα και χρησιμοποιώντας το PIRB, το οποίο περιέχει την

ονομαστική αύξηση φάσης συν οποιαδήποτε επιθυμητή μετατόπιση φάσης, για έναν μόνο κύκλο ρολογιού. Οι μεγάλες αποκλίσεις συχνότητας ή φάσης δεν αποτελούν πρόβλημα. Οποιοδήποτε μεταπήδηση φάσης ή συχνότητας μπορεί να προγραμματιστεί και να εκτελεστεί σε έναν μόνο κύκλο ρολογιού. Και επειδή τα PIR μπορούν να τροποποιηθούν πολύ γρήγορα, είναι δυνατές συχνότητες διαμόρφωσης έως και αρκετές εκατοντάδες kilohertz. Στην πραγματικότητα, μπορεί να αποθηκευτούν προγράμματα αυθαίρετης διαμόρφωσης. Αυτή η δυνατότητα επιτρέπει τη χρήση της γεννήτριας λειτουργιών για: δοκιμές μόντεμ, στις επικοινωνίες, για τον προσδιορισμό του ρυθμού σφάλματος bit κ.λπ.



Εικόνα 2.21. Συσσωρευτής φάσης DDS με επεξεργαστή διαμόρφωσης.

2.28 Διαμόρφωση εύρους

Υπάρχουν δύο προσεγγίσεις για τη διαμόρφωση πλάτους της κυματομορφής εξόδου. Είτε οι ψηφιακές έξοδοι από τη μνήμη RAM είτε η αναλογική έξοδος από το DAC μπορούν να πολλαπλασιαστούν με το επιθυμητό πλάτος. Η δεύτερη προσέγγιση είναι καλύτερη για γεννήτριες συναρτήσεων, έτσι ώστε να μπορεί να χρησιμοποιηθεί είτε εσωτερική είτε εξωτερική πηγή για διαμόρφωση πλάτους.

2.29 Αυθαίρετες Λειτουργίες

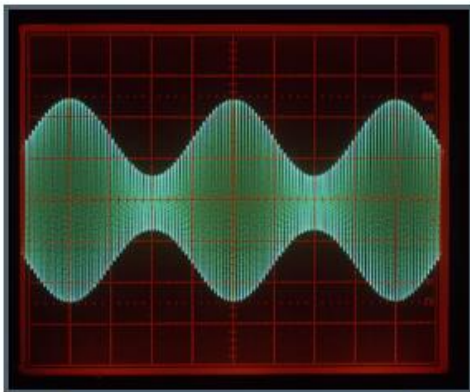
Ένα από τα άμεσα οφέλη της αρχιτεκτονικής DDS είναι ότι η αυθαίρετη δημιουργία κυματομορφών γίνεται εύκολα. Αντί να αποθηκεύεται ένας ημιτονοειδής πίνακας στη μνήμη κυματομορφών RAM, αποθηκεύεται μια λίστα αυθαίρετων τιμών. Ο συσσωρευτής φάσης είναι προγραμματισμένος να περνά μέσα από τις αποθηκευμένες τιμές, μία κάθε φορά, για να αναπαράγει την επιθυμητή κυματομορφή μέσω του DAC εξόδου. Η δυνατότητα αυθαίρετης κυματομορφής του DDS απλοποιεί το έργο της δημιουργίας των άλλων «τυποποιημένων» κυματομορφών που βρίσκονται στις γεννήτριες συναρτήσεων. Η ράμπα, η πριονωτή κυματομορφή, ακόμη και ο Gaussian λευκός θόρυβος μπορεί να δημιουργηθούν αλλάζοντας τη λίστα τιμών στη μνήμη κυματομορφών RAM. Ο συσσωρευτής φάσης πρέπει να έχει σχεδιαστεί για να υποστηρίζει αρκετούς τρόπους που απαιτούνται για αυθαίρετες κυματομορφές. Ο ρυθμός με τον οποίο ανακτώνται οι τιμές RAM μπορεί να αλλάξει χρησιμοποιώντας απλώς

μια διαφορετική τιμή PIR. Ωστόσο χαρακτηριστικά όπως: μεταβλητό μήκος εγγραφών, συναρτήσεις σκανδαλισμού και διευθυνσιοδότηση κυκλικής σειράς, είναι μοναδικά για την αυθαίρετη δημιουργία συναρτήσεων. Όπως αναφέρθηκε προηγουμένως, ένα φίλτρο Bessel απαιτείται για αυθαίρετη δημιουργία κυματομορφής. Το φίλτρο Bessel θα εξομαλύνει τις βαθμίδες (σκαλοπάτια) στην έξοδο του DAC. Με συχνότητα αποκοπής -3 dB , f_c , για $f_s/4$, η έξοδος θα δείξει έναν ελεγχόμενο χρόνο ανόδου $0,35/f_c$ χωρίς υπέρβαση.

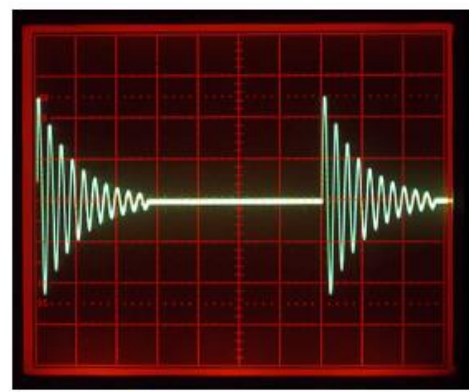
2.30 Κυματομορφές Εξόδου

Οι κυματομορφές (παλμοί) είναι μια ειδική περίπτωση για το DDS. Θα μπορούσε κανείς να σκεφτεί ότι ένας παλμός θα μπορούσε να δημιουργηθεί με τη φόρτωση $+1$ και -1 στη μνήμη της RAM κυματομορφής. Πράγματι μπορεί, αλλά με τον ατυχή περιορισμό ότι οι ακμές των παλμών πρέπει να είναι σύγχρονες με το ρολόι δειγματοληψίας του DDS. Αυτός ο περιορισμός περιορίζει αρκετά την ανάλυση των διαθέσιμων συχνοτήτων: ειδικά στις υψηλές συχνότητες.

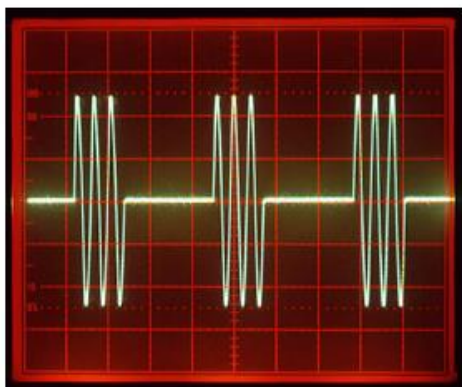
Μια πολύ καλύτερη προσέγγιση για τη δημιουργία τετραγωνικών παλμών είναι να δημιουργηθεί ένα καθαρό ημιτονοειδές κύμα και στη συνέχεια να γίνει διαχωρισμός του ημιτονοειδούς σε τετραγωνικό παλμό. Με αυτόν τον τρόπο, οι τετραγωνικοί παλμοί θα έχουν το ίδιο εύρος συχνοτήτων και την ίδια ανάλυση με τα ημιτονοειδή κύματα.



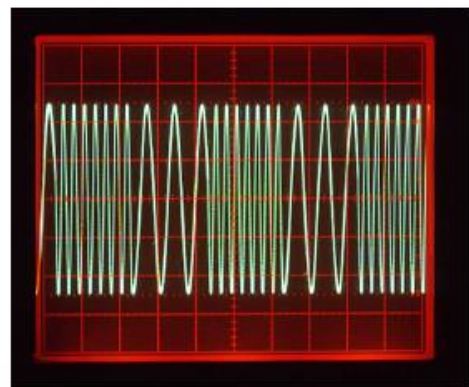
Διαμόρφωση πλάτους ημίτονο προς ημίτονο



Αυθαίρετες κυματομορφές



Ημιτονοειδής έκρηξη τριών κύκλων



FSK ημίτονου

Εικόνα 2.22. Αρμονικά μεταβαλλόμενες κυματομορφές από γεννήτρια DDS σήματος.

2.31 Ενισχυτές εξόδου

Ο ενισχυτής εξόδου που χρησιμοποιείται σε μια γεννήτρια συναρτήσεων DDS πρέπει να πληροί αυστηρές απαιτήσεις. Προκειμένου να διατηρηθούν οι κυματομορφές που δημιουργούνται στον αυθαίρετο τρόπο λειτουργίας, ο ενισχυτής πρέπει να έχει μια ευρεία και επίπεδη ζώνη διέλευσης και να εμφανίζει μια γραμμική απόκριση φάσης πολύ πέρα από τη συχνότητα αποκοπής του φίλτρου Bessel. Το εύρος ζώνης του ενισχυτή καθορίζει επίσης τον χρόνο ανόδου του τετραγωνικού κύματος εξόδου. Και εδώ, απαιτείται μια καλή συμπεριφορά (γραμμικότητα φάσης) απαιτείται rolloff για να αποτραπεί η υπέρβαση στο τετραγωνικό κύμα εξόδου. Τέλος, ο ενισχυτής εξόδου πρέπει να μπορεί να μεταφέρει 10 V_{pp} σε 50Ω φορτίο, ικανοποιώντας τις προδιαγραφές παραμόρφωσης και κανονικοποίησης και να έχει προστασία από βραχυκυκλώματα ή στην σύνδεση με εξωτερικά τροφοδοτικά. Ο ενισχυτής εξόδου θα πρέπει να έχει 50 Ω αντίσταση εξόδου ανεξάρτητα από τη ρύθμιση της στάθμης εξόδου. Για τη δημιουργία χαμηλών επιπέδων σήματος, οι περισσότερες γεννήτριες συναρτήσεων διαθέτουν εξασθενητές εξόδου. Οι εξασθενητές επιτρέπουν στον ενισχυτή εξόδου να λειτουργεί εντός περιορισμένου εύρους επιπέδων εξόδου, έτσι ώστε η παραμόρφωση και ο λόγος σήματος προς θόρυβο να παραμένουν σταθερά καθώς αλλάζουν τα επίπεδα εξόδου.

2.32 Μη γειωμένη Γεννήτρια

Πολλές εφαρμογές απαιτούν οι γεννήτριες συναρτήσεων να είναι σε θέση να παρέχουν ένα σήμα σε ένα φορτίο που δεν έχει γείωση. Ακόμα κι αν το φορτίο αναφέρεται ονομαστικά στη γείωση, μια μη γειωμένη έξοδος γεννήτριας θα παρέχει ένα πολύ καθαρότερο σήμα επειδή οι βρόχοι γείωσης του συστήματος εξαλείφονται. Είναι σημαντικό η θωράκιση εξόδου της γεννήτριας να μη γειώνεται κάτω από οποιεσδήποτε συνθήκες - ακόμη και όταν η γεννήτρια λειτουργιών είναι συνδεδεμένη σε ελεγκτή GPIB ή εάν μια εξωτερική αναφορά συχνότητας είναι συνδεδεμένη στο όργανο.

2.33 ASIC

Το DDS παρέχει μια νέα, καθαρή, σχεδιαστική προσέγγιση για γεννήτριες συναρτήσεων. Μεγάλο μέρος των αναλογικών «τμημάτων» που απαιτούνται για τις γεννήτριες συναρτήσεων διαχειρίζονται τα ψηφιακά λογικά κυκλώματα. Δυστυχώς, αυτά τα λογικά κυκλώματα είναι μεγάλα, περίπλοκα και πρέπει να λειτουργούν γρήγορα. Για παράδειγμα, ένα DDS 15 MHz απαιτεί έναν αθροιστή 48-bit που λειτουργεί στα 40 MHz με πολλή λογική διασύνδεση. Ευτυχώς, τα ολοκληρωμένα κυκλώματα για συγκεκριμένες εφαρμογές (ASIC) παρέχουν μια λύση χαμηλού κόστους. Ένα πρωτότυπο συσσωρευτή φάσης TTL που σχεδιάστηκε νωρίτερα απαιτούσε περίπου 150 ICs. Το πρωτότυπο μόλις μπορούσε να λειτουργήσει με ρολόι 10 MHz. Μια συστοιχία πύλης CMOS του ίδιου σχεδιασμού κατασκευάστηκε σε πλαστική συσκευασία PLCC 68 ακίδων. Η συστοιχία πύλης λειτουργεί στα 40 MHz (τη χειρότερη περίπτωση), απαιτεί ισχύ 0,25 watt περίπου και έχει κόστος μικρότερο από 10 ευρώ περίπου.

Κεφάλαιο 3^ο

Η μονάδα του μΕλεγτή PIC18F1220 του κωδικοποιητή Stereo

Μικροελεγκτής PIC18F1X20 18/20/28 -Pin High-Performance ,Enhanced Flash MCUs με 10-bitA/D

3.1 Μικροελεγκτής - Ανασκόπηση Βασικών Χαρακτηριστικών

Ένας μικροελεγκτής ως γνωστόν, είναι ένα μικρό υπολογιστικό κύκλωμα, σχεδιασμένο σε ένα μόνο ολοκληρωμένο κύκλωμα υψηλής κλίμακας ολοκλήρωσης. Όπως κάθε υπολογιστικό κύκλωμα, περιέχει κεντρική μονάδα επεξεργασίας, έναν αριθμό καταχωρητών, κυκλώματα μνήμης και κυκλώματα ελέγχου περιφερειακών συσκευών. Κάθε μικροελεγκτής είναι ικανός να ανταλλάξει σήματα με το εξωτερικό περιβάλλον, να εκτελέσει πράξεις ανάμεσα σε μεταβλητές και να καταχωρήσει κάποιες τιμές στη μνήμη RAM που διαθέτει. Κάθε μικροελεγκτής περιέχει μέσα σε ένα ολοκληρωμένο κύκλωμα τα παρακάτω στοιχεία:

- Ικανό αριθμό από καταχωρητές ειδικού σκοπού (συσσωρευτή, καταχωρητή κατάστασης, μετρητή προγράμματος, καταχωρητή εντολών, καταχωρητή δείκτη)
- Εσωτερικούς χρονιστές - απαριθμητές.
- Αριθμητική και λογική μονάδα (ALU).
- Μονάδα αποκωδικοποίησης εντολών.

Βασικά στοιχεία ενός μικροελεγκτή αποτελούν:

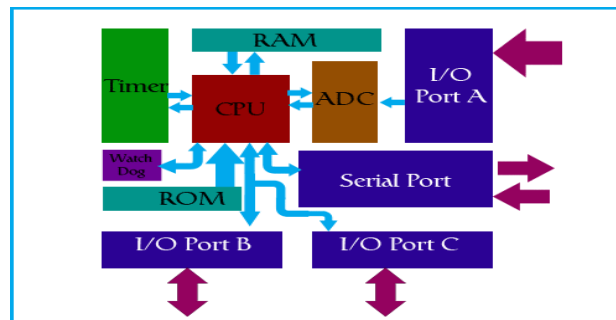
- Η μνήμη προγράμματος (ROM ή EEPROM)
- Η μνήμη καταχωρητών / μεταβλητών (RAM).
- Οι θύρες εισόδου/εξόδου
- Επιπρόσθετα περιφερειακά κυκλώματα (UART, A/D μετατροπείς κλπ.)

Το βασικό γνώρισμα της μνήμης RAM (Random Access Memory), είναι ότι είναι πτητική μνήμη δηλαδή το περιεχόμενο της χάνεται όταν διακοπεί η τροφοδοσία. Αντίθετα η μνήμη ROM (Read Only Memory) είναι μη πτητική μνήμη αφού το περιεχόμενό της δεν χάνεται στη περίπτωση που διακοπεί η τροφοδοσία και αντικείμενο της είναι μόνο η ανάγνωση διότι τα δεδομένα της δεν αλλάζουν. Η μνήμη Flash EEPROM είναι ηλεκτρικά διαγραφόμενη και προγραμματιζόμενη (electrically erasable programmable) μνήμη (η λέξη flash δηλώνει ότι η μνήμη λειτουργεί με ψηλή ταχύτητα κατά τη διαγραφή και τον προγραμματισμό). Η διαγραφή και ο προγραμματισμός της μνήμης Flash του ολοκληρωμένου μπορεί να γίνει χιλιάδες φορές. Οι χρονιστές/απαριθμητές είναι μετρητές οι οποίοι αυξάνονται ή μειώνονται κατά μια μονάδα με σταθερή συχνότητα από το σήμα του ρολογιού. Οι δίαυλοι είναι τα τμήματα που μεταφέρουν τις πληροφορίες από την CPU στις μνήμες και στις περιφερειακές μονάδες εισόδου και εξόδου.

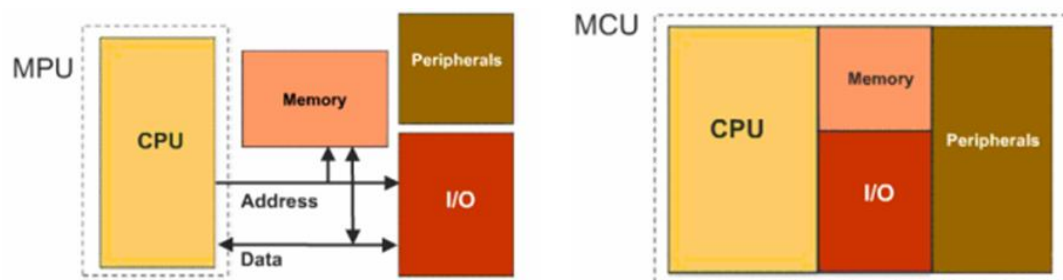
Μέσα από τις θύρες εισόδου/εξόδου (I/O), ένας μικροελεγκτής μπορεί να δέχεται σήματα εισόδου με τη μορφή λογικών ψηφιακών καταστάσεων, χαρακτήρων ή bytes δεδομένων με την τεχνική της ασύγχρονης ή της σύγχρονης σειριακής επικοινωνίας, σήματα διακοπών, ή σε ορισμένες περιπτώσεις και αναλογικά σήματα, τα οποία στη συνέχεια μετατρέπονται σε ψηφιακά με A/D μετατροπέα. Επίσης μπορεί να αποστέλλει σήματα σε άλλες συσκευές μέσα από τις θύρες εξόδου και να οδηγεί ηλεκτρονόμους, διόδους LED και άλλα κατάλληλα κυκλώματα, που συνήθως περιλαμβάνονται σε κάθε μορφής αυτοματισμό. Οι μικροελεγκτές χαρακτηρίζονται από ένα περιορισμένο ρεπερτόριο εντολών, οι οποίες μπορούν να γραφούν σε συμβολική μορφή (assembly), με τη βοήθεια μνημονικών ονομάτων.

3.2 Διαφορές Μικροελεγκτών – Μικροεπεξεργαστών

Ο μικροελεγκτής είναι ένα μικρό αυτόνομο υπολογιστικό σύστημα, προγραμματισμένο να εκτελεί μία συγκεκριμένη λογική ακολουθία εντολών, οι οποίες έχουν καταχωρηθεί στην προγραμματιζόμενη μόνιμη μνήμη του. Κάθε φορά που θα επανεκκινείται ο μικροελεγκτής, θα εκτελεί την ίδια λογική. Θα ανακαλεί τα δεδομένα, θα τα επεξεργάζεται και με βάση τα αποτελέσματα της επεξεργασίας θα ελέγχει το περιβάλλον του. Πρόκειται, δηλαδή, για σύστημα ειδικού σκοπού, αφιερωμένο (dedicated) στον έλεγχο και την εξυπηρέτηση ενός συγκεκριμένου αυτοματισμού. Αντίθετα, ένας μικροεπεξεργαστής μετά την εκκίνησή του δεν είναι από μόνος του σε θέση να εκτελέσει κάποια λογική ακολουθία. Αν και μπορεί να συνδεθεί με μνήμες RAM και ROM, αυτές αποτελούν ξεχωριστές μονάδες, που συνήθως δεν ολοκληρώνονται μέσα στον ίδιο τον μικροεπεξεργαστή. Οι διαφορές αυτές φαίνονται στο Σχ. 3.2.



Σχήμα 3.1: Το διάγραμμα ενός μικροελεγκτή (MCU)



Σχήμα 3.2: Διαφορές ανάμεσα σε σύστημα μικροεπεξεργαστή (MPU) και μικροελεγκτή (MCU).

3.3. Οι μικροελεγκτές PIC18F1220 και PIC18F1320 της MICROCHIP

Η οικογένεια μικροελεγκτών PIC18F με προσθήκη προγράμματος μνήμης Flash, υψηλής αντοχής, είναι ιδανικοί για υπολογιστικές εφαρμογές υψηλής τεχνολογίας σε οικονομική τιμή. Στην παρούσα ενότητα θα γίνει η περιγραφή του μικροελεγκτή PIC18F1220 οπού μαζί με τους υπόλοιπους της οικογένειας PIC18 προσφέρουν ένα βελτιωμένο περιβάλλον σχεδίασης που τον κάνει κατάλληλο για εφαρμογές που απαιτούν υψηλή απόδοση και με ευαισθησία στην ισχύ. Η σειρά PIC18F1X20 κυκλοφορεί σε τρεις συσκευασίες: 18 Pin PDIP -SOIC, 20 Pin SSOP και 28 Pin QFN.

3.5 Χαρακτηριστικά του PIC18F1X20

3.5.1 Τάση Τροφοδοσίας - VDD (Supply voltage)

Από το φυλλάδιο πληροφοριών (datasheet) των μικροελεγκτών PIC18F1220 και PIC18F1320 της Microchip βλέπουμε ότι η τάση τροφοδοσίας είναι στα 5V. Η τάση τροφοδοσίας είναι ένα από τα πρωταρχικά τεχνικά χαρακτηριστικά της λειτουργίας ενός μικροελεγκτή. Ειδικότερα οι μικροελεγκτές PIC18F2620 και PIC18F1320, μπορούν να λειτουργήσουν με τάση τροφοδοσίας από 4,2-5,5 V.

3.5.2 Χρονισμός

Ο χρονισμός ενός μικροελεγκτή καθορίζει και την ταχύτητα επεξεργασίας του. Η σειρά PIC18F1X20 υποστηρίζει 10 ταχύτητες χρονισμού LP, XT, HS έως 25 MHz και HSPLL έως 40 MHz, με την χρήση 2 πυκνωτών και ενός κρυστάλλου. Υποστηρίζει επίσης και σύνδεση με εξωτερικό ρολόι. Αναλυτικότερα το εσωτερικό Block χρονισμού παρέχει τις παρακάτω εσωτερικές επιλεγόμενες συχνότητες: 31, 125, 250, 500 kHz, και 1,2, 4, 8 MHz.

3.5.3 Αναλογικό / Ψηφιακός Μετατροπέας (A/D)

Ο αναλογικό/ψηφιακός μετατροπέας της οικογένειας PIC18FX220 έχει 7 εισόδους. Η μετατροπή A/D του σήματος της τάσης εισόδου σε ψηφιακό γίνεται σε 10 bit ψηφιακό αριθμό. Η A/D εσωτερική μονάδα έχει την δυνατότητα προγραμματιζόμενου χρόνου δειγματοληψίας. Η μονάδα A/D έχει πέντε καταχωρητές.

3.5.4 Μνήμη PIC18F1X20

Η οικογένεια μικροελεγκτών PIC18F1X20 διαθέτει τρία είδη μνήμης:

- ✓ Μνήμη προγράμματος Flash έως 8K
- ✓ Μνήμη δεδομένων SRAM έως 256 B
- ✓ Μνήμη δεδομένων EEPROM 256 B

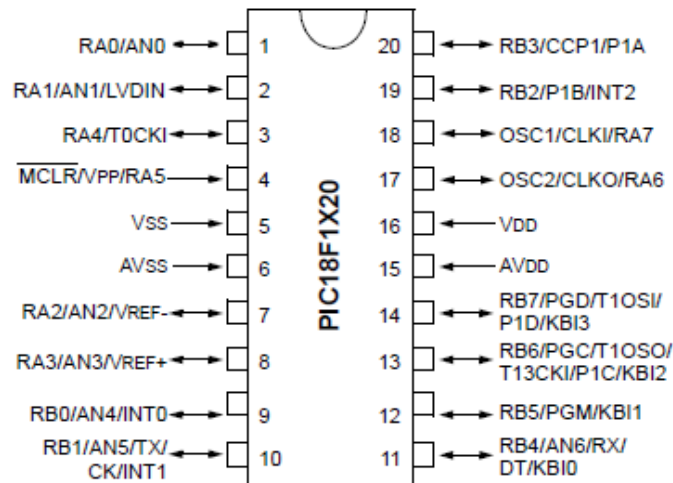
Device	Program Memory		Data Memory	
	Flash (bytes)	# Single-Word Instructions	SRAM (bytes)	EEPROM (bytes)
PIC18F1220	4K	2048	256	256
PIC18F1320	8K	4096	256	256

Σχήμα 3.3. Πίνακας με μνήμες PIC18F1X20.

3.5.5 Θύρες Εισόδου –Εξόδου I/O

Η οικογένεια μικροελεγκτών PIC18F1X20 διαθέτει έως 2 θύρες εισόδου – εξόδου. Κάθε θύρα χρησιμοποιεί 3 καταχωρητές :

- ✓ TRIS: κατεύθυνσης δεδομένων
- ✓ PORT: διαβάζει τους ακροδέκτες και
- ✓ LAT: καταχωρητής εξόδου



Σχήμα 3.4. Διάγραμμα ακροδεκτών του μικροελεγκτή PIC18F1X20 σε SSOP συσκευασία.

3.5.6 Τεχνικά χαρακτηριστικά του PIC18F1X22

- Συχνότητα λειτουργίας DC-40MHZ
- Μνήμη προγράμματος Program Memory - 8192bytes
- Μνήμη δεδομένων -256 bytes
- Μνήμη EEPROM- 256 bytes
- Μνήμη Flash - έως 8 Kbytes
- 4 Μετρητές-Timers
- 15 I/O (Αριθμός χρονοδιακοπών) Ports A, B,
- Μετατροπέας A/D 10 bit ADC 7 καναλιών
- Σειριακή επικοινωνία EUSART
- Μέγιστη τάση τροφοδοσίας 5,5 V
- Ελάχιστη τάση τροφοδοσίας 4,2 V
- Εύρος θερμοκρασίας λειτουργίας: -40°C έως +85°C Industrial έκδοση
- Εύρος θερμοκρασίας λειτουργίας: -40°C έως +125°C Enhanced έκδοση

Features	PIC18F1220	PIC18F1320
Operating Frequency	DC – 40 MHz	DC – 40 MHz
Program Memory (Bytes)	4096	8192
Program Memory (Instructions)	2048	4096
Data Memory (Bytes)	256	256
Data EEPROM Memory (Bytes)	256	256
Interrupt Sources	15	15
I/O Ports	Ports A, B	Ports A, B
Timers	4	4
Enhanced Capture/Compare/PWM Modules	1	1
Serial Communications	Enhanced USART	Enhanced USART
10-bit Analog-to-Digital Module	7 input channels	7 input channels
Resets (and Delays)	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), MCLR (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), MCLR (optional), WDT
Programmable Low-Voltage Detect	Yes	Yes
Programmable Brown-out Reset	Yes	Yes
Instruction Set	75 Instructions	75 Instructions
Packages	18-pin SDIP 18-pin SOIC 20-pin SSOP 28-pin QFN	18-pin SDIP 18-pin SOIC 20-pin SSOP 28-pin QFN

Σχήμα 3.4. Πίνακας τεχνικών χαρακτηριστικών των μικροελεγκτών σειράς PIC18F1X20

3.5.7 Διαχείριση ισχύος στους μικροελεγκτές PIC18F1X20

Η οικογένεια PIC18F1X20 υποστηρίζει τα παρακάτω επίπεδα διαχείρισης ισχύος:

- Εναλλακτική λειτουργία (alternate Run mode): με μείωση κατανάλωσης ισχύος έως 90%
- Πολλαπλής αδράνειας λειτουργία: με κατανάλωση έως 4% της κανονικής ισχύος λειτουργίας
- Λειτουργία πτήσης: με δυνατότητα ενεργοποίησης από τον χρήστη και
- Χαμηλότερης κατανάλωσης βασικών μονάδων όπως του χρονοιστή 1 και του Watchdog

3.6 Μπλοκ διάγραμμα του PIC18F1X20 και ανάλυση

Στο παρακάτω διάγραμμά παρουσιάζεται η δομή του PIC18F1X20. Στο δεξί μέρος του σχεδίου φαίνονται οι 2 θύρες εισόδου /εξόδου PORT A, PORT B. Στο κάτω μέρος είναι οι 4 μετρητές (timers), ο 10bitος ADC μετατροπέας και η μνήμη δεδομένων EEPROM.

Οι χρονοιστές /απαριθμητές είναι μονάδες που αυξάνουν την τιμή τους κάθε μία συγκεκριμένη χρονική διάστημα ή μετρούν την ποσότητα των παλμών που δέχεται ένα pin του μικροελεγκτή. Χρησιμοποιούνται συνήθως όταν απαιτείται να ενεργήσει ο μ-ελεγκτής με κάποιον τρόπο έπειτα από κάποιο χρονικό διάστημα ή για την καταμέτρηση κάποιων παλμών από έναν αισθητήρα. Η οικογένεια PIC18F1X20 διαθέτει 4 ανεξάρτητους μεταξύ τους Χρονοιστές /απαριθμητές οι οποίοι είναι : Timer0, Timer1, Timer2 και Timer3.

Timer 0: έχει τις παρακάτω δυνατότητες: Λειτουργεί είτε ως χρονόμετρο είτε ως μετρητής 8/16-bit μέσω Software ρύθμισης. Διαθέτει προγραμματιζόμενο προμετρητή - prescaler που μπορεί να διαιρέσει με τις τιμές από 2 έως 256, ώστε το ρολόι που παράγει παλμούς να συμβαδίζει με τις εσωτερικές εντολές του μικροελεγκτή. Όταν λειτουργεί ως χρονόμετρο, αν δεν έχει εφαρμοστεί prescaler, με κάθε παλμό ρολογιού θα έχουμε και μία αύξηση τιμής του Timer 0. Διαθέτει επιλογή εσωτερικού - εξωτερικού ρολογιού. Σε περίπτωση υπερχείλισης μπορεί να προκαλεί διακοπή.

Timer 1: Με τις παρακάτω δυνατότητες: λειτουργεί ως χρονόμετρο και ως μετρητής. Σε αντίθεση με τον Timer0 διαθέτει μετρητή μήκους 16 bit. Αποτελείται από 2 καταχωρητές των 8bit, τον TMR1H και τον TMR1L, οι οποίοι μπορούν να διαβάσουν δεδομένα. Η επιλογή του παλμού (bit) του ρολογιού (TMR1CS) καθορίζει την πηγή του ρολογιού (εσωτερικό ή εξωτερικό ρολόι). Έχει δυνατότητα διακοπής σε περίπτωση υπερχείλισης. Έχει δυνατότητα επανεκκίνησης της μέτρησης ενεργοποίηση ειδικού συμβάντος από την μονάδα CCP. Μπορεί να λειτουργήσει ως κύρια πηγή χρονισμού του συστήματος.

Timer 2: Εκτός από τον καταχωρητή χρόνου των 8bit (TMR2) έχει και καταχωρητή εγγραφής περιόδου των 8 bit (PR2). Και οι δυο καταχωρητές (χρόνου και περιόδων) μπορούν και να διαβαστούν και να υποστούν επεξεργασία. Διαθέτει προγραμματιζόμενο προμετρητή, prescaler, (1:1, 1:4 και 1:16). Διαθέτει προγραμματιζόμενο μεταμετρητή, postscaler (1:1 έως 1:16). Ο T2CON καταχωρητής ελέγχει τον Timer2 μέσω της ενεργοποίησης είτε απενεργοποίησης του χρονομέτρου και καθορίζει τον προγραμματιζόμενο προμετρητή και τον μεταμετρητή postscaler του. Διαθέτει δυνατότητα ενεργοποίησης απενεργοποίησης μέσω του TMR2ON (bit ελέγχου) για εξοικονόμηση ενέργειας. Χρησιμοποιείται ως PWM βάση χρόνου για την PWM λειτουργία της μονάδας CCP (Συλλογής /Σύγκρισης/Παραγωγής παλμών).

Timer 3: Επιλογή λειτουργίας του είτε ως χρονόμετρο των 16bit είτε ως μετρητής. Διαθέτει 2 καταχωρητές των 8bit τους TMR3H και TMR3L οι οποίοι μπορούν εξίσου να μεταβληθούν και να αναγνωστούν. Δυνατότητα επιλογής της πηγής του ρολογιού, εσωτερική πηγή ή εξωτερική πηγή δηλαδή κάποια συσκευή. Σε υπερχείλιση προκαλείται διακοπή. Επανεκκίνηση της μέτρησης με την ενεργοποίηση ειδικού συμβάντος CCP. Ο καταχωρητής T3CON είναι αυτός που καθορίζει τη λειτουργία του Timer3.

Data Memory - Μνήμη RAM: Η Data Memory - Μνήμη RAM βρίσκεται πάνω και δεξιά στο δομικό διάγραμμα του μικροελεγκτή. Η μνήμη του προγράμματος δηλαδή η μνήμη Flash (4 Kb για τον PIC18F1220 και 8 Kb για τον PIC18F1320) βρίσκεται στα αριστερά του διαγράμματος.

CPU: Στη μέση του δομικού διαγράμματος είναι η κεντρική μονάδα επεξεργασίας **CPU** που αποτελεί τον πυρήνα και τη βάση εργασίας του μικροελεγκτή. Η κεντρική μονάδα επεξεργασίας του PIC18F1X20 είναι των 8 bit.

Η κεντρική μονάδας επεξεργασίας αποτελείται από τα παρακάτω στοιχεία :

ALU: αριθμητική και λογική μονάδα, κύκλωμα που κάνει όλες τις αριθμητικές και λογικές πράξεις.

Καταχωρητής εντολής (Instruction Register - IR) : σε αυτόν τον καταχωρητή αποθηκεύεται η εντολή που δείχνει ο μετρητής προγράμματος .

Μετρητής Προγράμματος (Programm Counter): καταχωρητής επεξεργαστή που περιέχει τη διεύθυνση της εντολής που εκτελείται την τρέχουσα στιγμή.

Καταχωρητής Wreg: σε αυτόν τον καταχωρητή αποθηκεύονται όλα τα αποτελέσματα από την ALU.

Αποκωδικοποιητής εντολών (Instruction and decode control) : Κύκλωμα που ελέγχει, αποκωδικοποιεί και εκτελεί την εντολή που αποθηκεύτηκε στον καταχωρητή εντολών (IR).

Καταχωρητής Σωρού 31-επιπέδων (31-Level Stack): Καταχωρητής στον οποίον αποθηκεύεται η διεύθυνση της επόμενης εντολής που πρόκειται να εκτελεστεί από την CPU μετά την αλλαγή της κανονικής εκτέλεσης λόγο κλήσης υπορουτίνας.

Πολυπλέκτης 8X8 (MUX): Κύκλωμα που επιλέγει ένα από τα αναλογικά ή ψηφιακά σήματα εισόδου και τα προωθεί σε μία γραμμή.

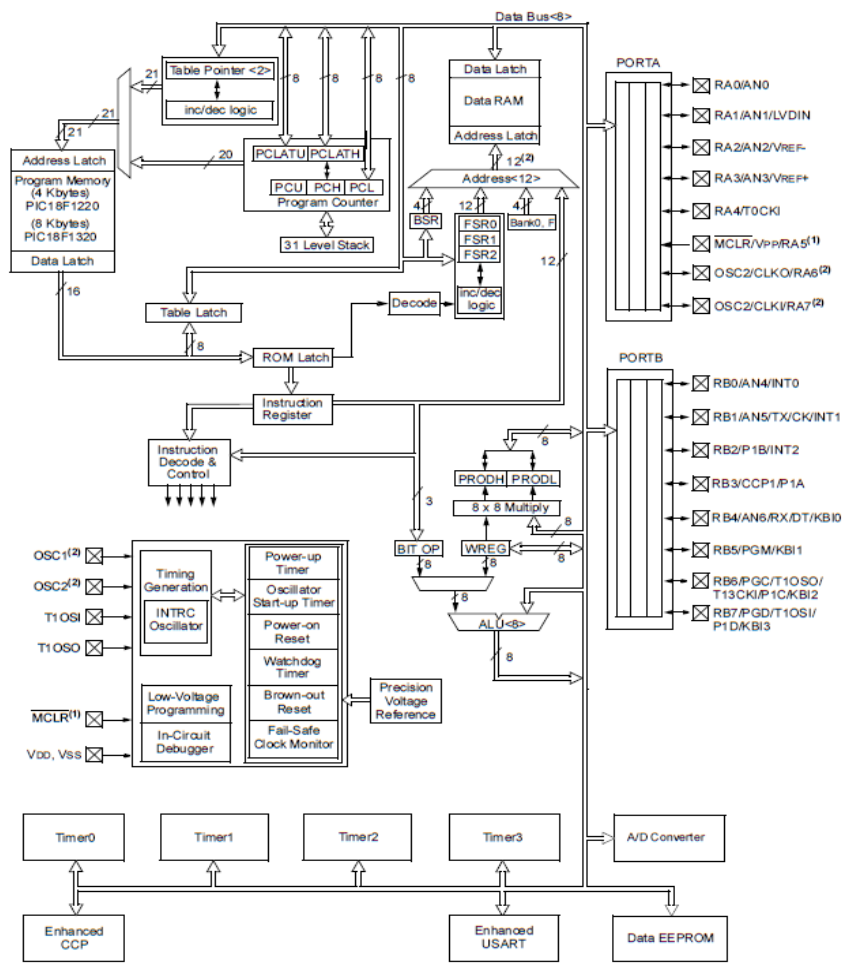
Κύκλωμα Ταλαντωτή: Στο αριστερό μέρος του διαγράμματος είναι το **κύκλωμα του ταλαντωτή** που περιλαμβάνει τα εξής: Εσωτερικό ταλαντωτή RC (INTRC), παρακολούθηση ασφαλούς λειτουργίας , εσωτερικούς ταλαντωτές 8 MHZ-T1OSO, χρονοδιακόπτη εκκίνησης ταλαντωτή , μονάδα ελέγχου χρόνου WDT-Watchdog Timer, συσκευή επανεκκίνησης ,κ.α.

Οι μικροελεγκτές PIC18F μπορούν να εκτελέσουν διαφορά είδη επανεκκίνησης. Κάποια από αυτά είναι :

- Η Power On Reset (POR) η οποία στην ουσία μέσω ενός σήματος επαναφοράς επαναφέρει τη συσκευή σε γνώριμη λειτουργία.
- Η επανεκκίνηση MCLR για κανονική λειτουργία αλλά και για λειτουργία διαχείρισης ενέργειας αλλά και
- Η Watchdog timer (WDT) reset. Ο χρονοδιακόπτης παρακολούθησης **Watchdog timer (WDT)** παρακολουθεί τη λειτουργία του μικροελεγκτή για να ελέγξει αν υπάρχουν δυσλειτουργίες ή διακοπές.

Θύρες εισόδου /Εξόδου I/O PORTS: Βασικό κομμάτι του μικροελεγκτή είναι η επικοινωνία του με άλλες συσκευές και κατά επέκταση και με το φυσικό περιβάλλον .Η επικοινωνία γίνεται μέσω των ακίδων του μ-ελεγκτή (pin) και ειδικότερα μέσω των θυρών εισόδου /Εξόδου **I/O PORTS** που βρίσκονται δεξιά στο δομικό διάγραμμα και είναι 2. Εσωτερικά του μικροελεγκτή οι θύρες PORTS αντιπροσωπεύονται από καταχωρητές οι οποίοι συμβάλλουν ώστε το πρόγραμμα να μπορεί να διαβάσει και ελέγξει τις ακίδες-pins. Κάθε θύρα διαθέτει πλάτος 8 bit και διαβάζει 8 pin.

Στην **PORTA** αντιστοιχούν οι ακίδες RA0,RA1,RA2,RA3,RA4,RA5,RA6, και RA7. Είναι θύρα διπλής κατεύθυνσης και συνδέεται με τους καταχωρητές TRISA , PORTA , LATA. Ο καταχωρητής TRISA καθορίζει την κατεύθυνση ροής της PORTA. Θέτοντας τον TRISA(=0) ορίζουμε τα pin ως εξόδους ενώ θέτοντας των TRISA(1) τότε τα ορίζουμε ως εισόδους. Εξίσου συνδέεται ο καταχωρητή LATA με τη μνήμη ο οποίος αποτελεί τον καταχωρητή μανταλωσης δεδομένων εξόδου. Αρά η “μανδαλωμένη” τιμή εξόδου της PORTA προέρχεται από τις εργασίες επεξεργασίας και εγγραφής του καταχωρητή LATA. Αντίστοιχα λειτουργεί και η θύρα **PORTB**. Στην PORTB αντιστοιχούν οι ακίδες RB0,RB1,RB2,RB3,RB4,RB5,RB6, και RB7. Και οι καταχωρητές TRISB, PORTB, LATB. Σημειώνεται ότι σε περίπτωση επανεκκίνησης τα pins ρυθμίζονται ως αναλογικές εισοδοί.



Σχήμα 3.5: Σχηματικό διάγραμμα μικροελεγκτή PIC 18F1X 20

3.7 Περιφερειακές Μονάδες

3.7.1 Enhanced capture / compare / PWM (ECCP) - Ενισχυμένη μονάδα σύλληψης σύγκρισης και παραγωγής παλμού

Πρόκειται για την μονάδα σύλληψης- σύγκρισης και παραγωγής παλμών με τις εξής δυνατότητες: επιλογής Δύο ή τεσσάρων καναλιών, επιλογής πολικότητας από τον χρήστη, δυνατότητα έλεγχου νεκρής ζώνης, δυνατότητα Αυτόματη επανεκκίνησης και δυνατότητα τερματισμού λειτουργίας. Η μονάδα ελέγχεται από τους καταχωρητές των 8 bit: CCP1CON, PWM1CON, CCPR1L (low byte -8 bit), CCPR1H (High byte -8 bit). Σε κάθε λειτουργία τα η μονάδα CCP χρησιμοποιεί κάποιον από του χρονιστές TIMER 1, TIMER2 ή TIMER3.

Λειτουργία capture: Αυτή η λειτουργία χρησιμοποιείται για να διαβαστεί η τιμή του καταχωρητή TMR1 ή TMR3 του TIMER1 ή του TIMER3 αντίστοιχα όταν στο pin RB3/CCP1/P1A συμβεί ένα από τα προεπιλεγμένα συμβάντα : εμφάνιση παλμού ή πτώση παλμού ή κάθε 4^η εμφάνιση παλμού ή κάθε 16^η εμφάνιση παλμού.

Λειτουργία σύγκρισης: Σε αυτή τη λειτουργία η CCP συγκρίνει τις τιμές των καταχωρητών CCPR1L, CCPR1H με την τιμή του καταχωρητή TMR1 ή TMR3 του TIMER1 ή του TIMER3 αντίστοιχα. Όταν οι τιμές είναι ίσες τότε το pin RB3/CCP1/P1A οδηγείται : σε υψηλό δυναμικό ή σε χαμηλό ή εναλλάσσεται ή δεν αλλάζει ανάλογα με την επιλογή .

Λειτουργία Παραγωγής Παλμών: Στην λειτουργία αυτή παράγεται μια σειρά από παλμούς διαμορφωμένη σε σχέση με την συχνότητα και το duty cycle για οδήγηση συσκευών και εφαρμογές έλεγχου. Το duty cycle μιας παλμοσειράς ορίζεται ως ο λόγος της χρονικής διάρκειας του παλμού ως προς τη συνολική περίοδο του παλμού και μετράται επί τοις εκατό % .

3.7.2 Μονάδα (EAUSART)

Η μονάδα EAUSART (μονάδα Βελτιωμένου διευθυνσιοδοτούμενου γενικού σύγχρονου / ασύγχρονου πομποδέκτη) είναι μονάδα αμφίδρομης / μονόδρομης επικοινωνίας με περιφερειακές συσκευές όπως : Οθόνες και Η.Υ (αμφίδρομη) και συσκευές όπως: A/D ή D/A ολοκληρωμένα κυκλώματα , σειριακές EEPROM κ.α. (μονόδρομη). Η μονάδα έχει πρόσθετες δυνατότητες όπως: αυτόματης αναγνώριση ρυθμού μετάδοσης, αυτόματης ενεργοποίησης σε σήμα συγχρονισμού, αυτόματης βαθμονόμηση , 12 bit break character transmit.

Η λειτουργία της μονάδας ελέγχεται από 3 καταχωρητές των 8 bit :

- Καταχωρητής κατάστασης έλεγχου και μετάδοσης TSXTA
- Καταχωρητής κατάστασης έλεγχου και λήψης RCSTA και
- Καταχωρητής ρυθμού μετάδοσης BAUDCTL.

3.8 Μονάδα αναλογικού/ψηφιακού μετατροπέα - A/D Converter

Ο A/D μετατροπέας (analog to digital converter) μετατρέπει το ψηφιακό σήμα σε αναλογικό. Οι ρυθμίσεις του γίνονται στους 5 παρακάτω καταχωρητές:

1. καταχωρητή ελέγχου 0 ADCON0 ο οποίος ελέγχει τη λειτουργία του A/D μετατροπέα
2. καταχωρητή ελέγχου 1 ADCON1 ο οποίος διαμορφώνει τις λειτουργίες των ακροδεκτών της θύρας εισόδου του A/D μετατροπέα
3. καταχωρητή ελέγχου 2 ADCON2 ο οποίος διαμορφώνει την πηγή χρονισμού και τον χρόνο δειγματοληψίας.
4. Καταχωρητή αποτελεσμάτων High ADRESH
5. Καταχωρητής αποτελεσμάτων Low ADRESL

Ο μετατροπέας μετά την ολοκλήρωση της μετατροπής αποθηκεύει τη ψηφιακή τιμή μεγέθους 10 bit, στον καταχωρητή ADRESH και ADRESL. Στον ADRESH αποθηκεύει τα 8 πιο σημαντικά (MSB) bit και στον ADRESL τα λιγότερο σημαντικά (LSB) bit.

Absolute Maximum Ratings^(†)

Ambient temperature under bias	-40°C to +125°C
Storage temperature	-65°C to +150°C
Voltage on any pin with respect to VSS (except VDD, $\overline{\text{MCLR}}$ and RA4).....	-0.3V to (VDD + 0.3V)
Voltage on VDD with respect to VSS	-0.3V to +5.5V
Voltage on $\overline{\text{MCLR}}$ with respect to VSS (Note 2)	0V to +13.25V
Voltage on RA4 with respect to Vss	0V to +8.5V
Total power dissipation (Note 1).....	1.0W
Maximum current out of VSS pin	300 mA
Maximum current into VDD pin	250 mA
Input clamp current, I _{IK} (V _I < 0 or V _I > VDD).....	±20 mA
Output clamp current, I _{OK} (V _O < 0 or V _O > VDD).....	±20 mA
Maximum output current sunk by any I/O pin.....	25 mA
Maximum output current sourced by any I/O pin.....	25 mA
Maximum current sunk by all ports.....	200 mA
Maximum current sourced by all ports	200 mA

Σχήμα 3.6 Πίνακας ηλεκτρικών χαρακτηριστικών μικροελεγκτών οικογένειας PIC18F1X20

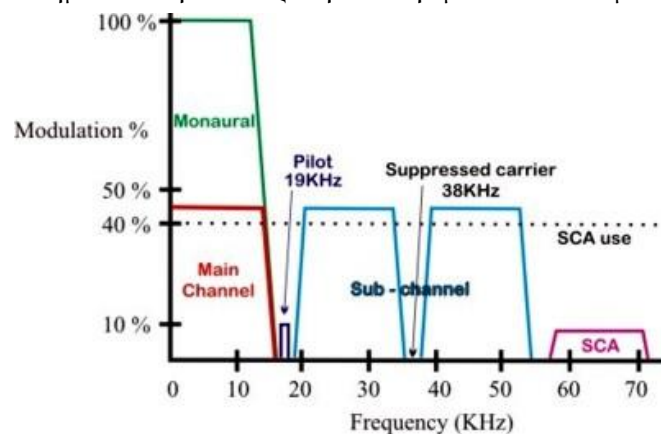
Κεφάλαιο 4^ο

Υλοποίηση Κωδικοποιητή FM Stereo με Χρήση Τεχνικών Άμεσης Ψηφιακής Σύνθεσης (DDS)

4.1 Εισαγωγή – Στερεοφωνική εκπομπή FM

Μία γεννήτρια FM-stereo όπως προαναφέρθηκε στην εισαγωγική ενότητα είναι μία εξειδικευμένη συσκευή που χρησιμοποιείται στην FM ραδιοφωνία για την εκπομπή στερεοφωνικού σήματος σύμφωνα με τα πρότυπα FCC. Το στερεοφωνικό σήμα FM είναι ένα σήμα που προκύπτει με πολύπλεξη δύο καναλιών ήχου και διαμορφώνει απευθείας τη φέρουσα του πομπού. Υπάρχουν διάφορες προσεγγίσεις για την κατασκευή μίας γεννήτριας FM Stereo. Η παρούσα διπλωματική εργασία επιδεικνύει μία μέθοδο υλοποίησης κωδικοποιητή (encoder) FM-Stereo σήματος με χρήση τόσο ψηφιακών όσο και αναλογικών τεχνικών που επιτυγχάνουν βέλτιστη μεταξύ τους συνεργασία. Συγκεκριμένα, χρησιμοποιήθηκε η τεχνική της Άμεσης Ψηφιακής Σύνθεσης (Direct Digital Synthesis - DDS) για την παραγωγή τόσο της υποφέρουσας όσο και του τόνου πιλότου (pilot tone), ένας αναλογικός ισοσταθμισμένος διαμορφωτής (balanced modulator) με το γνωστό MC1496 για την παραγωγή του καναλιού Double Side Band Suppressed Carrier (DSB-SC), καθώς και ένας πίνακας άθροισης (matrix) με τελεστικούς ενισχυτές.

Η FM Stereo μετάδοση εισήχθη κατά τη διάρκεια της δεκαετίας του 1960. Το στερεοφωνικό σύστημα FM, το οποίο έχει εγκριθεί για χρήση από την FCC στις ΗΠΑ και αργότερα υιοθετήθηκε σε όλο τον κόσμο, χρησιμοποιεί ένα σύνθετο σύστημα διαμόρφωσης για να επιτευχθεί ένα συμβατό σύστημα μετάδοσης mono/stereo. Ουσιαστικά, το σύστημα εκτελεί την πολυπλεξία δύο ηχητικών σημάτων τα οποία συνδυάζονται σε ένα σύνθετο σήμα βασικής ζώνης που διαμορφώνει κατά FM τη φέρουσα του πομπού. Το σύνθετο σήμα βασικής ζώνης αποτελείται από τρεις συνιστώσες: Από ένα σήμα που φέρει το άθροισμα (L+R) του αριστερού (L) και του δεξιού (R) καναλιού του ήχου και ονομάζεται βασικό κανάλι, ένα σήμα αναφοράς στα 19 kHz που ονομάζεται "σήμα πιλότου" ή "τόνος πιλότου" ή απλά "πιλότος" και ένα σήμα διπλής πλευρικής ζώνης με κατεσταλμένο φορέα (DSB-SC)



Εικόνα 4.1. Το σύνθετο σήμα FM-Stereo σε αντιπροσώπευση με ένα μονοφωνικό σήμα

που ονομάζεται δευτερεύον κανάλι ή "υπο-κανάλι" και περιέχει τη διαφορά (L-R) των δύο καναλιών ήχου.

Σε ένα απλό μονοφωνικό σύστημα FM, η φέρουσα του πομπού διαμορφώνεται με μέγιστη απόκλιση συχνότητας $\pm 75\text{KHz}$ (100% διαμόρφωση) από ένα και μόνο σήμα ήχου. Αυτό το σήμα καταλαμβάνει τη ζώνη ακουστικών συχνοτήτων 0-15KHz. Σε ένα στερεοφωνικό σήμα FM, το ίδιο μονοφωνικό σήμα (το άθροισμα του δεξιού με το αριστερό κανάλι ήχου) παραμένει στο φάσμα 0 - 15KHz (κύριο κανάλι) και επιπλέον εκπέμπεται και ένα δευτερεύον κανάλι, γύρω από τα 38 KHz, το οποίο είναι ένα σήμα διπλής πλευρικής ζώνης με κατεσταλμένο φορέα (DSB-SC). Το δευτερεύον κανάλι αποτελείται από μία κατεσταλμένη υποφέρουσα στα 38KHz που είναι διαμορφωμένη κατά πλάτος (AM) με τη διαφορά του δεξιού από το αριστερό κανάλι ήχου (L-R). Επιπλέον, εκπέμπεται και ένα σήμα πιλότου στα 19KHz που είναι πλήρως συγχρονισμένο με την υποφέρουσα.

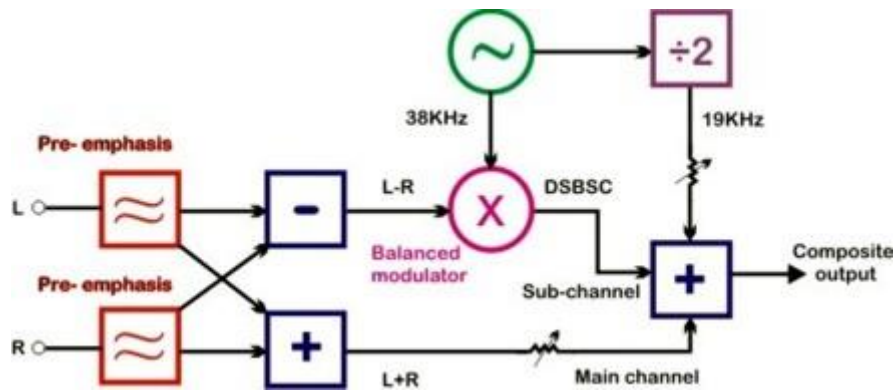
Σε ένα FM-στερεοφωνικό σύστημα το κύριο κανάλι διαμορφώνει τη φέρουσα του πομπού κατά 45%, το υπο-κανάλι με 45% και ο πιλότος με 10% έτσι ώστε η συνολική διαμόρφωση για έναν στερεοφωνικό σταθμό FM να είναι 100% (όπως άλλωστε και σε έναν μονοφωνικό). Σε σταθμούς που εκπέμπουν επιπλέον και σήματα SCA ή RDS / RBDS, το σύνθετο σήμα FM-Stereo κατέχει ποσοστό διαμόρφωσης μικρότερο από 100% προκειμένου να απομένει κάποιο περιθώριο και για τα υπόλοιπα σήματα.

Το πρότυπο μετάδοσης FM-Stereo κατά FCC είναι συμβατό με το παλιότερο μονοφωνικό σύστημα εκπομπής. Το FM-Stereo σήμα μπορεί να ληφθεί και από απλούς μονοφωνικούς δέκτες που λαμβάνουν μόνο το κύριο κανάλι ήχου. Στους μονοφωνικούς δέκτες το υπο-κανάλι καθώς και ο πιλότος λαμβάνονται μεν αλλά δεν είναι ακουστοί ήχοι αφού βρίσκονται εκτός του ακουστικού φάσματος. Επιπλέον, οι μονοφωνικοί δέκτες διαθέτουν ένα χαμηλοπερατό φίλτρο με συχνότητα θλάσης στα 15KHz και απορρίπτουν οποιοδήποτε ανώτερη συχνότητα.

Σε έναν στερεοφωνικό δέκτη, η λήψη του τόνου πιλότου είναι αυτή που σηματοδοτεί την έναρξη της αποδιαμόρφωσης του στερεοφωνικού σήματος. Αν το σήμα πιλότου δε ληφθεί, ένας στερεοφωνικός δέκτης λειτουργεί ως μονοφωνικός. Μόλις λοιπόν ληφθεί ο πιλότος στα 19KHz από έναν στερεοφωνικό δέκτη, το υπο-κανάλι αποδιαμορφώνεται, το σήμα L-R ανακτάται και συνδυάζεται με το κύριο κανάλι L+R. Με πρόσθεση και αφαίρεση των σημάτων L+R και L-R, προκύπτουν τα σήματα L και R, αντίστοιχα. Για να αποδιαμορφωθεί όμως το υπο-κανάλι στο δέκτη, είναι απαραίτητη η ύπαρξη της υποφέρουσας. Δεδομένου όμως ότι η υποφέρουσα δεν εκπέμπεται (είναι κατεσταλμένη), αυτή ανακτάται από διπλασιασμό συχνότητας του σήματος πιλότου.

4.2 Η γεννήτρια FM-Stereo

Σε κάθε στερεοφωνικό σταθμό FM, το σύνθετο σήμα FM-stereo σήμα παράγεται από μια συσκευή που ονομάζεται "γεννήτρια FM Stereo" ή "κωδικοποιητής FM Stereo". Στην εικόνα 4.2 παρουσιάζεται το τυπικό διάγραμμα βαθμίδων μιας γεννήτριας FM-stereo.



Εικόνα. 4.2. Το μπλοκ διάγραμμα βαθμίδων μίας γεννήτριας FM-Stereo

Τόσο το αριστερό όσο και το δεξί κανάλι ήχου αρχικά υφίστανται προέμφαση όπως ακριβώς και σε μία μονοφωνική εκπομπή. Στη συνέχεια, τα σήματα του αριστερού και του δεξιού καναλιού προστίθενται και αφαιρούνται για να προκύψουν τα σήματα L+R και L-R, αντίστοιχα. Το σήμα L+R αποτελεί το κύριο κανάλι (μονοφωνικό κανάλι) ενώ το σήμα L-R οδηγείται σε έναν ισοσταθμισμένο διαμορφωτή μαζί με το σήμα 38 KHz της υποφέρουσας για να παραχθεί το υποκανάλι. Δεδομένου ότι χρησιμοποιείται ένας ισοσταθμισμένος διαμορφωτής (ιδανικός πολλαπλασιαστής - μίκτης) ο φορέας των 38 KHz καταστέλεται και προκύπτει ένα σήμα DSBSC (διπλής πλευρικής ζώνης με κατεσταλμένο φορέα) για το δευτερεύον κανάλι.

Η υποφέρουσα των 38KHz παράγεται από έναν ταλαντωτή ημιτόνου. Για την παραγωγή του σήματος πιλότου των 19KHz χρησιμοποιείται συνήθως ένας διαιρέτης συχνότητας και το σήμα του πιλότου προκύπτει με διαίρεση δια δύο από τον ταλαντωτή της υποφέρουσας. Τόσο ο πιλότος όσο και η υποφέρουσα είναι αμιγώς ημιτονικά σήματα χωρίς αρμονικές. Σε διαφορετική περίπτωση (αν ο πιλότος και η υποφέρουσα περιέχουν αρμονικές) προκύπτουν παρασιτικές συχνότητες που μπορούν να εμφανιστούν ως θόρυβος στο σύνθετο φάσμα.

Οι τρεις συνιστώσες του στερεοφωνικού σήματος, δηλαδή το κύριο κανάλι, το δευτερεύον κανάλι και το σήμα πιλότου, συνδυάζονται στις κατάλληλες αναλογίες (45%, 45%, 10%) σε έναν πίνακα γραμμικής άθροισης και παράγεται το σύνθετο σήμα FM Stereo.

Υπάρχουν διάφορες προσεγγίσεις για την κατασκευή ενός κωδικοποιητή (encoder) FM Stereo. Η μέθοδος που προτείνεται στην παρούσα εργασία χρησιμοποιεί τόσο ψηφιακές όσο και αναλογικές τεχνικές. Χρησιμοποιήθηκε η τεχνική της Άμεσης Ψηφιακής Σύνθεσης (DDS) για την παραγωγή της υποφέρουσας και του σήματος πιλότου, ένας αναλογικός ισοσταθμισμένος διαμορφωτής για την παραγωγή του δευτερεύοντος καναλιού καθώς και μία αναλογική βαθμίδα άθροισης αφαιρέσεως που βασίζεται σε τελεστικούς ενισχυτές.

4.3 Παραγωγή της υποφέρουσας και του σήματος πιλότου

Την εποχή που δεν υπήρχαν κυκλώματα DDS, η παραγωγή δύο συγχρονισμένων αμιγώς ημιτονικών σημάτων στα 38 και στα 19 KHz (υποφέρουσα και πιλότος) ήταν αρκετή δύσκολη. Τότε χρησιμοποιούνταν ένας

κρυσταλλικός ταλαντωτής ή ένας ταλαντωτής που βασίζονταν σε κάποιο κεραμικό στοιχείο συντονισμού. Στην αγορά οι κρύσταλλοι των 38KHz είναι γενικά δυσεύρετοι και γι'αυτό οι περισσότεροι κατασκευαστές χρησιμοποιούσαν κάποιο κεραμικό στοιχείο συντονισμού (κεραμικό φίλτρο) στα 455-456 KHz. Αυτά τα στοιχεία είναι ευρέως διαθέσιμα λόγω της χρήσης τους σε κυκλώματα ενδιάμεσης συχνότητας σε υπερετεροδυνους δέκτες. Ο ταλαντωτής παρήγαγε ένα σήμα στα 455-456 KHz και στη συνέχεια χρησιμοποιούνταν διαιρέτες (δια 12 και δια 24) για την παραγωγή των σημάτων 38KHz και 19KHz. Οι διαιρέτες είναι ψηφιακά κυκλώματα με βάση flip-flops και μετρητές modulo-x και παράγουν παλμικά σήματα πλούσια σε αρμονικές αντί για "καθαρά" ημίτονα. Επομένως, χρησιμοποιούνταν στη συνέχεια κάποια φίλτρα για την καταστολή των αρμονικών. Δυστυχώς τα φίλτρα δεν ήταν τέλεια και δεν μπορούσαν να καταστείλουν πλήρως τις αρμονικές και έτσι οι πρώτες γεννήτριες FM Stereo ήταν χαμηλής ποιότητας και εμφάνιζαν θόρυβο. Επιπλέον, οι διαιρέτες παρήγαγαν και κάποια μετατόπιση φάσης και έπρεπε να χρησιμοποιηθούν επιπλέον κυκλώματα για τη διόρθωση της διαφοράς φάσης μεταξύ του σήματος πιλότου και της υποφέρουσας. Διαφορετικά (αν δε γινόταν διόρθωση της φάσης), υπήρχαν προβλήματα στην αποδιαμόρφωση στο δέκτη και το στερεοφωνικό σήμα αποδιαμορφώνονταν μερικώς ή και καθόλου. Τα κυκλώματα μετατόπισης φάσης ήταν δύσκολα στην κατασκευή, εισήγαγαν πρόσθετο θόρυβο και χρειαζόταν μικρομετρική ρύθμιση. Οι γεννήτριες που βασίζονταν στην παραπάνω τοπολογία γενικώς ήταν δύσχρηστες και δεν παρήγαγαν καλό διαχωρισμό Stereo.

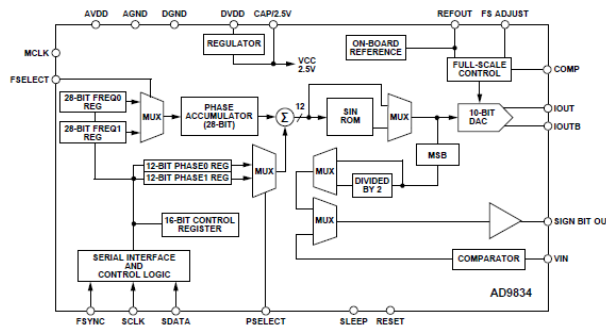
Μετά την δεκαετία του '90, πολλοί σχεδιαστές προτίμησαν να χρησιμοποιήσουν μια εναλλακτική προσέγγιση για την παραγωγή της υποφέρουσας και του πιλότου. Η προσέγγιση βασιζόταν στην χρήση ενός μικροελεγκτή για την παραγωγή της υποφέρουσας αντί ταλαντωτή. Η υποφέρουσα παράγονταν σαν μία ακολουθία παλμών συχνότητας 38KHz, μέσω λογισμικού, σε κάποιον ακροδέκτη ενός επεξεργαστή. Το σήμα πιλότου στη συνέχεια παραγόταν με διαίρεση δια 2. Η προσέγγιση αυτή έδινε κάποια ευελιξία όσον αφορά την επιλογή του κρυστάλλου αναφοράς αλλά οι μικροελεγκτές και διαιρέτες παράγουν παλμούς (ψηφιακά σήματα) που είναι πλούσιοι σε αρμονικές και επομένως ήταν απαραίτητη η χρήση φίλτρων και κυκλωμάτων μετατόπισης φάσης, με όλα τα αρνητικά συνεπακόλουθα.

Ευτυχώς πλέον έχουμε την τεχνολογία Direct Digital Synthesis - DDS (βλ. Κεφάλαιο 2) που επιτρέπει την άμεση ψηφιακή σύνθεση αμιγώς ημιτονικών σημάτων και δίνει απεριόριστο έλεγχο επί της ολίσθησης φάσης παρέχοντας απόλυτη ακρίβεια στη συχνότητα και άψογη σταθερότητα. Η μέθοδος DDS απαιτεί την ύπαρξη ενός κρυσταλλικού ταλαντωτή αναφοράς, η συχνότητά του οποίου δεν απαιτείται να είναι ακέραιο πολλαπλάσιο της συχνότητας της υποφέρουσας και επομένως υπάρχει απόλυτη ευελιξία αναφορικά με την επιλογή του κρυστάλλου αναφοράς. Οι γεννήτριες DDS μπορούν και παράγουν καθαρά ημιτονικά σήματα δίχως αρμονικές και επομένως δεν απαιτούνται ιδιαίτερα κυκλώματα για φιλτράρισμα. Τέλος, υπάρχει ακόμη ένα πλεονέκτημα: Οι γεννήτριες DDS παρέχουν απόλυτο έλεγχο της φάσης στα παραγόμενα σήματα και αυτό είναι πολύ χρήσιμο διότι δεν απαιτούνται κυκλώματα για τη ρύθμιση της

διαφοράς φάσης μεταξύ πιλότου και υποφέρουσας. Η ρύθμιση μπορεί να γίνει απολύτως ψηφιακά μέσω λογισμικού και με απόλυτη ακρίβεια.

4.4 Η γεννήτρια DDS του κωδικοποιητή

Στον προτεινόμενο FM Stereo κωδικοποιητή χρησιμοποιούμε την τεχνική της Direct Digital Synthesis (DDS) για τη παραγωγή της υποφέρουσας και του σήματος του πιλότου. Αναφερόμενοι στο ηλεκτρονικό σχηματικό (Εικόνα 4.9), παρατηρούμε ότι η υποφέρουσα των 38KHz και το σήμα του πιλότου των 19KHz παράγονται από δύο ολοκληρωμένα τύπου AD9834 της Analog Devices. Κάθε AD9834 (βλ. Κεφάλαιο 2 & Παράρτημα Β΄) είναι μία αυτόνομη γεννήτρια DDS και χρησιμοποιείται για να παράγει μια καθαρή ημιτονοειδή κυματομορφή. Οι δύο γεννήτριες DDS διατηρούνται συγχρονισμένες διότι χρησιμοποιούν το ίδιο ρολόι αναφοράς (ταλαντωτή αναφοράς). Οι γεννήτριες DDS ελέγχονται από ένα μικροελεγκτή τύπου PIC18F1220 της εταιρίας Microchip (βλ. Κεφάλαιο 3) μέσω σειριακής διασύνδεσης I²C που υλοποιείται μέσω λογισμικού με έλεγχο συγκεκριμένων ακροδεκτών I/O του μικροελεγκτή.



Εικόνα 4.3. Η γεννήτρια DDS και το block διάγραμμα της. Η υποφέρουσα και το σήμα πιλότου παράγονται από δύο IC's τύπου AD9834 που ελέγχονται από ένα μικροελεγκτή PIC18F1220 (κέντρο της φωτογραφίας). Τα δύο ολοκληρωμένα DDS είναι συγχρονισμένα καθώς χρησιμοποιούν τον ίδιο ταλαντωτή αναφοράς (αριστερή άκρη της φωτογραφίας).

Ο μικροελεγκτής χρησιμοποιείται για την αρχικοποίηση των γεννητριών DDS με την κατάλληλη συχνότητα και αρχική φάση κατά την εκκίνηση τους. Επίσης, χρησιμοποιείται για την απενεργοποίηση ή ενεργοποίηση έκαστης γεννήτριας σύμφωνα με τις εντολές του χρήστη που μπορούν να δοθούν μέσω δύο εξωτερικών διακοπών (επαφές J1 και J2). Το ολοκληρωμένο AD9834 προσφέρει ανάλυση 28bits για τη συχνότητα και 12bits για τον έλεγχο φάσης. Με τη χρήση ενός ρολογιού αναφοράς 10 MHz, επιτυγχάνουμε ακρίβεια στη συχνότητα και στη φάση περίπου 0.037 Hz ($10\text{MHz} / 2^{28}$) και 0,09 μοίρες ($360/2^{12}$), αντίστοιχα. Η συχνότητα του ρολογιού αναφοράς έχει επιλεγεί σκόπιμα να είναι αρκετά υψηλή ώστε να μπορεί εύκολα να φιλτραριστεί από τα παραγόμενα σήματα, χρησιμοποιώντας μόνο δύο απλά φίλτρα RC.

4.5 Ο ισοσταθμισμένος διαμορφωτής (Balanced Modulator)

Ένας ισοσταθμισμένος διαμορφωτής (balanced modulator) είναι στην πραγματικότητα ένας ιδανικός πολλαπλασιαστής (μίκτης). Η σύγχρονη προσέγγιση για την κατασκευή ισοσταθμισμένων διαμορφωτών σε χαμηλές

συχνότητες τείνει να είναι η χρήση μονάδων ψηφιακής επεξεργασίας σήματος (Digital Signal Processing-DSP). Ωστόσο, οι παραδοσιακές αναλογικές τεχνικές εξακολουθούν να χρησιμοποιούνται λόγω της απλότητας και του χαμηλού κόστους τους. Στην υλοποίηση της προτεινόμενης γεννήτριας, χρησιμοποιήθηκε ένας αναλογικός ισοσταθμισμένος διαμορφωτής για τη σύνθεση του δευτερεύοντος καναλιού. Η επιλογή έγινε για λόγους κόστους και απλότητας αλλά δε στερείται διόλου ποιότητας. Ο αναλογικός μας διαμορφωτής πετυχαίνει καταστολή της υποφέρουσας των 38KHz κατά 60db και περισσότερο και εισάγει πολύ λιγότερο θόρυβο σε σχέση με έναν σύγχρονο διαμορφωτή DSP. Η επιλογή χρήσης ενός αναλογικού διαμορφωτή στην κατασκευή μας είναι λογική, δεδομένου ότι το ίδιο το στερεοφωνικό σήμα FM είναι ένα αμιγώς αναλογικό σήμα. Μπορεί να ζούμε στην ψηφιακή εποχή, αλλά εξακολουθούμε να χρησιμοποιούμε το παλιό και καλό αναλογικό FM-stereo. Ο ισοσταθμισμένος διαμορφωτής, βασίζεται στο γνωστό ολοκληρωμένο MC1496 της εταιρίας ON Semiconductors, το οποίο είναι σε θέση να καταστείλει την υποφέρουσα περισσότερο από 60db. Το πλήρες ηλεκτρονικό σχηματικό της βαθμίδας του ισοσταθμισμένου διαμορφωτή απεικονίζεται στην Εικόνα 4.11.



Εικόνα 4.4. Ο ισοσταθμισμένος διαμορφωτής βασίζεται στο γνωστό MC1496, το οποίο είναι σε θέση να καταστείλει την υποφέρουσα περισσότερο από 60db.

Η καταστολή του φορέα (φέρουσα) σε έναν ισοσταθμισμένο διαμορφωτή ορίζεται ως ο λόγος του πλάτους έκαστης πλευρικής προς το πλάτος του σήματος του φορέα που εμφανίζονται στην έξοδο του διαμορφωτή. Η καταστολή του φορέα στο ολοκληρωμένο MC1496 εξαρτάται σε μεγάλο βαθμό από τη στάθμη του σήματος του φορέα. Μια χαμηλή στάθμη σήματος έχει ως αποτέλεσμα την μειωμένη απολαβή και την ελλιπή καταστολή του φορέα. Αντιθέτως, μία πολύ υψηλή στάθμη του φορέα, έχει ως αποτέλεσμα την παραμόρφωση και τη μη γραμμική λειτουργία του διαμορφωτή που οδηγεί και πάλι σε ελλιπή καταστολή. Η βέλτιστη στάθμη του φορέα για το MC1496, στην περιοχή συχνοτήτων κάτω από τα 500 kHz, είναι περίπου 60mVrms (170 mVp-p). Η βέλτιστη αυτή στάθμη επιτυγχάνεται με ρύθμιση του ποτενσιόμετρου R47 της κατασκευής.

Εκτός από την είσοδο της φέρουσας στην οποία εφαρμόζεται το σήμα των 38KHz, υπάρχει και μια ακόμη είσοδος στον ισοσταθμισμένο διαμορφωτή όπου εκεί εφαρμόζεται το σήμα ήχου L-R. Ο ισοσταθμισμένος διαμορφωτής δέχεται τα δύο σήματα κι επιτελεί τον πολλαπλασιασμό της υποφέρουσας με το σήμα L-R στο πεδίο του χρόνου. Ο πολλαπλασιασμός στο πεδίο του χρόνου αντιστοιχεί σε μετατόπιση συχνότητας στο πεδίο της συχνότητας και το σήμα L-R μεταφέρεται

σε δύο πλευρικές περιοχές εκατέρωθεν των 38KHz. Αυτή η λειτουργία είναι περισσότερο γνωστή ως μίξη ή μετατόπιση και το προϊόν της μίξης είναι ένα DSB (Double Side Band) σήμα.

Επιπλέον διακρίνεται ένα απλό φίλτρο RC στην είσοδο της υποφέρουσας. Αυτό το φίλτρο αποτελείται από την αντίσταση R56 και τον πυκνωτή C48 και χρησιμοποιείται για να καταστέλλει τη συχνότητα του ρολογιού αναφοράς (10 MHz). Η γεννήτρια DDS παράγει το σήμα της υποφέρουσας χρησιμοποιώντας ένα DAC των 10bit και η συχνότητα του ρολογιού αναφοράς είναι στην πραγματικότητα η συχνότητα δειγματοληψίας του παραγόμενου σήματος. Δεδομένου ότι η συχνότητα του ρολογιού αναφοράς είναι πολύ υψηλότερη από τη συχνότητα της υποφέρουσας, αυτή μπορεί εύκολα να αφαιρεθεί από το σήμα της γεννήτριας DDS με χρήση ενός πολύ απλού χαμηλοπερατού φίλτρου πρώτης τάξης. Το απλό χαμηλοπερατό φίλτρο παράγει αναπόφευκτα κάποια μετατόπιση φάσης, η οποία όμως ακυρώνεται μέσω λογισμικού με κατάλληλη ρύθμιση της φάσης του σήματος του πιλότου.

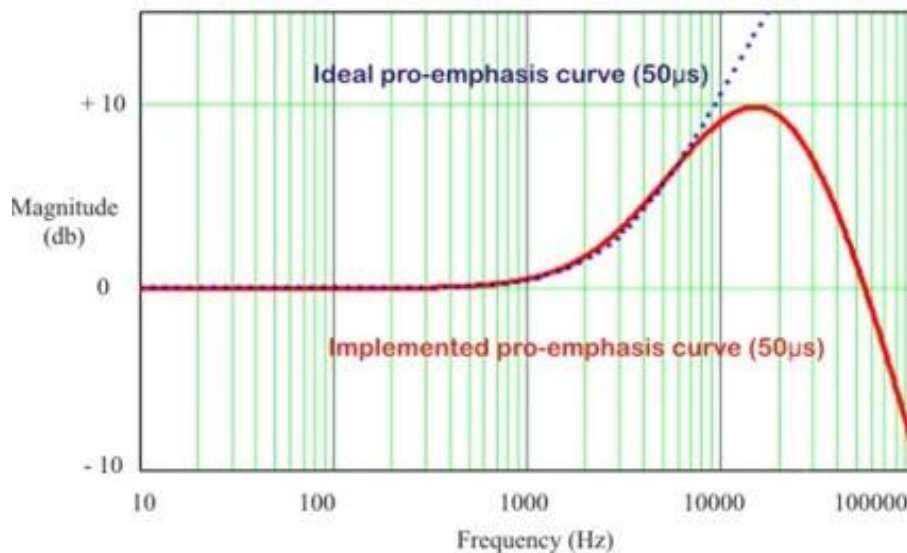
Ενώ η R47 χρησιμοποιείται για να ρυθμίζει τη στάθμη της υποφέρουσας στην είσοδο του διαμορφωτή, το ποτενσιόμετρο R51 χρησιμοποιείται για να ρυθμίζει το επίπεδο καταστολής της υποφέρουσας. Με κατάλληλη ρύθμιση της R51 μπορεί να επιτευχθεί καταστολή της υποφέρουσας μεγαλύτερη από 60db. Για βέλτιστη απόδοση, ο διαμορφωτής τροφοδοτείται από δύο ανεξάρτητες πηγές τάσης ± 12 και $-8V$, αντίστοιχα. Αυτές είναι οι συνιστώμενες τάσεις τροφοδοσίας που προτείνονται στο φυλλάδιο πληροφοριών του MC1496.

4.6 Ο πίνακας άθροισης (Matrix Table)

Ο πίνακας άθροισης είναι ίσως η πιο κρίσιμη βαθμίδα της γεννήτριας FM-stereo και βασίζεται σε τελεστικούς ενισχυτές. Αυτό το κύκλωμα δέχεται το αριστερό και το δεξί κανάλι του ήχου, τον πιλότο και την έξοδο του διαμορφωτή και εκτελεί τις κατάλληλες προσθέσεις και αφαιρέσεις, προκειμένου να παραχθεί το σύνθετο στερεοφωνικό σήμα FM. Το κύκλωμα επίσης περιλαμβάνει και δύο βαθμίδες προέμφασης για τα δύο κανάλια του ήχου. Η προέμφαση χρησιμοποιείται στην stereo εκπομπή όπως και στην περίπτωση της μονοφωνικής εκπομπής. Το πλήρες ηλεκτρονικό σχηματικό του πίνακα άθροισης απεικονίζεται στην Εικόνα 4.10.

Αναφερόμενοι στο ηλεκτρονικό σχηματικό, παρατηρούμε ότι οι τελεστικοί U5A και U5B χρησιμοποιούνται για την προέμφαση του αριστερού και το δεξιού καναλιού του ήχου, αντίστοιχα. Τα στοιχεία U5A, R14-16, R20, R22, C49, C19 και C21 συνθέτουν ένα δικτύωμα προέμφασης για το αριστερό κανάλι και τα στοιχεία U5B, R28-29, R33, R38, R40, C23, C27 και C50 για το δεξί. Κάθε δικτύωμα προέμφασης είναι στην πραγματικότητα ένα υψιπερατό φίλτρο και χρησιμοποιείται για την ενίσχυση των υψηλών συχνοτήτων του ήχου. Η συχνοτική απόκριση έκαστου δικτύωματος προέμφασης παρουσιάζεται στην Εικόνα 4.5, σε αντιπαράβολή με την θεωρητική (ιδεατή) καμπύλη προέμφασης για μονοφωνική εκπομπή. Η απόκριση του κυκλώματος στις υψηλές συχνότητες διαφέρει σκοπίμως από την ιδεατή καμπύλη προέμφασης που χρησιμοποιείται στις μονοφωνικές εκπομπές, προκειμένου να μην προκαλούνται προβλήματα διαφωνίας του ήχου με το σήμα πιλότου (19KHz) κατά τη στερεοφωνική εκπομπή.

Στην Ευρώπη, οι ραδιοφωνικοί σταθμοί FM χρησιμοποιούν δικτυώματα προέμφασης με σταθερά χρόνου 50 μ s ενώ στις ΗΠΑ χρησιμοποιείται προέμφαση 75 μ s. Ο προτεινόμενος κωδικοποιητής χρησιμοποιεί προέμφαση 50 μ s διότι κατασκευάστηκε για χρήση στην Ευρώπη αλλά είναι πολύ εύκολο να τροποποιηθεί για χρήση στις ΗΠΑ. Η αλλαγή της σταθεράς χρόνου από 50 σε 75 μ s γίνεται πολύ εύκολα, με αντικατάσταση των προτεινόμενων πυκνωτών C17 και C23 με άλλους, χωρητικότητας 2.7nF.



Εικόνα 4.5. Η συχνοτική απόκριση των κυκλωμάτων προέμφασης σε αντιπαραβολή με την ιδανική απόκριση.

Η προέμφαση χρησιμοποιείται στην FM ραδιοφωνία σε συνδυασμό με την αποέμφαση για να ελαχιστοποιηθεί η επίδραση του θορύβου στο αποδιαμορφωμένο σήμα. Οι υψηλές συχνότητες του ακουστικού σήματος (σήμα διαμόρφωσης) ενισχύονται πριν εκπεμφθούν (προέμφαση). Στο δέκτη απεναντίας επιτελείται η αντίστροφη διαδικασία (αποέμφαση) και οι υψηλές συχνότητες αποσβένονται κατά το ίδιο ποσοστό που ενισχύθηκαν στον πομπό, για να αποκατασταθεί το ακουστικό φάσμα στα αρχικά του επίπεδα. Το ζεύγος προέμφαση - αποέμφαση συνιστούν μία τεχνική που ονομάζεται γενικώς έμφαση και χρησιμοποιείται σε μεγάλο πλήθος τηλεπικοινωνιακών συστημάτων για την απόσβεση του θορύβου που είναι περισσότερο έντονος στις υψηλές συχνότητες του ακουστικού φάσματος παρά στις χαμηλές. Η συγκεκριμένη συμπεριφορά του θορύβου οφείλεται στη φύση του καναλιού διάδοσης και είναι αναπόφευκτη.

Το FM κανάλι είναι εγγενώς πολύ θορυβώδες και αυτό καθιστά την έμφαση πολύ σημαντική. Η έμφαση είναι γενικώς πιο κρίσιμη σε μια στερεοφωνική μετάδοση παρά σε μία μονοφωνική. Αυτό οφείλεται στο γεγονός ότι το στερεοφωνικό σήμα FM μεταφέρει μέρος της πληροφορίας του ήχου σε υψηλές συχνότητες που βρίσκονται μεταξύ 22 και 54 KHz και ο θόρυβος τείνει να είναι πιο δυνατός σε αυτές τις υψηλές συχνότητες. Στην πλευρά του δέκτη, η ζώνη 22-54KHz αποδιαμορφώνεται, συνδυάζεται με το βασικό κανάλι και αποκωδικοποιείται σε αριστερό και δεξιό κανάλι ήχου, που σημαίνει ότι ο θόρυβος μετατοπίζεται κάτω, εντός του ηχητικού φάσματος.

Αναφερόμενοι και πάλι στο ηλεκτρονικό σχηματικό του πίνακα άθροισης (Εικόνα 4.10) παρατηρούμε ότι ο τελεστικός U6A χρησιμοποιείται ως αφαιρέτης και παράγει το σήμα L-R και ο τελεστικός U6B χρησιμοποιείται ως αθροιστής ο οποίος παράγει το σήμα L+R. Ο τελεστικός U7 είναι ο τελικός αθροιστής ο οποίος δέχεται τον πιλοτικό τόνο, το κύριο κανάλι και το υπο-κανάλι και παράγει το σύνθετο σήμα εξόδου. Σε αυτό το τελικό στάδιο έχουμε συμπεριλάβει επίσης μία είσοδο (P8) στην οποία μπορεί να συνδεθεί οποιοδήποτε σήμα SCA ή RDS / RBDS, για να εκπεμφθεί μαζί με το στερεοφωνικό σήμα.

Τα ποτενσιόμετρα R12, R31 και R37 χρησιμοποιούνται για να την επίτευξη της κατάλληλης αναλογίας κατά την άθροιση των τριών συνιστωσών του στερεοφωνικού σήματος. Δηλαδή, ρυθμίζουν τη στάθμη του πιλότου, του δευτερεύοντος καναλιού και το κύριου καναλιού, αντίστοιχα. Η σωστή ρύθμιση αυτών των ποτενσιόμετρων είναι απαραίτητη για την βέλτιστη λειτουργία του κωδικοποιητή stereo.

Επιπλέον διακρίνεται ότι η αντίσταση R55 και ο πυκνωτής C47 σχηματίζουν ένα χαμηλοπερατό φίλτρο για το σήμα του πιλότου. Αυτό το φίλτρο χρησιμοποιείται για να εξαλείψει τη συχνότητα του ρολογιού αναφοράς (10 MHz) από το πιλοτικό σήμα. Εκτός από την έξοδο της γεννήτριας που είναι οι επαφές P5, υπάρχουν και δύο άλλες εξόδους. Αυτές είναι οι επαφές P3 και P6, που χρησιμοποιούνται για να παρέχουν το αριστερό και το δεξί σήμα ήχου, αντίστοιχα, σε εξωτερικούς μετρητές στάθμης (VU-meters).

4.7 Προσθέτοντας μετρητή στάθμης ήχου (VU meter)

Η προσθήκη μετρητών στάθμης (VU-meters) επιβάλλεται προκειμένου να προσδώσουμε επαγγελματική εμφάνιση στη γεννήτρια. Πέρα από αυτό, οι μετρητές είναι απαραίτητοι για την ένδειξη της στάθμης του ακουστικού σήματος ήχου έτσι ώστε να εξασφαλίζουμε μία οπτική αναφορά για το ποσοστό διαμόρφωσης και να αποφεύγουμε τυχόν παραμορφώσεις. Στις εξόδους P3 και P6 μπορεί να συνδεθεί οποιοδήποτε VU-meter. Υπάρχει μόνο ένας περιορισμός: Θα πρέπει να χρησιμοποιήσετε VU-meters που παρουσιάζουν αρκετά υψηλή αντίσταση εισόδου, διαφορετικά ενδέχεται να "υπερφορτωθούν" τα κυκλώματα του πίνακα άθροισης.

Στον προτεινόμενο κωδικοποιητή χρησιμοποιήθηκε ένα Stereo VU-meter ακριβείας με LED, το οποίο συνδέθηκε στις εξόδους P3 και P6. Ο συγκεκριμένος στερεοφωνικός μετρητής στάθμης απαιτεί τροφοδοσία +5 V / 800mA. Αυτή η τάση μπορεί να ληφθεί από το κύκλωμα του τροφοδοτικού της γεννήτριας ή από ένα ξεχωριστό τροφοδοτικό. Για την υλοποίηση του πρωτότυπου, χρησιμοποιήθηκε να ξεχωριστό παλμοτροφοδοτικό για την αποφυγή ενδεχόμενης υπερθέρμανση στο τροφοδοτικό της γεννήτριας, δεδομένου ότι οι απαιτήσεις ρεύματος του VU-meter είναι σχετικά αυξημένες (τα LED του VU-meter απαιτούν πολύ περισσότερο ρεύμα από αυτό που καταναλώνει συνολικά η γεννήτρια).

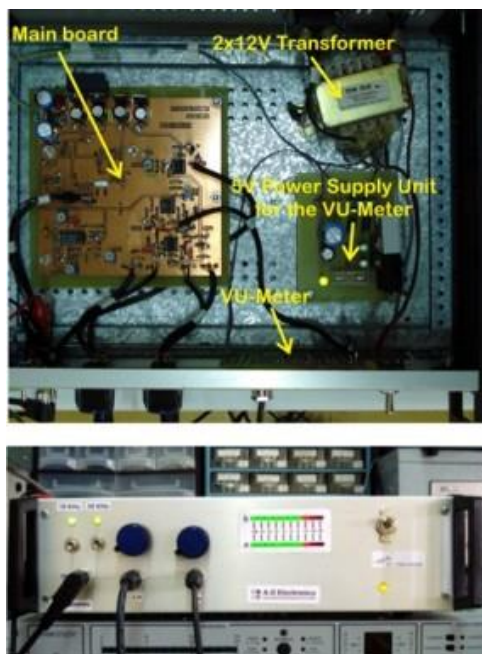
4.8 Το τροφοδοτικό του κωδικοποιητή FM-Stereo

Το τροφοδοτικό της γεννήτριας FM-stereo συμπεριλαμβάνεται στην ίδια πλακέτα με τη γεννήτρια. Βασίζεται σε γραμμικούς σταθεροποιητές τάσης 78XX

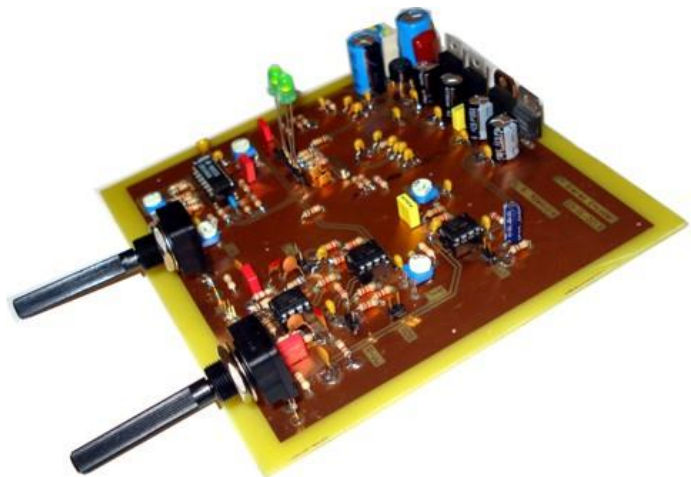
και 79xx. Το πλήρες ηλεκτρονικό σχηματικό του τροφοδοτικού απεικονίζεται στην Εικόνα 4.12. Αναφερόμενοι στο ηλεκτρονικό σχηματικό, τα U9, U10, U11 και U12 χρησιμοποιούνται για να παρέχουν +5 V, +12V, -12V και -8V, αντίστοιχα. Το τμήμα της γεννήτριας DDS τροφοδοτείται από +5V μόνο. Ο ισοσταθμισμένος διαμορφωτής χρησιμοποιεί +12 V και -8V και ο πίνακας άθροισης χρησιμοποιεί συμμετρική τροφοδοσία $\pm 12V$.

Το U9 μπορεί επίσης να τροφοδοτήσει και το προτεινόμενο VU-meter αλλά όπως εξηγήσαμε και παραπάνω είναι καλύτερα να χρησιμοποιήσετε ανεξάρτητο τροφοδοτικό για το VU-meter. Ωστόσο, αν αποφασίσετε να τροφοδοτήσετε το μετρητή στάθμης από το U9, θυμηθείτε να χρησιμοποιήσετε μια μεγάλη ψύκτρα.

Το τροφοδοτικό της γεννήτριας FM-stereo συμπεριλαμβάνεται στην ίδια πλακέτα με τη γεννήτρια εκτός από τον μετασχηματιστή. Ο μετασχηματιστής θα πρέπει να συνδεθεί εξωτερικά, μέσω καλωδίων.



(α)



(β)

Εικόνα 4.6. α) Ο κωδικοποιητής FM Stereo έτοιμος για χρήση, τοποθετημένος σε μεταλλικό κουτί (πρόσοψη - κάτωψη), β) το pcb του κωδικοποιητή συναρμολογημένο.

4.9 Οδηγός Συναρμολόγησης και Κώδικας της Κατασκευής

Το τυπωμένο κύκλωμα της κατασκευής είναι διπλής όψης με επιμεταλλωμένες σπές και σχεδιάστηκε εξ'ολοκλήρου στο λογισμικό Altium Designer. Ωστόσο, μπορεί να υλοποιηθεί και δίχως επιμεταλλωμένες σπές. Σε αυτή την περίπτωση, θα πρέπει κάποια στοιχεία να κολληθούν και από τις δύο όψεις και ενδεχομένως να χρειαστούν αγωγοί για τα περάσματα από τη μία όψη στην άλλη (ως vias).

Για την κατασκευή του πρωτότυπου, χρησιμοποιήθηκαν κλασικά εξαρτήματα με ακροδέκτες (through hole) εξαιρουμένων των AD9834, του μικροελεγκτή PIC και του ρολογιού αναφοράς που είναι τύπου επιφανειακής στήριξης (SMD). Τα SMD εξαρτήματα τοποθετήθηκαν στην κάτω όψη της πλακέτας και όλα τα

υπόλοιπα στην άνω. Όλες οι αντιστάσεις, εκτός από αυτές που χρησιμοποιούνται στον πίνακα άθροισης, είναι τύπου 1/4W, ανοχής 5%. Στον πίνακα άθροισης χρησιμοποιήθηκαν αντιστάσεις μεταλλικού φιλμ του 1/4W και ανοχής της τάξης του 1% και πυκνωτές υψηλής ποιότητας και χαμηλής ανοχής (5%).

Ο προγραμματισμός του μικροελεγκτή PIC γίνεται πάνω στην πλακέτα μέσω ενός προγραμματιστή MPLAB ICD 3 ή 2 ή PICKIT-3. Ο πηγαίος κώδικας της κατασκευής παρατίθεται στο Παράρτημα Α. Ο μΕλεγκτής χρησιμοποιείται για την αρχικοποίηση των γεννητριών DDS και στη συνέχεια ελέγχει περιοδικά τα J1 και J2, που εκτελούνται σε έναν ατέρμονα βρόχο. Τα J1 και J2 χρησιμοποιούνται για την ενεργοποίηση ή απενεργοποίηση του φέροντος και (ή) του σήματος πιλότου, ενεργοποιώντας ή απενεργοποιώντας έτσι τη στερεοφωνική μετάδοση. Εκτός από την ρουτίνα main, υπάρχουν ελάχιστες επιπλέον ρουτίνες στον κώδικα. Αυτές είναι υπεύθυνες τόσο για την αρχικοποίηση και την ενεργοποίηση ή απενεργοποίηση του φέροντος και (ή) του σήματος πιλότου σύμφωνα με τη βούληση του χρήστη, όσο και για την υλοποίηση της διεπαφής PC, για τα ολοκληρωμένα DDS, ως "bit-banging" σε κανονικές εισόδους/εξόδους (I/O).

Τέλος υπάρχει και μια επιπλέον ουσιαστική παράμετρος, που αφορά τη σωστή σχέση φάσης μεταξύ της υποφέρουσας και του σήματος πιλότου. Η σωστή τιμή φάσης μεταξύ αυτών των δύο σημάτων είναι απαραίτητη για την επίτευξη του μέγιστου "στερεο-διαχωρισμού". Η βέλτιστη σχέση φάσης έχει ρυθμιστεί μία φορά μέσω κώδικα, κατά την αρχική βαθμονόμηση του στερεοφωνικού κωδικοποιητή και ως ετούτου δεν απαιτείται να επαναληφθεί αυτή η διαδικασία. Ωστόσο, σε περίπτωση όπου ο χρήστης επιθυμεί την επαναβαθμονόμηση της συσκευής ή καθίσταται αναγκαία η διόρθωση τυχόν σφαλμάτων φάσης που παράγονται από τον πομπό, είναι εφικτό να πραγματοποιηθεί τροποποιώντας τις γραμμές κώδικα που επισημαίνονται από το σχόλιο «Phase shift value» Αυτές οι γραμμές κώδικα βρίσκονται στη ρουτίνα "Pilot_on (void)" (Βλέπε Παράρτ. Α) και χρησιμοποιούνται για τον καθορισμό της αρχικής παραμέτρου φάσης του πιλοτικού τόνου στη γεννήτρια DDS (ανατρέξτε στο φύλλο δεδομένων του IC AD9834 για περισσότερες λεπτομέρειες σχετικά με την παράμετρο φάσης).



Εικόνα 4.7. Ο κωδικοποιητής FM Stereo σε λειτουργία (διακρίνεται η μονάδα VU-meter).

4.10 Βαθμονόμηση του κωδικοποιητή FM-Stereo

Για τη βαθμονόμηση της γεννήτριας FM-Stereo, είναι απαραίτητος ένας παλμογράφος καθώς και μία γεννήτρια ακουστικών συχνοτήτων. Η διαδικασία της βαθμονόμησης περιλαμβάνει 5 βήματα όπως περιγράφονται παρακάτω:

1.Ρύθμιση της στάθμης υποφέρουσας στην είσοδο του διαμορφωτή:

Συνδέοντας τον παλμογράφο στο δρομέα του ποτενσιομέτρου R47, θα πρέπει να εμφανιστεί στην οθόνη του ένα ημιτονικό σήμα συχνότητας 38 KHz. Αυτό το σήμα είναι η υποφέρουσα (sub-carrier). Ρυθμίζοντας κατάλληλα την R47, η στάθμη της υποφέρουσας θα πρέπει να είναι 160mVp-p σε σχέση πάντοτε με τη γη.

2.Επίτευξη βέλτιστης απόσβεσης της υποφέρουσας:

Περιστρέφοντας τα ποτενσιόμετρα R19 και R36 στο μηδέν της κλίμακας (πλήρως αριστερόστροφα), συνδέστε τον παλμογράφο σε οποιοδήποτε ακροδέκτη του C30 που βρίσκεται στην έξοδο του ισοσταθμισμένου διαμορφωτή. Κανονικά, θα δείτε στον παλμογράφο μία κυματομορφή 38 KHz που είναι η υποφέρουσα. Ρυθμίστε την R51, προκειμένου να μηδενιστεί το σήμα στην οθόνη του παλμογράφου σας (να γίνει 0Vp-p). Αυτός είναι και ο στόχος της ρύθμισης. Στην πράξη, ποτέ δεν θα μηδενιστεί πλήρως το σήμα. Είναι φυσιολογικό να μην επιτύχετε το απόλυτο μηδέν αλλά μερικά μόνο mVp-p (περίπου 5mVp-p ή λιγότερο).

3.Συνδυασμός του κύριου καναλιού και το υπο-κανάλι στη σωστή αναλογία.

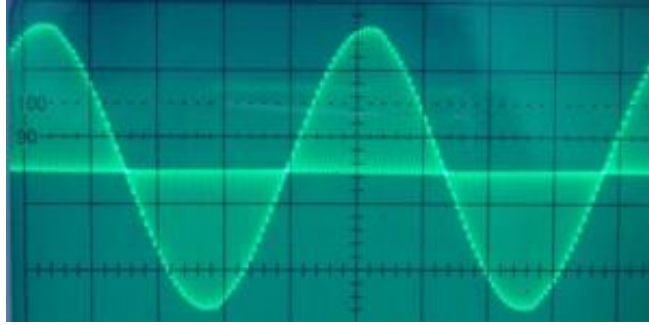
Ρυθμίστε το ποτενσιόμετρο R36 σε πλήρη κλίμακα (πλήρως δεξιόστροφα) και το R19 στο μηδέν (πλήρως αριστερόστροφα). Συνδέστε τη γεννήτρια ακουστικού σήματος στην είσοδο του δεξιού (R) καναλιού του ήχου και εφαρμόστε ένα σήμα συχνότητας 1 KHz και πλάτους 0.6Vp-p. Βραχυκυκλώστε τις επαφές J2 για να απενεργοποιήσετε τον πιλότο και συνδέστε την έξοδο της γεννήτριας στον παλμογράφο. Ρυθμίστε τα R37 και R31, προκειμένου να πάρετε ένα σήμα 3Vp-p, όπως εκείνο που απεικονίζεται στην Εικόνα 4.8.

4.Ρύθμιση της στάθμης του πιλότου.

Ρυθμίστε τα ποτενσιόμετρα R19 και R36 στο μηδέν της κλίμακας (πλήρως αριστερόστροφα). Ανοίξτε τις επαφές J2 για να ενεργοποιήσετε τον πιλοτικό τόνο. Συνδέστε την έξοδο της γεννήτριας με τον παλμογράφο. Θα πρέπει τότε να δείτε στην οθόνη του παλμογράφου ένα ημιτονοειδές σήμα 19 KHz. Ρυθμίστε την R12, έτσι ώστε να λάβετε περίπου 320mVp-p. Με αυτό τον τρόπο θα έχετε ρυθμίσει τον πιλότο για διαμόρφωση 10% επί του μεγίστου που είναι τα 3Vp-p που ρυθμίσατε στο προηγούμενο βήμα.

5.Ρύθμιση το μετρητή VU.

Εφαρμόστε σήμα 1KHz και πλάτους 0.6Vp-p από τη γεννήτρια ακουστικού σήματος τόσο στο δεξί όσο και στο αριστερό κανάλι. Καθόσον τα R19 και R36 είναι περίπου στο μέσο της κλίμακάς τους, ρυθμίστε τα τρίμερ του VU-meter για να λάβετε ένδειξη 0db τόσο στο δεξί όσο και στο αριστερό κανάλι του VU-meter. Το LED που θα επιλέξετε να αντιπροσωπεύει τα 0db επιφύεται στην προσωπική σας επιλογή. Εμείς προτείνουμε το τέταρτο από το τέλος, αν επιλέξετε να χρησιμοποιήσετε το VU-meter με LED που σας έχουμε προτείνει παραπάνω.



Εικόνα 4.8 Σήμα μόνο στο δεξί (R) κανάλι: Χρησιμοποιείται για τη ρύθμιση της στάθμης του κύριου και του δευτερεύοντος καναλιού στη σωστή αναλογία

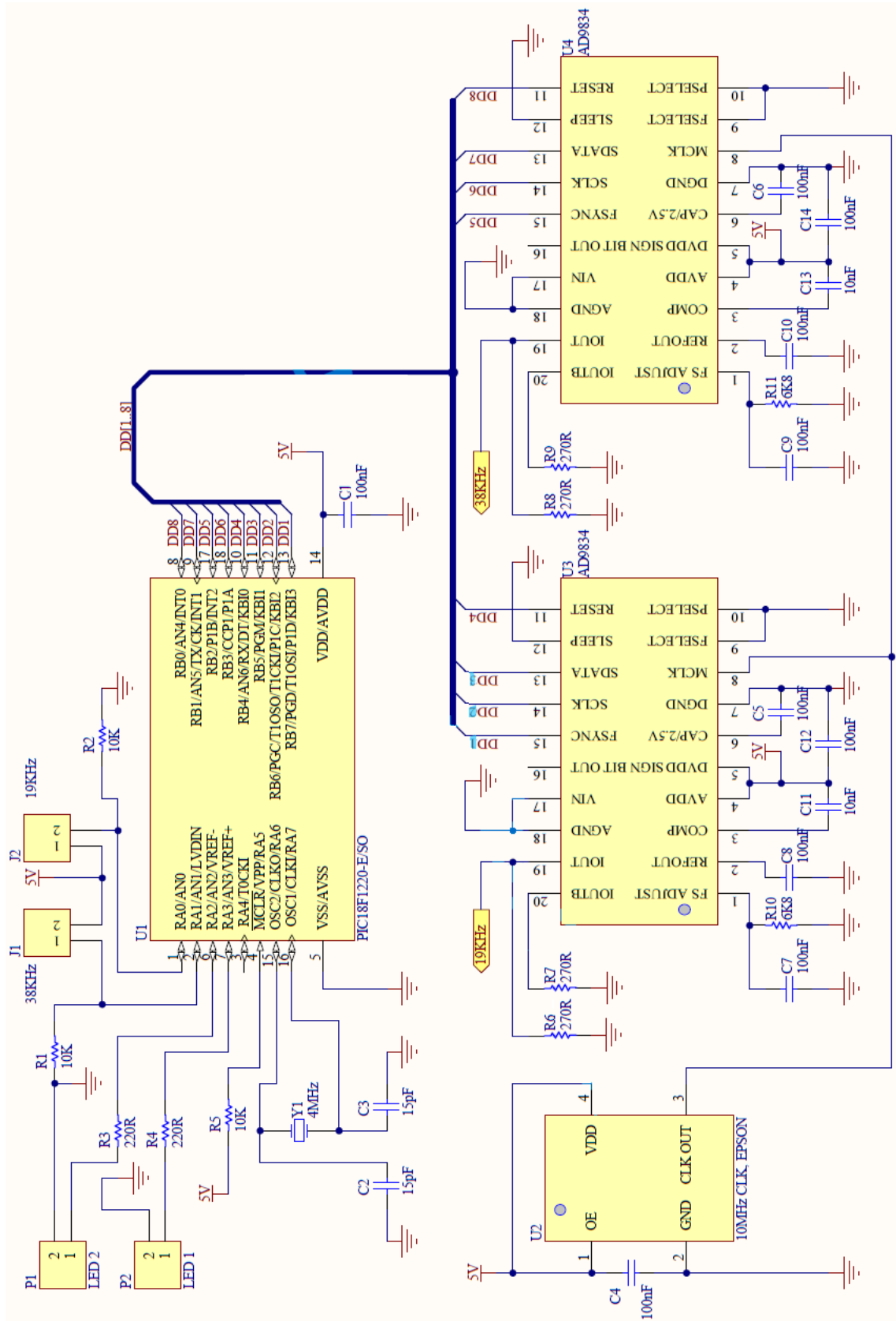
Επίλογος

Στην παρούσα διπλωματική εργασία παρουσιάστηκε μία μέθοδος υλοποίησης κωδικοποιητή (*Encoder*) FM-Stereo σήματος με χρήση μικτών ψηφιακών και αναλογικών τεχνικών, επιτυγχάνοντας τη βέλτιστη μεταξύ τους συνεργασία. Χρησιμοποιήθηκε η τεχνική της Άμεσης Ψηφιακής Σύνθεσης (*Direct Digital Synthesis - DDS*) για την παραγωγή καθαρών ημιτονοειδών σημάτων με μεγάλη ακρίβεια και σταθερότητα συχνότητας όπως η υποφέρουσα των 38 KHz και ο τόνος πιλότου (*pilot tone*) των 19 KHz. Η συχνότητα του ρολογιού αναφοράς δεν αποτελεί κρίσιμο παράγοντα σε ένα σύστημα DDS υψηλής ανάλυσης με αποτέλεσμα η παραγωγή σήματος να γίνεται απλή, ισχυρή και απόλυτα ακριβής. Με την εφαρμογή τεχνικών DDS ελαχιστοποιήθηκε η ανάγκη χρήσης πολύπλοκου (υψηλής τάξης) φιλτραρίσματος για την απόρριψη αρμονικών καθώς χρησιμοποιήθηκε ένα πολύ απλό χαμηλοπερατό φίλτρο 1^{ης} τάξης για το σκοπό αυτό. Η εμφάνιση μετατόπισης φάσης λόγω της χρήσης του φίλτρου ακυρώνεται με την κατάλληλη μετατόπιση φάσης των σημάτων των γεννητριών DDS αντίστοιχα δια μέσου λογισμικού, καθώς είναι απαραίτητη για την επίτευξη του μέγιστου στερεο-διαχωρισμού. Τα αναλογικά μέρη της υλοποίησης αποτέλεσαν ένας αναλογικός ισοσταθμισμένος διαμορφωτής (*balanced modulator*) με το γνωστό ολοκληρωμένο MC1496 για την παραγωγή του καναλιού *Double Side Band Suppressed Carrier* (DSB-SC), καθώς και ένας πίνακας άθροισης (*matrix*) βασισμένος σε τελεστικούς ενισχυτές. Καθώς στο πρωτότυπο υπάρχουν όλοι οι απαραίτητοι ακροδέκτες ελέγχου (*pins*) σε κάθε στάδιο, η υλοποίηση δύναται να συμβάλλει στις εκπαιδευτικές ανάγκες των Εργαστηριακών Ασκήσεων του μαθήματος «Τηλεπικοινωνιακά Συστήματα» του 5^{ου} Εξαμήνου του Προπτυχιακού Προγράμματος Σπουδών του Τμήματος ως ένα πολλά υποσχόμενο αναπτυξιακό board.

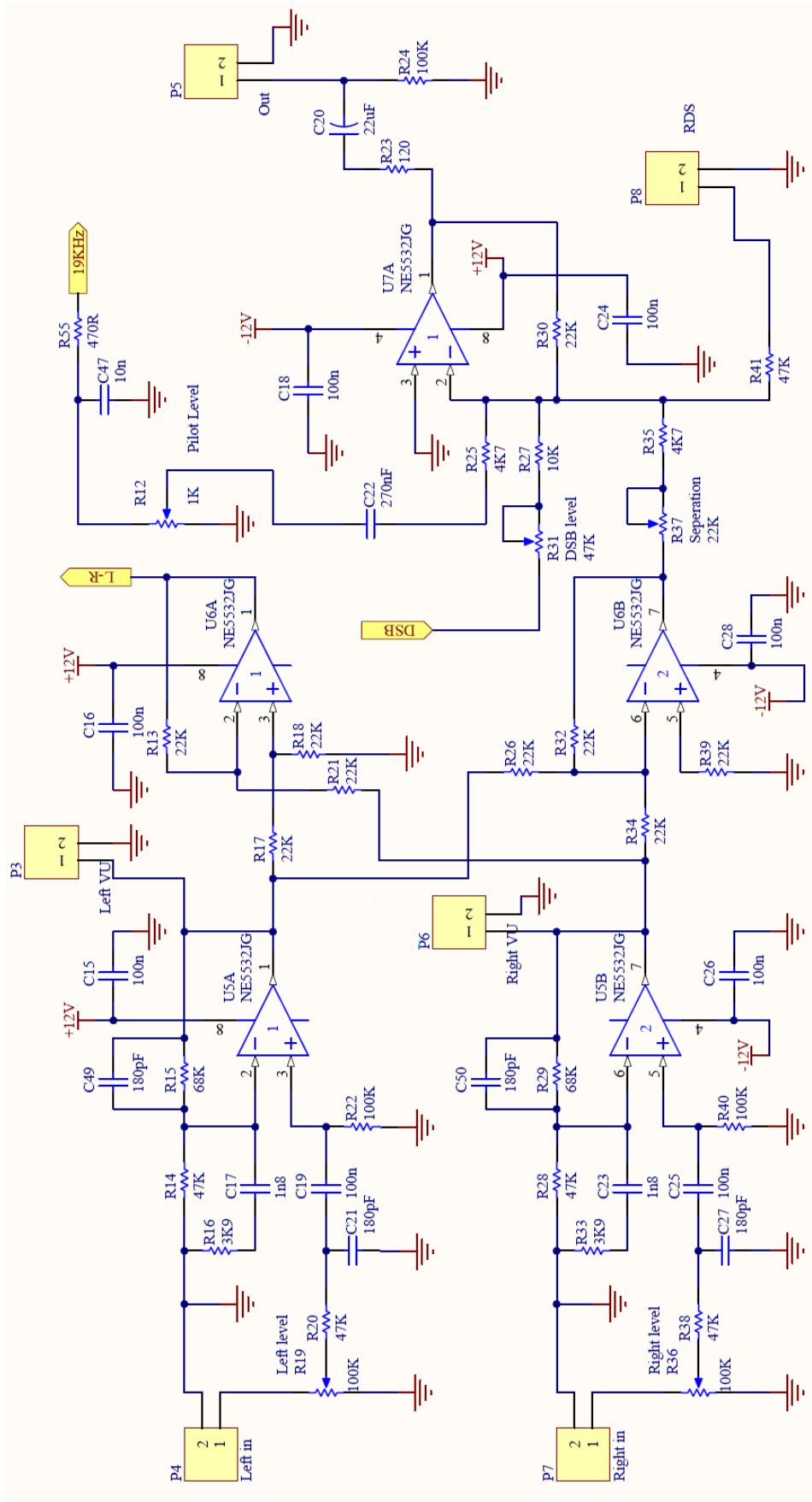
Βιβλιογραφία

1. Γεώργιος Α. Αδαμίδης - Μανόλης Γ. Ταμπουρατζής - Ηλεκτρονική Βιβλιοθήκη Ηλεκτρονικών Κυκλωμάτων & Κατασκευών «CircuitLib Electronics: The Electronics Circuit e-Library».

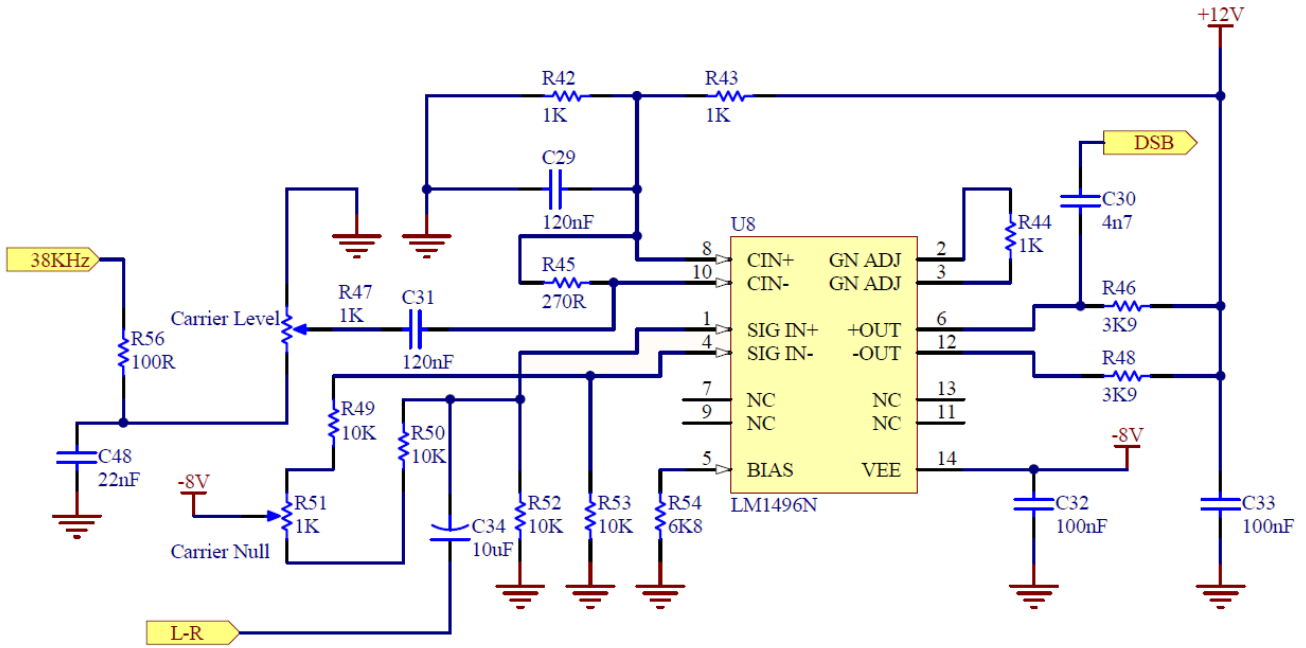
2. M.G. Tampouratzis, G.A. Adamidis, “Hybrid FM Stereo Encoder using DDS for carrier and pilot signal generation”, 18th International Conference on Circuits, Systems, Communications and Computers (CSCC 2014) Santorini Island, Greece, July 17-21, 2014 - Πρακτικά Συνεδρίου (Revised Selected Papers): ROBCIRC - Advances in Robotics, Mechatronics and Circuits, ISBN: 978-1-61804-242-2.
3. Microchip PIC18F1220/1320 DataSheet 18/20/28-Pin High-Performance, Enhanced Flash Microcontrollers with 10-Bit A/D and nanoWatt Technology 2007 Microchip Technology Inc. www.microchip.com
4. MC1496, MC1496B Balanced Modulators / Demodulators Datasheet On Semiconductor Components Industries, LLC, October2006, Rev.10 www.onsemi.com
5. Analog Devices AD9834 - 20 mW Power, 2.3 V to 5.5 V, 75 MHz Complete DDS.
6. Texas Instruments NE5532x, SA5532x Dual Low-Noise Operational Amplifiers.
7. Microchip MPLab ICD 3 User Manual www.microchip.com
8. PicKit 3 Programmer Development User Manual.
9. Altium Designer - User Manual.
10. Προγραμματίζοντας τον μικροελεγκτή PIC, Myke Predko, Εκδόσεις Τζιόλα 1998 ISBN-13: 9789607219947.
11. Federal Communications Commission, “Radio and Television Broadcast Rules” <http://transition.fcc.gov>.
12. Frequency Modulation (FM) Tutorial, Lawrence Der, PhD, Silicon Laboratories Inc.
13. Ask the Application Engineer: “All About Direct Digital Synthesis” by Eva Murphy & Colm Slattery, Analog Dialogue 38-08, August 2004.
14. “DDS Function Generator Design” Application Note #5 - Stanford Research Systems <http://www.thinksrs.com/>
15. “Direct Digital Synthesis (DDS) Controls Waveforms in Test, Measurement, and Communications” by Eva Murphy & Colm Slattery, Analog Dial. 39-08, August 2005.
16. “Fundamentals of Direct Digital Synthesis (DDS)”, Analog Devices MT-085 TUTORIAL.
17. Clifford B. Schrock, “FM Broadcast Measurements Using the Spectrum Analyzer” Application Note 26AX-3582-3 ,Techtronix 1981



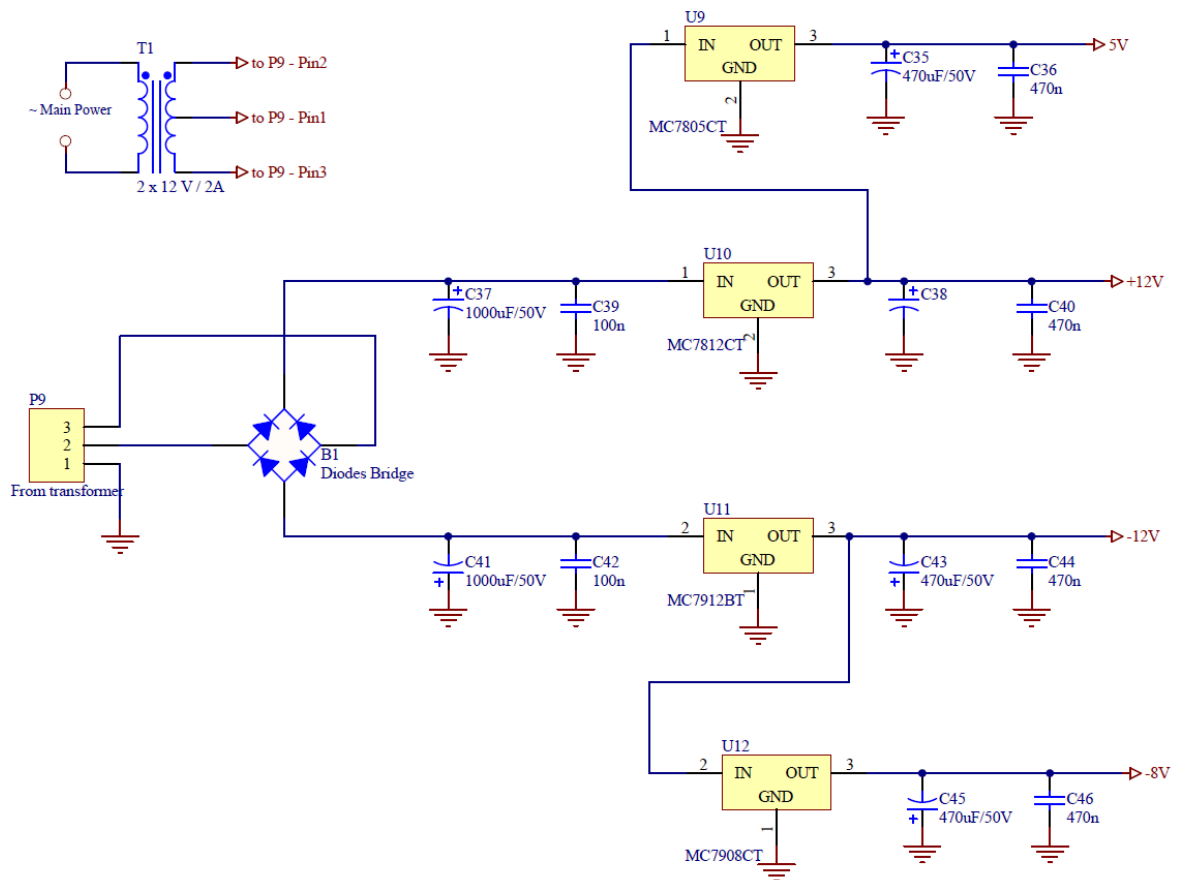
Εικόνα 4.9: Το ηλεκτρονικό σχηματικό της γεννήτρια DDS. Η υποφέρουσα και το σήμα πιλότου παράγονται από δύο ολοκληρωμένα τύπου AD9834 που ελέγχονται από έναν μικροελεγκτή PIC18F1220.



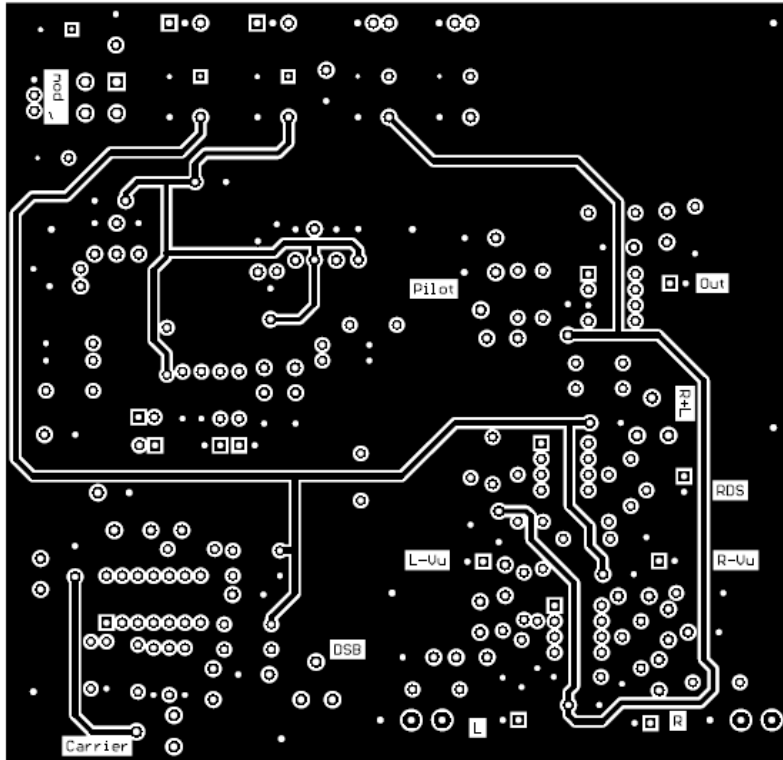
Εικόνα 4.10: Το πλήρες ηλεκτρονικό σχηματικό του πίνακα άθροισης (matrix table).



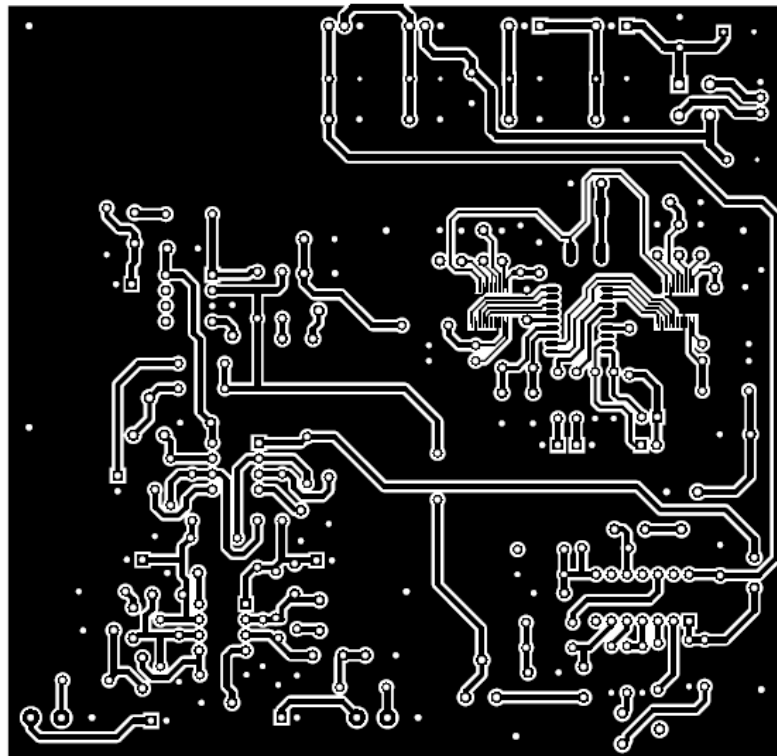
Εικόνα 4.11: Το πλήρες ηλεκτρονικό σχηματικό της βαθμίδας του ισοσταθμισμένου διαμορφωτή (balanced modulator) με υλοποίηση από το IC MC1496.



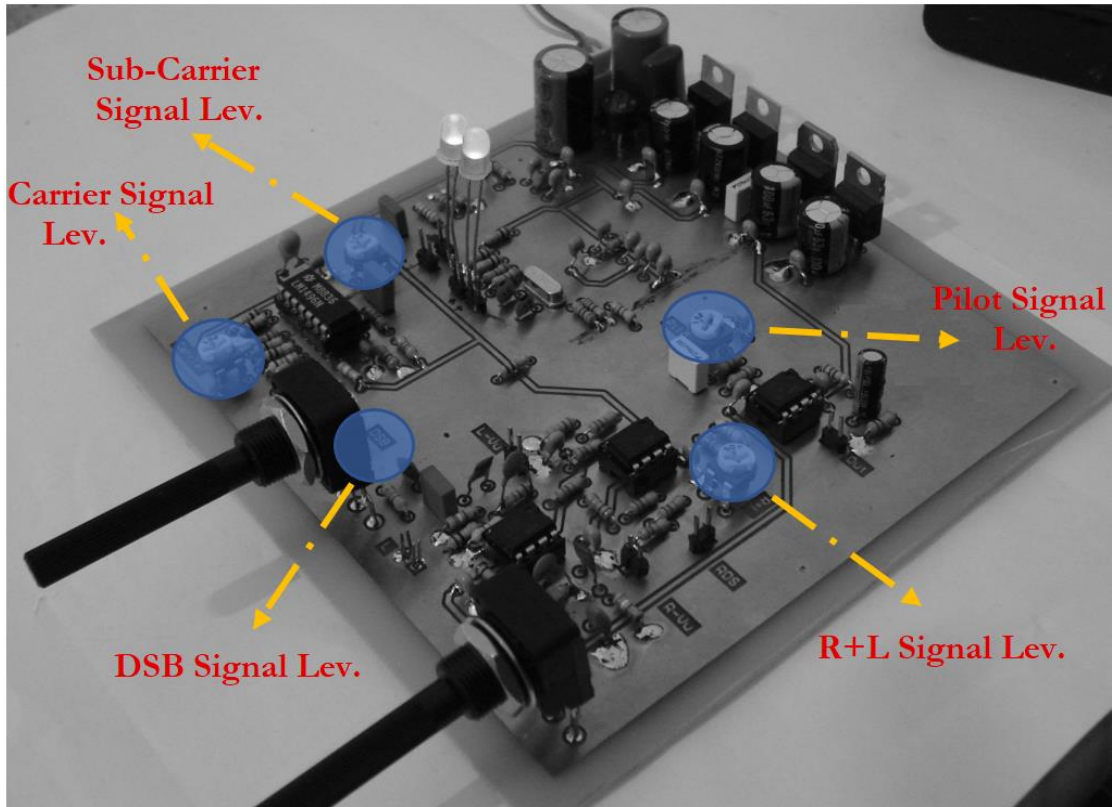
Εικόνα 4.12: Το πλήρες ηλεκτρονικό σχηματικό του τροφοδοτικού του κωδικοποιητή.



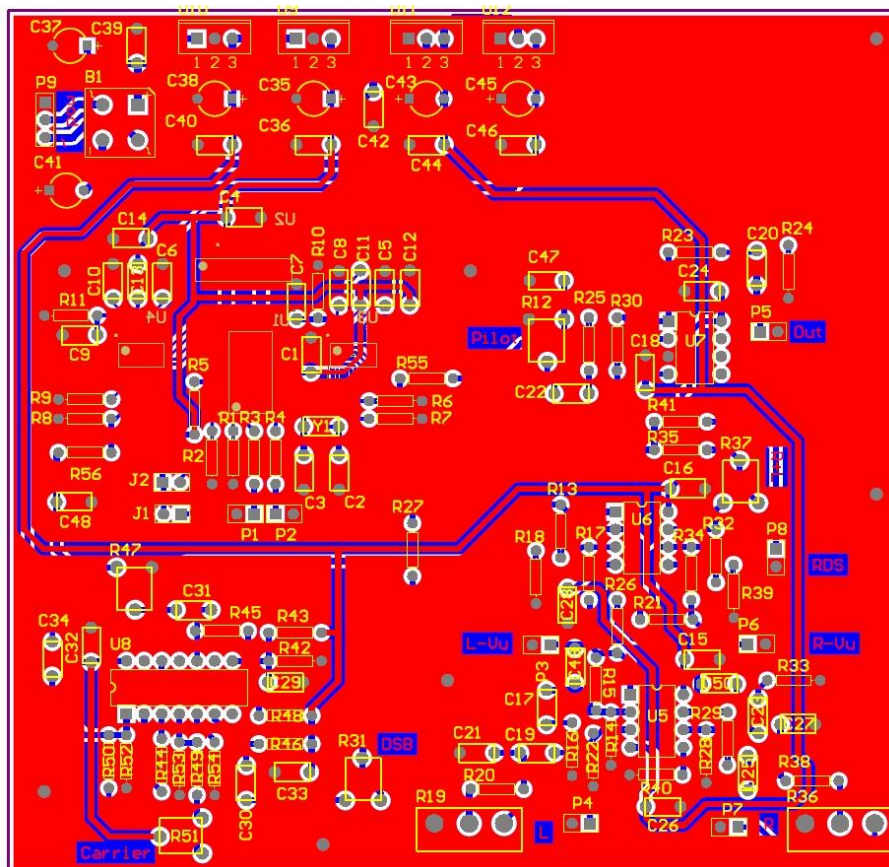
Εικόνα 4.13: Η πάνω (top layer) του τυπωμένου κυκλώματος (pcb) της κατασκευής.



Εικόνα 4.14: Η κάτω όψη (bottom layer) του τυπωμένου κυκλώματος (pcb) της κατασκευής



Εικόνα 4.15: Τα ρυθμιστικά ποτενσιόμετρα της κατασκευής για σωστή βαθμονόμηση.



Εικόνα 4.16: Η τοποθέτηση των εξαρτημάτων στο τυπωμένο κύκλωμα.

Παράρτημα Α΄

(παρατίθεται ο Πηγαίος Κώδικας της Κατασκευής)

Main.C

```

10 // MPLAB V8.0
11 // Mcc18 V2.1
12 // Loaded on a PIC18F4620 microcontroller
13 // All timing routines have been written for 16MHz master clock.
14 //-----
15
16 #include <delays.h>           /* for 'Delay purpose routines' */
17 #include <p18f1220.h>        /* for pic18f242 */
18 //#include <p18cxxx.h>       /* for TRISB and PORTB declarations */
19 #include "definitions.h"     /* pin and other definitions */
20
21 /* Set configuration bits */
22 #pragma config OSC = XT      // set XT (4MHz crystal)
23 #pragma config WDT = ON
24 #pragma config WDTPS = 16384
25 #pragma config LVP = OFF
26 #pragma config BOR = ON
27 #pragma config BORV = 42
28 #pragma config MCLRE = ON
29
30
31 /*Code protection*/
32 #pragma config CP0 = ON
33 #pragma config CP1 = ON
34
35
36 // Functions:
37
38 extern void Send_frame(unsigned char* pframex, unsigned char chip); // Transmits the 16-bit *pframex to the AD9834,
39 //through the serial interface (FDATA, FSYNC, SCLK) (Keyboard.c)
40 void Pilot_On(void); //Set U3 frequency to 19KHz
41 void Carrier_On(void); //Set U4 frequency to 38KHz
42 void initialize (void); // Initialization routine
43 void CLRWDT (void); // Clear WDT
44 unsigned char key (void); // returns 0, 1, 2 or 3 if no key, key19KHz, key38KHz or both keys are on, respectively
45
46 //constants:
47 unsigned char Sinus_A[] = {0,0,0,0,0,0,0,0,0,0,0,0,0,0,0,1,0,0};
48 // AD9834's 16bit command (control register). Sinus signal -Freq0-Phase0
49 unsigned char reset_AD[] = {0,0,0,0,0,0,0,0,0,1,0,0,0,0,1,0,0};
50 // AD9834's 16bit command (control register). Reset- analog output at midscale
51
52 //Global variables:
53 unsigned char flag; // keypressed flag
54
55
56 /***** Main body starts here *****/
57 void main ()
58 {
59
60     Delay10KTCYx(40); // wait 0.4s for peripherals to be initialized
61     CLRWDT();
62     initialize();
63     flag=1;
64
65     while(1)
66     {
67         CLRWDT();
68
69         switch (key())
70         {
71             case 0:
72
73                 LED1=1;
74                 LED2=1;
75                 if (flag>0)
76                 {
77                     initialize();
78                     flag=0;
79                 }
80                 break;
81

```

```

82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100
101
102
103
104
105
106
107
108
109
110
111
112
113
114

```

```

    case 1:
        Send_frame(&reset_AD[15], 0);           // Reset U3
        LED1=0;
        LED2=1;
        if (flag>1) Send_frame(&Sinus_A[15], 1); // Restart U4
        flag=1;
        break;

    case 2:
        Send_frame(&reset_AD[15], 1);           // Reset U4
        LED1=1;
        LED2=0;
        if (flag>0) Send_frame(&Sinus_A[15], 0); // Restart U3
        flag=2;
        break;

    case 3:
        Send_frame(&reset_AD[15], 0);           // Reset U3
        Send_frame(&reset_AD[15], 1);           // Reset U4
        LED1=0;
        LED2=0;
        flag=3;
        break;
}
}
}
//infinite loop ends here
}

```

```

115 //***** Main body Ends here *****/
116
117
118 //-----
119 // Initialization routine
120 void initialize (void)
121 {
122
123     TRISB=0; // configure portB for output
124     TRISA=0b00000011; // configure portA - RA0, RA1 for input
125     ADCON1=0b11111111; // PORTA as digital IO
126
127
128     Send_frame(&reset_AD[15], 0); // Reset U3
129     Send_frame(&reset_AD[15], 1); // Reset U4
130     Delay1KTCYx(2);
131
132     Pilot_On(); // Turn on 19KHz pilot signal
133     Carrier_On(); // Turn on 38KHz carrier
134     Delay1KTCYx(1);
135
136     Send_frame(&Sinus_A[15], 0); // U3 starts with Sinus output
137     Send_frame(&Sinus_A[15], 1); // U4 starts with Sinus output
138
139     //Turn on LEDs
140     LED1=1;
141     LED2=1;
142
143 }
144
145
146 //-----
147
148

```

```

149 // Turn on 19KHz pilot signal - Set U3 frequency to 19KHz
150 void Pilot_On(void)
151 {
152     unsigned char frame[16];           // Contains a 16-bit frame - LSB
153     unsigned char frame2[16];        // Contains a 16-bit frame - MSB
154
155     // 19KHz NCO value (clock 10MHz)= 510027 - 0b11111 00100001001011
156     // 19KHz NCO value (clock 25MHz)= 204011 - 0b01100 01110011101011
157
158     frame[13]=0;
159     frame[12]=0;
160     frame[11]=1;
161     frame[10]=0;
162     frame[9]= 0;
163     frame[8]= 0;
164     frame[7]= 0;
165     frame[6]= 1;
166     frame[5]= 0;
167     frame[4]= 0;
168     frame[3]= 1;
169     frame[2]= 0;
170     frame[1]= 1;
171     frame[0]= 1;
172
173
174     frame2[13]=0;
175     frame2[12]=0;
176     frame2[11]=0;
177     frame2[10]=0;
178     frame2[9]= 0;
179     frame2[8]= 0;
180     frame2[7]= 0;
181     frame2[6]= 0;
182     frame2[5]= 0;
183     frame2[4]= 1;
184     frame2[3]= 1;
185     frame2[2]= 1;
186     frame2[1]= 1;
187     frame2[0]= 1;
188
189
190
191
192
193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224 // Set Freq0 register bits
225 frame2[15]=0;           //D15 bit (AD9834)
226 frame2[14]=1;         //D14 bit (AD9834)
227 frame[15]=0;          //D15 bit (AD9834)
228 frame[14]=1;         //D14 bit (AD9834)
229
230
231 Send_frame(&frame[15],0); // Send LSB-FREQ frame to AD9833
232 Send_frame(&frame2[15],0); // Send MSB-FREQ frame to AD9833
233
234
235
236 // Phase shift - calibration start
237
238 // Set Phase0 register bits
239 frame[15]=1;           //D15 bit (AD9834)
240 frame[14]=1;         //D14 bit (AD9834)
241 frame[13]=0;         //D13 bit (AD9834)
242
243 //Phase shift value - 60.625 degrees = 001010100000
244 | | | | |
245
246 frame[11]=0; //0
247 frame[10]=0; //0
248 frame[9]= 1; //1
249 frame[8]= 0; //0
250 frame[7]= 1; //1
251 frame[6]= 0; //0
252 frame[5]= 1; //1
253 frame[4]= 0; //0
254 frame[3]= 0; //0
255 frame[2]= 0; //0
256 frame[1]= 0; //0
257 frame[0]= 0; //0
258
259
260 Send_frame(&frame[15],0); // Send PHASE0 frame to AD9833
261
262 // } Phase shift - calibration End
263
264
265 return;
266 }

```

```

269 // Turn on 38KHz carrier signal - Set U4 frequency to 38KHz
270 void Carrier_On(void)
271 {
272
273     unsigned char frame[16];                // Contains a 16-bit frame
274     unsigned char frame2[16];              // Contains a 16-bit frame
275
276     //38KHz NCO value (clock 10MHz) = 1020054 - 0b1111110 01000010010110
277     //38KHz NCO value (clock 25MHz) = 0408022 - 0b011000 11100111010110
278
279     frame[13]=0;
280     frame[12]=1;
281     frame[11]=0;
282     frame[10]=0;
283     frame[9]= 0;
284     frame[8]= 0;
285     frame[7]= 1;
286     frame[6]= 0;
287     frame[5]= 0;
288     frame[4]= 1;
289     frame[3]= 0;
290     frame[2]= 1;
291     frame[1]= 1;
292     frame[0]= 0;
293
294     frame2[13]=0;
295     frame2[12]=0;
296     frame2[11]=0;
297     frame2[10]=0;
298     frame2[9]= 0;
299     frame2[8]= 0;
300     frame2[7]= 0;
301     frame2[6]= 0;
302     frame2[5]= 1;
303     frame2[4]= 1;
304     frame2[3]= 1;
305     frame2[2]= 1;
306     frame2[1]= 1;
307     frame2[0]= 0;
308
309
310
311
312
313
314
315
316
317
318
319
320
321
322
323
324
325
326
327
328
329
330
331
332
333
334
335
336
337
338
339
340
341
342
343 // Set Freq0 register bits
344 frame2[15]=0;                //D15 bit (AD9834)
345 frame2[14]=1;                //D14 bit (AD9834)
346 frame[15]=0;                //D15 bit (AD9834)
347 frame[14]=1;                //D14 bit (AD9834)
348
349 Send_frame(&frame[15],1);    // Send LSB-FREQ frame to AD9833
350 Send_frame(&frame2[15],1);  // Send MSB-FREQ frame to AD9833
351
352 return;
353 }
354
355
356
357
358 void CLRWDT (void)           // Clear WDT
359 {
360     _asm
361     CLRWDT
362     _endasm
363 }
364
365
366
367
368
369
370
371
372
373
374
375
376
377
378
379
380
381
382
383
384
385
386
387
388
389
390
391
392
393
394
395
396
397
398
399
400
401
402
403
404
405
406
407
408
409
410
411
412
413
414
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439
440
441
442
443
444
445
446
447
448
449
450
451
452
453
454
455
456
457
458
459
460
461
462
463
464
465
466
467
468
469
470
471
472
473
474
475
476
477
478
479
480
481
482
483
484
485
486
487
488
489
490
491
492
493
494
495
496
497
498
499
500
501
502
503
504
505
506
507
508
509
510
511
512
513
514
515
516
517
518
519
520
521
522
523
524
525
526
527
528
529
530
531
532
533
534
535
536
537
538
539
540
541
542
543
544
545
546
547
548
549
550
551
552
553
554
555
556
557
558
559
560
561
562
563
564
565
566
567
568
569
570
571
572
573
574
575
576
577
578
579
580
581
582
583
584
585
586
587
588
589
590
591
592
593
594
595
596
597
598
599
600
601
602
603
604
605
606
607
608
609
610
611
612
613
614
615
616
617
618
619
620
621
622
623
624
625
626
627
628
629
630
631
632
633
634
635
636
637
638
639
640
641
642
643
644
645
646
647
648
649
650
651
652
653
654
655
656
657
658
659
660
661
662
663
664
665
666
667
668
669
670
671
672
673
674
675
676
677
678
679
680
681
682
683
684
685
686
687
688
689
690
691
692
693
694
695
696
697
698
699
700
701
702
703
704
705
706
707
708
709
710
711
712
713
714
715
716
717
718
719
720
721
722
723
724
725
726
727
728
729
730
731
732
733
734
735
736
737
738
739
740
741
742
743
744
745
746
747
748
749
750
751
752
753
754
755
756
757
758
759
760
761
762
763
764
765
766
767
768
769
770
771
772
773
774
775
776
777
778
779
780
781
782
783
784
785
786
787
788
789
790
791
792
793
794
795
796
797
798
799
800
801
802
803
804
805
806
807
808
809
810
811
812
813
814
815
816
817
818
819
820
821
822
823
824
825
826
827
828
829
830
831
832
833
834
835
836
837
838
839
840
841
842
843
844
845
846
847
848
849
850
851
852
853
854
855
856
857
858
859
860
861
862
863
864
865
866
867
868
869
870
871
872
873
874
875
876
877
878
879
880
881
882
883
884
885
886
887
888
889
890
891
892
893
894
895
896
897
898
899
900
901
902
903
904
905
906
907
908
909
910
911
912
913
914
915
916
917
918
919
920
921
922
923
924
925
926
927
928
929
930
931
932
933
934
935
936
937
938
939
940
941
942
943
944
945
946
947
948
949
950
951
952
953
954
955
956
957
958
959
960
961
962
963
964
965
966
967
968
969
970
971
972
973
974
975
976
977
978
979
980
981
982
983
984
985
986
987
988
989
990
991
992
993
994
995
996
997
998
999

```

DDS_control.C

```

13 #include "definitions.h"      /* pin and other definitions      */
14 #include <pic18f1220.h>      // for pic18f1220
15
16 //functions
17 void Send_frame(unsigned char* pframex, unsigned char chip);
18 // Transmits the 16-bit *pframex to the AD9834 chips, through the serial interface (FDATA, FSYNC, SCLK)
19 void SDATA(unsigned char dbit,unsigned char chip);
20 // Sets FDATA line to 0 or 1 if dbit=0 or 1 respectively
21 void FSYNC(unsigned char sync,unsigned char chip);
22 // Sets FSYNC line to 0 or 1 if sync=0 or 1 respectively
23 void SCLK (unsigned char clk,unsigned char chip);
24 // Sets SCLK line to 0 or 1 if clk=0 or 1 respectively
25 // Sends data to U3 or U4 if chip=0, or 1 respectively

```

```

29 //-----
30 // Transmits the 16-bit *pframex to the AD9834 chips, through the serial interface (FDATA, FSYNC, SCLK).
31 void Send_frame(unsigned char* pframex, unsigned char chip)
32 {
33     int u;
34
35     SCLK(1, chip);
36     FSYNC(0, chip);
37
38     //Transmits the 16-bit frame[16] to the microwire bus
39     for (u=15; u>=1; u--)
40     {
41         SDATA(*pframex, chip);
42         pframex--;
43         SCLK(0, chip);
44         SCLK(1, chip);
45     }
46     FSYNC(1, chip);
47
48     return;
49 }
50
51 //-----
52 // Sets FDATA line to 0 or 1 if dbit=0 or 1 respectively
53 void SDATA(unsigned char dbit,unsigned char chip)
54 {
55     switch (chip)
56     {
57         case 0:
58             data_pinU3=dbit;
59             break;
60
61         case 1:
62             data_pinU4=dbit;
63             break;
64     }
65
66     return;
67 }
68

```

```

69 //-----
70 // Sets FSYNC line to 0 or 1 if sync=0 or 1 respectively
71 void FSYNC(unsigned char sync,unsigned char chip)
72 {
73     switch (chip)
74     {
75         case 0:
76             sync_pinU3=sync;
77             break;
78
79         case 1:
80             sync_pinU4=sync;
81             break;
82     }
83
84     return;
85 }
86
87
88

```

```

89 //-----
90 // Sets SCLK line to 0 or 1 if clk=0 or 1 respectively
91 void SCLK (unsigned char clk,unsigned char chip)
92 {
93     switch (chip)
94     {
95         case 0:
96             clk_pinU3=clk;
97             break;
98
99         case 1:
100             clk_pinU4=clk;
101             break;
102     }
103
104     return;
105 }
106
107

```


Παράρτημα Β'

(Φυλλάδια Πληροφοριών - Datasheet)

18/20/28-Pin High-Performance, Enhanced Flash MCUs with 10-bit A/D

Low-Power Features

- Power Managed modes:
 - Run: CPU on, peripherals on
 - Idle: CPU off, peripherals on
 - Sleep: CPU off, peripherals off
- Power Consumption modes:
 - PRI_RUN: 150 μ A, 1 MHz, 2V
 - PRI_IDLE: 37 μ A, 1 MHz, 2V
 - SEC_RUN: 14 μ A, 32 kHz, 2V
 - SEC_IDLE: 5.8 μ A, 32 kHz, 2V
 - RC_RUN: 110 μ A, 1 MHz, 2V
 - RC_IDLE: 52 μ A, 1 MHz, 2V
 - Sleep: 0.1 μ A, 1 MHz, 2V
- Timer1 Oscillator: 1.1 μ A, 32 kHz, 2V
- Watchdog Timer: 2.1 μ A
- Two-Speed Oscillator Start-up

Oscillators

- Four Crystal modes:
 - LP, XT, HS: up to 25 MHz
 - HSPLL: 4-10 MHz (16-40 MHz internal)
- Two External RC modes, up to 4 MHz
- Two External Clock modes, up to 40 MHz
- Internal Oscillator Block:
 - 8 user-selectable frequencies: 31 kHz, 125 kHz, 250 kHz, 500 kHz, 1 MHz, 2 MHz, 4 MHz, 8 MHz
 - 125 kHz to 8 MHz calibrated to 1%
 - Two modes select one or two I/O pins
 - OSCTUNE – Allows user to shift frequency
- Secondary Oscillator using Timer1 @ 32 kHz
- Fail-Safe Clock Monitor
 - Allows for safe shutdown if peripheral clock stops

Peripheral Highlights

- High Current Sink/Source 25 mA/25 mA
- Three External Interrupts
- Enhanced Capture/Compare/PWM (ECCP) module:
 - One, two or four PWM outputs
 - Selectable polarity
 - Programmable dead time
 - Auto-Shutdown and Auto-Restart
 - Capture is 16-bit, max resolution 6.25 ns ($T_{CY}/16$)
 - Compare is 16-bit, max resolution 100 ns (T_{CY})
- Compatible 10-bit, up to 13-Channel Analog-to-Digital Converter module (A/D) with Programmable Acquisition Time
- Enhanced USART module:
 - Supports RS-485, RS-232 and LIN 1.2
 - Auto-Wake-up on Start bit
 - Auto-Baud Detect

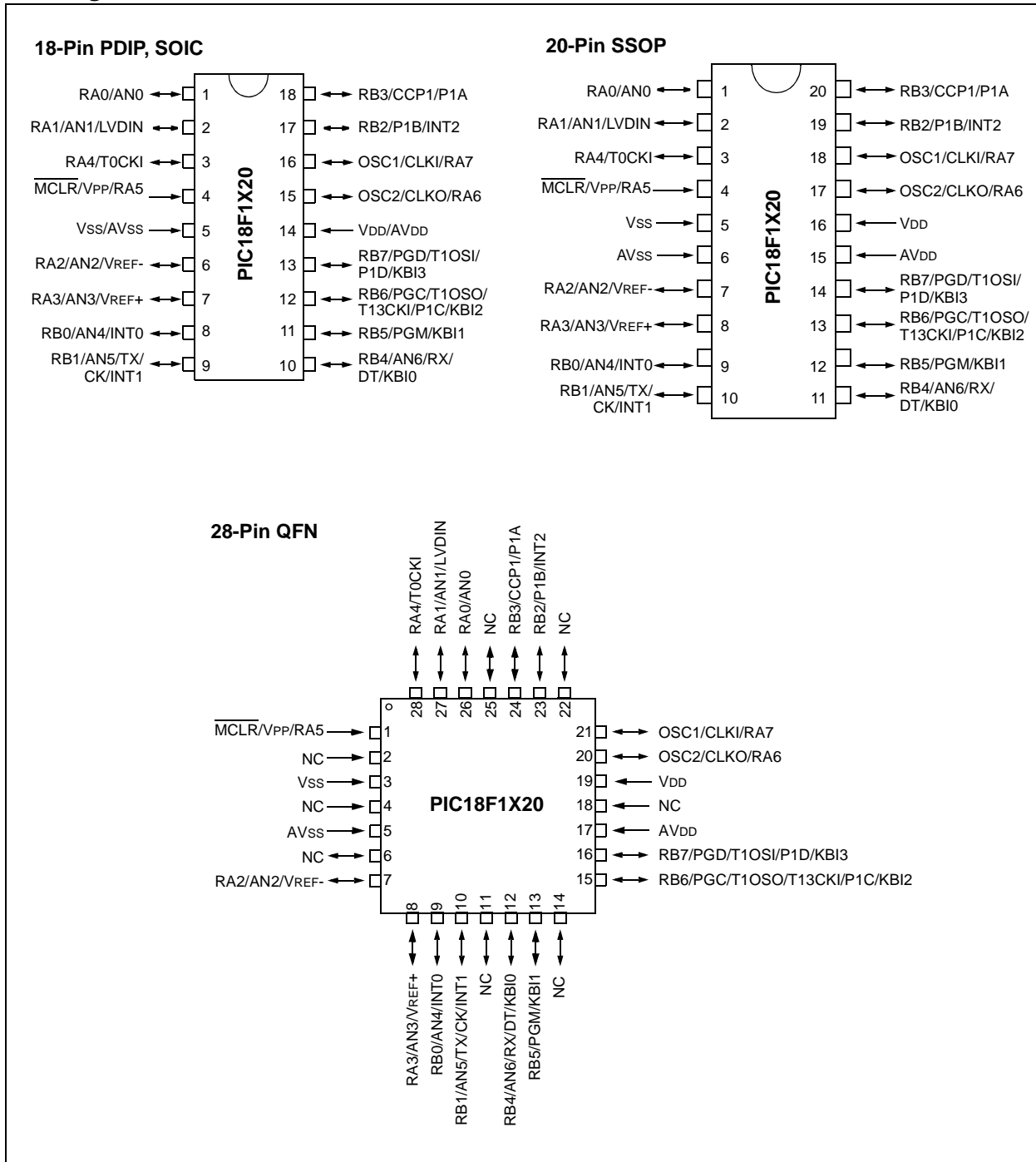
Special Microcontroller Features

- 100,000 Erase/Write Cycle Enhanced Flash Program Memory, typical
- 1,000,000 Erase/Write Cycle Data EEPROM Memory, typical
- Flash/Data EEPROM Retention: > 40 years
- Self-Programmable under Software Control
- Priority Levels for Interrupts
- 8 x 8 Single-Cycle Hardware Multiplier
- Extended Watchdog Timer (WDT):
 - Programmable period from 41 ms to 131s
 - 2% stability over V_{DD} and Temperature
- Single-Supply 5V In-Circuit Serial Programming™ (ICSP™) via Two Pins
- In-Circuit Debug (ICD) via Two Pins
- Wide Operating Voltage Range: 2.0V to 5.5V

Device	Program Memory		Data Memory		I/O	10-bit A/D (ch)	ECCP (PWM)	EUSART	Timers 8/16-bit
	Flash (bytes)	# Single-Word Instructions	SRAM (bytes)	EEPROM (bytes)					
PIC18F1220	4K	2048	256	256	16	7	1	Y	1/3
PIC18F1320	8K	4096	256	256	16	7	1	Y	1/3

PIC18F1220/1320

Pin Diagrams



FEATURES

Narrow-band SFDR >72 dB
2.3 V to 5.5 V power supply
Output frequency up to 37.5 MHz
Sine output/triangular output
On-board comparator
3-wire SPI® interface
Extended temperature range: -40°C to +105°C
Power-down option
20 mW power consumption at 3 V
20-lead TSSOP

APPLICATIONS

Frequency stimulus/waveform generation
Frequency phase tuning and modulation
Low power RF/communications systems
Liquid and gas flow measurement
Sensory applications: proximity, motion, and defect detection
Test and medical equipment

GENERAL DESCRIPTION

The AD9834 is a 75 MHz low power DDS device capable of producing high performance sine and triangular outputs. It also has an on-board comparator that allows a square wave to be produced for clock generation. Consuming only 20 mW of power at 3 V makes the AD9834 an ideal candidate for power-sensitive applications.

Capability for phase modulation and frequency modulation is provided. The frequency registers are 28 bits; with a 75 MHz clock rate, resolution of 0.28 Hz can be achieved. Similarly, with a 1 MHz clock rate, the AD9834 can be tuned to 0.004 Hz resolution. Frequency and phase modulation are affected by loading registers through the serial interface and toggling the registers using software or the FSELECT pin and PSELECT pin, respectively.

The AD9834 is written to using a 3-wire serial interface. This serial interface operates at clock rates up to 40 MHz and is compatible with DSP and microcontroller standards.

The device operates with a power supply from 2.3 V to 5.5 V. The analog and digital sections are independent and can be run from different power supplies, for example, AVDD can equal 5 V with DVDD equal to 3 V.

The AD9834 has a power-down pin (SLEEP) that allows external control of the power-down mode. Sections of the device that are not being used can be powered down to minimize the current consumption. For example, the DAC can be powered down when a clock output is being generated.

The part is available in a 20-lead TSSOP.

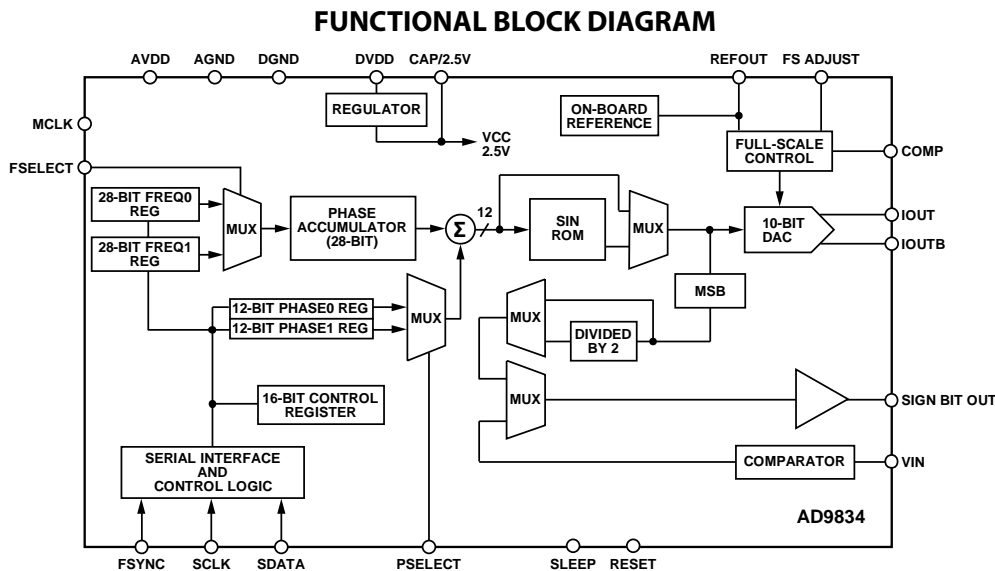


Figure 1.

Rev. D

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2003–2014 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

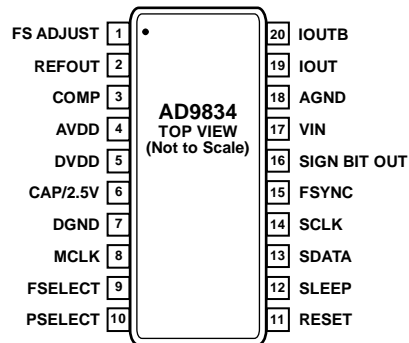


Figure 6. Pin Configuration

Table 4. Pin Function Descriptions

Pin No.	Mnemonic	Description
ANALOG SIGNAL AND REFERENCE		
1	FS ADJUST	Full-Scale Adjust Control. A resistor (R_{SET}) is connected between this pin and AGND. This determines the magnitude of the full-scale DAC current. The relationship between R_{SET} and the full-scale current is as follows: $I_{OUT\ FULL\ SCALE} = 18 \times FSADJUST/R_{SET}$ $FSADJUST = 1.15\ V\ nominal, R_{SET} = 6.8\ k\Omega\ typical.$
2	REFOUT	Voltage Reference Output. The AD9834 has an internal 1.20 V reference that is made available at this pin.
3	COMP	DAC Bias Pin. This pin is used for decoupling the DAC bias voltage.
17	VIN	Input to Comparator. The comparator can be used to generate a square wave from the sinusoidal DAC output. The DAC output should be filtered appropriately before being applied to the comparator to improve jitter. When Bit OPBITEN and Bit SIGN/PIB in the control register are set to 1, the comparator input is connected to VIN.
19, 20	IOUT, IOUTB	Current Output. This is a high impedance current source. A load resistor of nominally 200 Ω should be connected between IOUT and AGND. IOUTB should preferably be tied through an external load resistor of 200 Ω to AGND, but it can be tied directly to AGND. A 20 pF capacitor to AGND is also recommended to prevent clock feedthrough.
POWER SUPPLY		
4	AVDD	Positive Power Supply for the Analog Section. AVDD can have a value from 2.3 V to 5.5 V. A 0.1 μ F decoupling capacitor should be connected between AVDD and AGND.
5	DVDD	Positive Power Supply for the Digital Section. DVDD can have a value from 2.3 V to 5.5 V. A 0.1 μ F decoupling capacitor should be connected between DVDD and DGND.
6	CAP/2.5V	The digital circuitry operates from a 2.5 V power supply. This 2.5 V is generated from DVDD using an on-board regulator (when DVDD exceeds 2.7 V). The regulator requires a decoupling capacitor of typically 100 nF that is connected from CAP/2.5 V to DGND. If DVDD is equal to or less than 2.7 V, CAP/2.5 V should be shorted to DVDD.
7	DGND	Digital Ground.
18	AGND	Analog Ground.
DIGITAL INTERFACE AND CONTROL		
8	MCLK	Digital Clock Input. DDS output frequencies are expressed as a binary fraction of the frequency of MCLK. The output frequency accuracy and phase noise are determined by this clock.
9	FSELECT	Frequency Select Input. FSELECT controls which frequency register, FREQ0 or FREQ1, is used in the phase accumulator. The frequency register to be used can be selected using Pin FSELECT or Bit FSEL. When Bit FSEL is used to select the frequency register, the FSELECT pin should be tied to CMOS high or low.
10	PSELECT	Phase Select Input. PSELECT controls which phase register, PHASE0 or PHASE1, is added to the phase accumulator output. The phase register to be used can be selected using Pin PSELECT or Bit PSEL. When the phase registers are being controlled by Bit PSEL, the PSELECT pin should be tied to CMOS high or low.
11	RESET	Active High Digital Input. RESET resets appropriate internal registers to zero; this corresponds to an analog output of midscale. RESET does not affect any of the addressable registers.
12	SLEEP	Active High Digital Input. When this pin is high, the DAC is powered down. This pin has the same function as Control Bit SLEEP12.

Pin No.	Mnemonic	Description
13	SDATA	Serial Data Input. The 16-bit serial data-word is applied to this input.
14	SCLK	Serial Clock Input. Data is clocked into the AD9834 on each falling SCLK edge.
15	FSYNC	Active Low Control Input. This is the frame synchronization signal for the input data. When FSYNC is taken low, the internal logic is informed that a new word is being loaded into the device.
16	SIGN BIT OUT	Logic Output. The comparator output is available on this pin or, alternatively, the MSB from the NCO can be output on this pin. Setting Bit OPBITEN in the control register to 1 enables this output pin. Bit SIGN/PIB determines whether the comparator output or the MSB from the NCO is output on the pin.

MC1496, MC1496B

Balanced Modulators/ Demodulators

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See ON Semiconductor Application Note AN531 for additional design information.

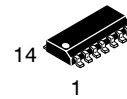
Features

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
–50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB Typical
- This Device Contains 8 Active Transistors
- Pb-Free Package is Available*

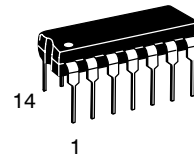


ON Semiconductor®

<http://onsemi.com>

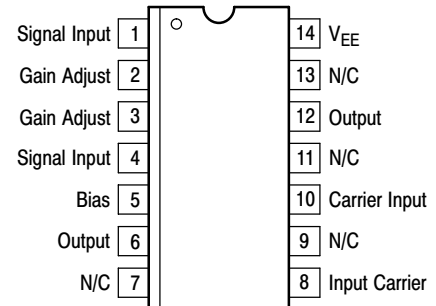


SOIC-14
D SUFFIX
CASE 751A



PDIP-14
P SUFFIX
CASE 646

PIN CONNECTIONS



ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 12 of this data sheet.

DEVICE MARKING INFORMATION

See general marking information in the device marking section on page 12 of this data sheet.

MC1496, MC1496B

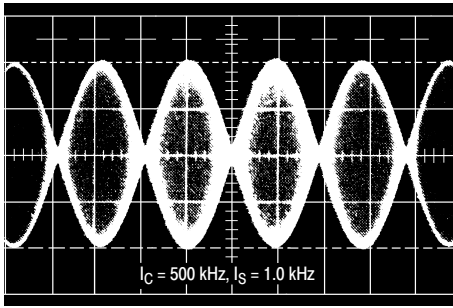


Figure 1. Suppressed Carrier Output Waveform

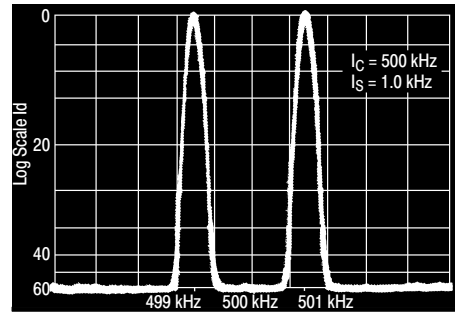


Figure 2. Suppressed Carrier Spectrum

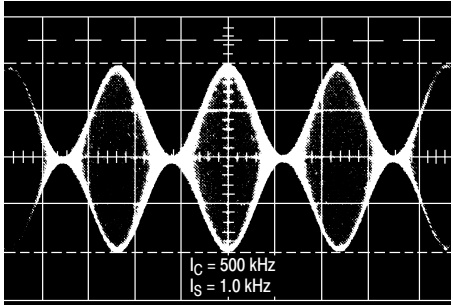


Figure 3. Amplitude Modulation Output Waveform

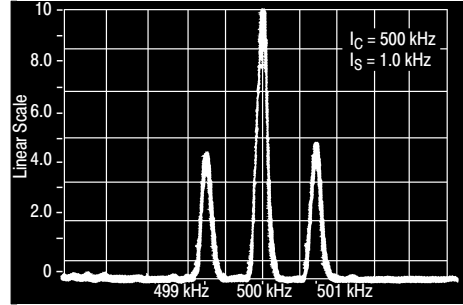


Figure 4. Amplitude-Modulation Spectrum

MAXIMUM RATINGS ($T_A = 25^\circ\text{C}$, unless otherwise noted.)

Rating		Symbol	Value	Unit
Applied Voltage (V6-V8, V10-V1, V12-V8, V12-V10, V8-V4, V8-V1, V10-V4, V6-V10, V2-V5, V3-V5)		ΔV	30	Vdc
Differential Input Signal		V8 - V10 V4 - V1	+5.0 $\pm(5 + I_5 R_e)$	Vdc
Maximum Bias Current		I_5	10	mA
Thermal Resistance, Junction-to-Air Plastic Dual In-Line Package		$R_{\theta JA}$	100	$^\circ\text{C}/\text{W}$
Operating Ambient Temperature Range		T_A	0 to +70 -40 to +125	$^\circ\text{C}$
Storage Temperature Range		T_{stg}	-65 to +150	$^\circ\text{C}$
Electrostatic Discharge Sensitivity (ESD) Human Body Model (HBM) Machine Model (MM)		ESD	2000 400	V

Stresses exceeding Maximum Ratings may damage the device. Maximum Ratings are stress ratings only. Functional operation above the Recommended Operating Conditions is not implied. Extended exposure to stresses above the Recommended Operating Conditions may affect device reliability.

NE5532x, SA5532x Dual Low-Noise Operational Amplifiers

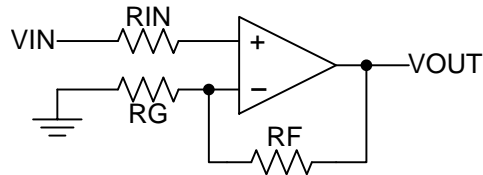
1 Features

- Equivalent Input Noise Voltage: 5 nV/ $\sqrt{\text{Hz}}$ Typ at 1 kHz
- Unity-Gain Bandwidth: 10 MHz Typ
- Common-Mode Rejection Ratio: 100 dB Typ
- High DC Voltage Gain: 100 V/mV Typ
- Peak-to-Peak Output Voltage Swing 26 V Typ With $V_{CC\pm} = \pm 15$ V and $R_L = 600 \Omega$
- High Slew Rate: 9 V/ μs Typ

2 Applications

- AV Receivers
- Embedded PCs
- Netbooks
- Video Broadcasting and Infrastructure: Scalable Platforms
- DVD Recorders and Players
- Multichannel Video Transcoders
- Pro Audio Mixers

4 Simplified Schematic



3 Description

The NE5532, NE5532A, SA5532, and SA5532A devices are high-performance operational amplifiers combining excellent DC and AC characteristics. They feature very low noise, high output-drive capability, high unity-gain and maximum-output-swing bandwidths, low distortion, high slew rate, input-protection diodes, and output short-circuit protection. These operational amplifiers are compensated internally for unity-gain operation. These devices have specified maximum limits for equivalent input noise voltage.

Device Information⁽¹⁾

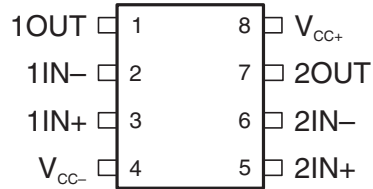
PART NUMBER	PACKAGE (PIN)	BODY SIZE (NOM)
NE5532x, SA5532x	SOIC (8)	4.90 mm × 3.91 mm
NE5532x, SA5532x	PDIP (8)	9.81 mm × 6.35 mm
NE5532x	SO (8)	6.20 mm × 5.30 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.



6 Pin Configuration and Functions

NE5532, NE5532A . . . D, P, OR PS PACKAGE
SA5532, SA5532A . . . D OR P PACKAGE
(TOP VIEW)



Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
1IN+	3	I	Noninverting input
1IN-	2	I	Inverting Input
OUT1	1	O	Output
2IN+	5	I	Noninverting input
2IN-	6	I	Inverting Input
2OUT	7	O	Output
VCC+	8	—	Positive Supply
VCC-	4	—	Negative Supply

Παράρτημα Γ'

Επιστημονικό Άρθρο που υποβλήθηκε στο διεθνές Συνέδριο
“CSCC 2014” (18th International Conference on Circuits, Systems,
Communications and Computers, Santorini Island, Greece, July 17-21, 2014)

A circular inset image showing a close-up of a white, humanoid robot head with a visible mechanical neck and a hand raised near its face. The robot has a neutral expression and is looking slightly upwards.

**Advances in Robotics, Mechatronics
and Circuits**

**Proceedings of the 18th International Conference on
Circuits (part of CSCC '14)**

**Proceedings of the 2014 International Conference on
Mechatronics and Robotics, Structural Analysis (MEROSTA 2014)**

Santorini Island, Greece, July 17-21, 2014

**Italian Association of Robotics
and Automation**



Edited by

Nikos Mastorakis
Kleanthis Psarris
George Vachtsevanos
Philippe Dondon
Valeri Mladenov
Aida Bulucea
Imre Rudas
Olga Martin
Bogdan Epureanu
Cho W. Solomon To
Hyung Hee Cho

ISBN: 978-1-61804-242-2

Hybrid FM Stereo Encoder using DDS

for carrier and pilot signal generation

Manolis G.Tampouratzis ¹

¹Department of Electronic Engineering
Faculty of Applied Sciences
Technological Educational Institute of Crete
Romanou 3 Chalepa, 73133 Chania, Crete, Greece
{tampouratzis@chania.teicrete.gr}

George A. Adamidis ² (MSc in Electronic Physics)

² 1 E.K Heraklion – Technical School Laboratories
Division of Electronics
Itanou 40 Kipoupoli, 71307 Heraklion, Crete, Greece
{sv7fid@yahoo.gr}

Abstract - An fm-stereo generator device uses a complex modulation system, according to F.C.C standards, to achieve a compatible mono/stereo system of broadcasting. There are several approaches for building an FM-Stereo generator. In the current implementation, we present an hybrid FM-stereo generator which uses both digital and analog techniques. We use Direct Digital Synthesis (DDS) module for carrier and pilot tone generation which gives unlimited control over phase shift and the ability to produce clean (purely sinusoids) signals with great frequency accuracy and stability. Reference clock frequency (or crystal choice) is not very critical in a high resolution DDS and signal generation becomes simple, robust and completely accurate. Finally using DDS also diminishes the necessity of using complex (high order) filtering.

Keywords – direct digital synthesis (DDS) , fm stereo generator, pilot signal, carrier, balanced modulator, fm stereo spectrum

I. INTRODUCTION

FM stereo broadcasting was introduced during the early 1960s. The fm stereo system which approved for use by the F.C.C in the U.S and later was adopted worldwide uses a complex modulation system to achieve a compatible mono/stereo system of broadcasting. Essentially, the system performs the multiplexing of two audio signals and further combines them into a complex baseband signal that modulates the FM carrier.

The system works by broadcasting a sum of the left (L) and right (R) audio channels, a pilot tone of 19 kHz and a double sideband suppressed carrier (DSBSC) sub-channel that contains the difference of the two audio channels (see fig. 1).

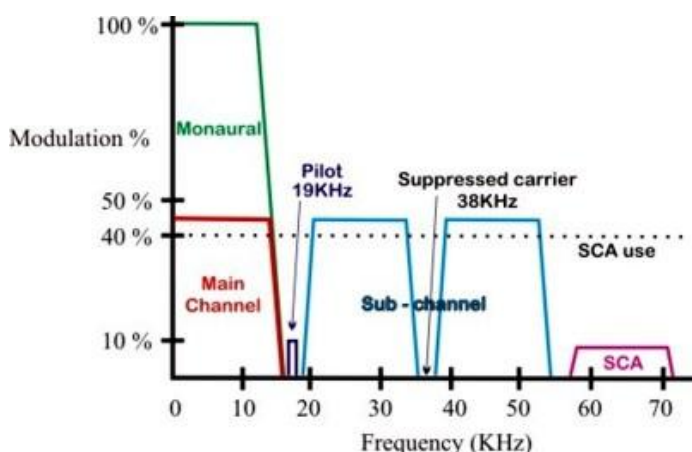


Fig. 1. The Composite FM-Stereo Spectrum

In a simple monaural system, the FM channel is frequency modulated ± 75 KHz with the audio information and the monaural audio signal occupies the 0-15 KHz spectrum of the transmitted frequency spectrum (see figure 1). When stereo is transmitted, the same monaural signal (left plus right channel combined) remains in the 0-15 KHz spectrum of the FM stereo signal and an additional sub – channel, centered at 38 KHz, which is a double sideband suppressed carrier signal (DSBSC) is additionally transmitted (see figure 1). This subcarrier is a left-subtracted-from-right (L-R) signal, which, when fed through a matrix with the monaural main channel on the receiver, forms the individual left and right channels. An additional pilot carrier signal at 19 KHz is also transmitted. The pilot signal is phase-cohered (synchronized), to the suppressed 38 KHz carrier.

In an FM-stereo system, the monaural signal is modulated about 45%, the sub channel and the pilot tone are modulated 45% and 10%, respectively, so that the total modulation for a stereo FM- station is 100%. In modern stations where some SCA or RDS/RBDS subcarriers are also used, the modulation of the main and the sub channel are furthermore reduced in order to the total modulation being kept less than 100% (± 75 KHz deviation).

In an FM-stereo receiver the 19 KHz pilot signal indicates that the transmission is stereo. The receiver regenerates the 38 KHz carrier and then uses coherent detection for the sub-channel. Cohered detection only works when the carrier is present at the receiver. Of course, the receiver can not obtain the 38 KHz carrier from the baseband signal directly (because the carrier is suppressed during transmission). The carrier is actually obtained in the receiver from the 19 KHz pilot signal.

The composite FM-stereo signal that modulates the FM carrier in any FM-station is generated from a device which is often called as an “FM-Stereo Generator” or as an “FM-Stereo encoder”. The typical theoretical diagram of an FM-stereo generator is shown on fig. 2

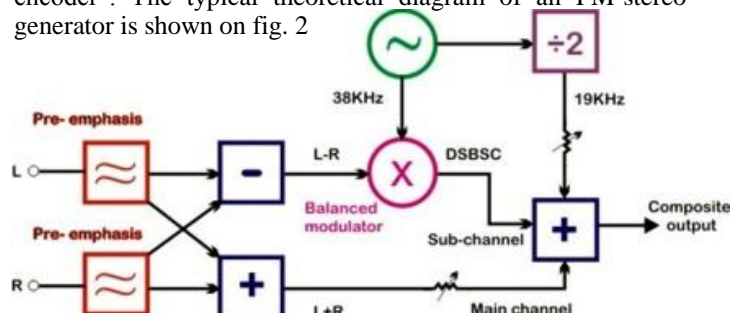


Fig. 2. Typical Theoretical diagram of an FM-Stereo Generator

With respect to figure 2, both the left and the right audio channels are pre-emphasized, just as normal monaural signal would be. Then, the left and the right signals are both added and subtracted on a matrix. The audio signals added (L+R), form the monaural signal which is the main channel. The subtracted signals (L-R) are modulated on a 38 KHz carrier, to form the sub-channel. A balanced modulator is used; because the system requires that the carrier at 38 KHz will be suppressed, leaving only the modulated audio information. The 38 KHz oscillator is divided by 2 to produce the coherent 19 KHz pilot signal. Both the carrier and the pilot signal should be purely harmonics (sinusoidal), otherwise some undesirable (spurious - noise) signals may appear in the composite spectrum.

The three components of the stereo signal, i.e. the main channel, the sub channel and the pilot tone, are combined at the proper ratios (45%, 45%, 10%), forming the composite output.

II. THE HARDWARE – GENERATION OF CARRIER AND PILOT SIGNALS

Before the DDS era, producing “clean” carrier and pilot signals at 38 and 19 KHz respectively, considered to be a difficult task. An oscillator based on a crystal or a ceramic resonator, was often used. Since there are not many 38 KHz resonators available in the market, carrier and pilot signals often produced after some divisions (usually by 12 and 24) from a 455-456 KHz ceramic resonator. The dividers were digital circuits based on flip-flops and modulo-x counters and they produced pulsed signals rather than “clean” sinusoids. Some filters had to be used for suppressing the harmonics and producing the sinusoids. Unfortunately, the filters could not fully suppress harmonics and they also produced some phase shift (pilot tone was phase sifted in respect to the carrier). Harmonics induced undesirable noise (inmodulation products) and significantly degraded the composite stereo signal. The phase shifts also, made carrier regeneration and coherent detection of the sub-channel problematic at the receiver.

After 90s decade, many designers preferred to use an alternative approach for carrier and pilot generation. That approach based on using a microcontroller for producing the carrier rather using an ordinary oscillator. The pilot tone was still derived by using division by 2. That approach gives some flexibility on choosing the reference crystal, but microcontrollers and dividers produce pulsed (digital) signals and strict filtering was yet essential.

Fortunately, now (in 2014) we have DDS, which gives unlimited control over phase shift and the ability to produce clean (purely sinusoids) signals with great frequency accuracy and stability. Reference clock frequency (or crystal choice) is not very critical in a high resolution DDS and signal generation becomes simple, robust and completely accurate. Using a DDS also diminishes the necessity of using complex (high order) filtering.

Here’s a breakdown of the internal circuitry of a DDS device: its main components are a *phase accumulator*, a means of *phase-to-amplitude conversion* (often a sine look-up table), and a DAC. These blocks are represented in Figure 3.

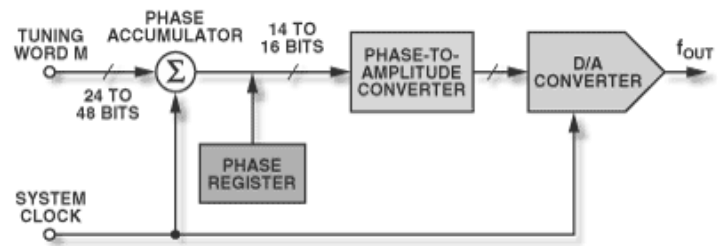


Fig. 3. Components of a direct digital synthesizer.

A DDS produces a sine wave at a given frequency. The frequency depends on two variables, the *reference-clock* frequency and the binary number programmed into the frequency register (*tuning word*).

The binary number in the frequency register provides the main input to the phase accumulator. If a sine look-up table is used, the phase accumulator computes a phase (angle) address for the look-up table, which outputs the digital value of amplitude—corresponding to the sine of that phase angle—to the DAC. The DAC, in turn, converts that number to a corresponding value of analog voltage or current. To generate a fixed-frequency sine wave, a constant value (the phase increment—which is determined by the binary number) is added to the phase accumulator with each clock cycle. If the phase increment is large, the phase accumulator will step quickly through the sine look-up table and thus generate a high frequency sine wave. If the phase increment is small, the phase accumulator will take many more steps, accordingly generating a slower waveform.

A phase-to-amplitude lookup table is used to convert the phase-accumulator’s instantaneous output value with unneeded less-significant bits eliminated by truncation into the sine-wave amplitude information that is presented to the (10-bit) D/A converter. The DDS architecture exploits the symmetrical nature of a sine wave and utilizes mapping logic to synthesize a complete sine wave from one-quarter-cycle of data from the phase accumulator. The phase-to- amplitude lookup table generates the remaining data by reading forward then back through the lookup table. This is shown pictorially in Figure 4.

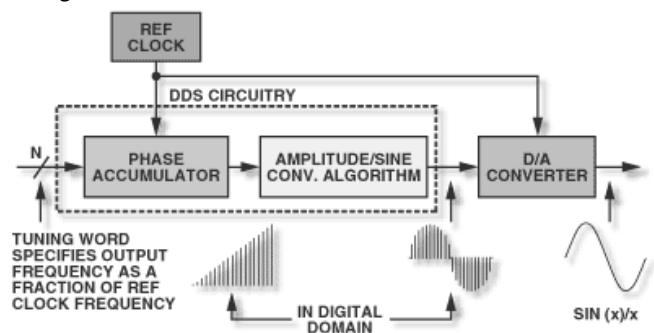


Fig.4 Signal flow through the DDS architecture.

A. The DDS Generator

In this fm-stereo encoder, we use Direct Digital Synthesis (DDS) for carrier and pilot tone generation. Referring to the DDS generator circuit section, the carrier and the pilot signal are generated from two AD9834 DDS ICs. Every AD9834 is used to generate a pure sinusoid signal. Both DDS IC's are kept synchronized by using the same reference clock, and their phase relationship can be digitally controlled. An 18F1220 PIC microcontroller is used to control the DDS generators through I2C signalling interface. The I2C interface is implemented as "bit-banging" on normal I/O.

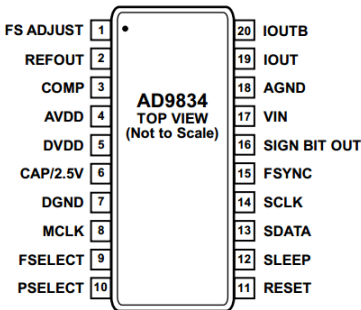
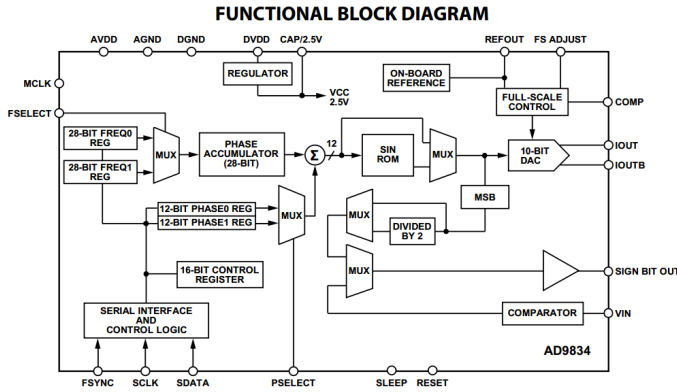


Photo 1. The DDS generator. The carrier and the pilot signal are generated from two AD9834 DDS IC's. An 18F1220 PIC microcontroller (at the center of the photo) is used to control the DDS generators. Both DDS ICs are kept synchronized by the same reference clock (seen at the left side of the photo).

Fig. 6. Functional Block Diagram AD9834 IC – Fig.7 . Pin Configuration AD9834 IC.

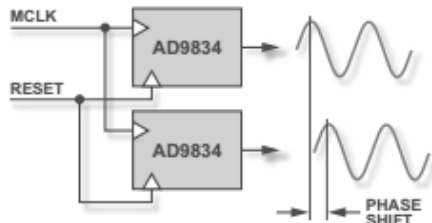


Fig.8 Multiple DDS AD9834s IC's Synchronous Mode Setup of DDS generation with the same reset pin and master reference clock

A reset, after power-up and prior to transferring any data to the DDS, sets the DDS output to a known phase, which serves as the common reference point that allows synchronization of multiple DDS devices. When new data is sent simultaneously to multiple DDS units, a coherent phase relationship can be maintained, and their relative phase offset can be predictably shifted by means of the phase-offset register.

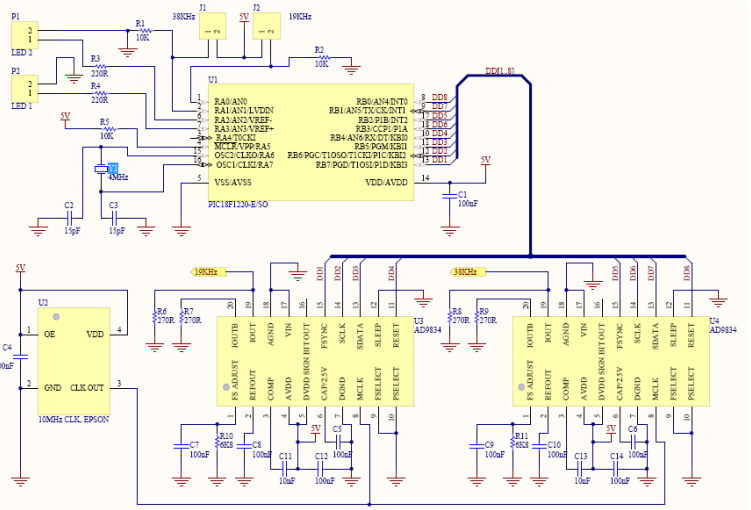


Fig. 5. DDS Section – Carrier and Pilot Tone Generation

The microcontroller is used to initiate the generators with the proper frequency and initial phase during start-up. It is also used to turn off or turn-on any generator at any moment, according to users will. User's commands are triggered from 2 external switches (J1 and J2). The AD9834 offers 28bits resolution over frequency and 12bits over phase control. By using a 10 MHz reference clock, we achieve frequency and phase accuracy of about 0.037 Hz ($10\text{MHz}/2^{28}$) and 0.09 degrees ($360/2^{12}$), respectively. The reference clock frequency is intentionally chosen to be high enough in order to can be easily filtered out from the carrier and the pilot signals, using only some simple R-C filters.

The source code is very simple. The microcontroller is used to initialize the DDS generators and then periodically checks J1 and J2, running on an infinite loop. J1 and J2 are used to turn on or off the carrier and (or) the pilot signal, thus enabling or disabling the stereo broadcasting.

Besides main, there are only very few other routines in the code. These routines are responsible for initializing and turning on or off the carrier and (or) the pilot signal according to user will and also implementing the I2C interface, for the DDS chips, as "bit-banging" on normal I/O. Finally, there is also another essential parameter, regarding the correct phase relationship between the carrier and the pilot signal. The correct phase relationship between those signals is essential for achieving maximum "stereo-separation". The optimum phase relationship has been adjusted once through code, and the stereo encoder was initially calibrated. Initial calibration constants are

kept on some code lines (marked by the “Phase shift value” comment). These code lines are located in the void Pilot_on (void) routine and are used to set the initial phase parameter on the pilot tone DDS generator (please, refer to the AD9834’s datasheet for more details about the phase parameter).

B. The Balanced Modulator

Modern approach on building a low frequency balanced modulator tends to be the use of DSP. However, traditional analogue techniques are still used due to simplicity. After all, the composite fm-stereo signal is a completely analogue signal. We may live in the digital era, but we still using the old and good analogue fm-stereo.

Following the tradition, we use an analogue balanced modulator for the generation of the 38 KHz sub-channel. The modulator is based on the well known MC1496 IC, which is able to suppress the carrier for more than 60dbs.



Photo 2. The modulator is based on the well known MC1496 IC, which is able to suppress the carrier for more than 60dbs

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified. The carrier suppression for the MC1496, is very dependent on the carrier input level. A low value of the carrier results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feed through, which again degrades the suppression figure. The optimum carrier level for optimum carrier suppression at carrier frequencies in the vicinity of 50 kHz, is about 60mVrms (170 mVp-p). This Optimum value is achieved threw R47 adjustment.

Besides the carrier input, there is also another input for the L-R audio channel. The balanced modulator accepts both signals and performs the multiplication (L-R)*carrier in the time domain. A multiplication in the time domain is equivalent to frequency shifting in the frequency domain i.e. the L-R audio signal bandwidth is frequency shifted by the carrier frequency. This operation is better known as frequency mixing or shifting and the product of mixing is a DSB (Double Sided Band) signal.

There is a simple R-C filter at the carrier input of the modulator. This filter consists of the R56 and C48 and it is used to suppress the reference clock frequency (10 MHz). The DDS generates the carrier signal by using a 10bit DAC and the reference clock frequency is actually the sampling-frequency of the generated carrier signal. Since the reference clock frequency is much higher than the carrier frequency, it can be easily removed from the carrier signal by using a very simple

low-pass (1st order) filter. The simple low-pass filter produces some phase shift, which is cancelled, threw appropriate phase shifting of the DDS generator. (see Fig. 8)

While the R47 is used to adjust carrier level at the input of the modulator, the R51 potentiometer is used to adjust the carrier suppression level. Carrier suppression better than 60db, can be easily achieved threw the appropriate adjustment of R51. For best performance, the modulator is powered from two independent voltage sources; +12 and -8V, respectively. These are the recommended supply voltages, as described in the MC1496 datasheet.

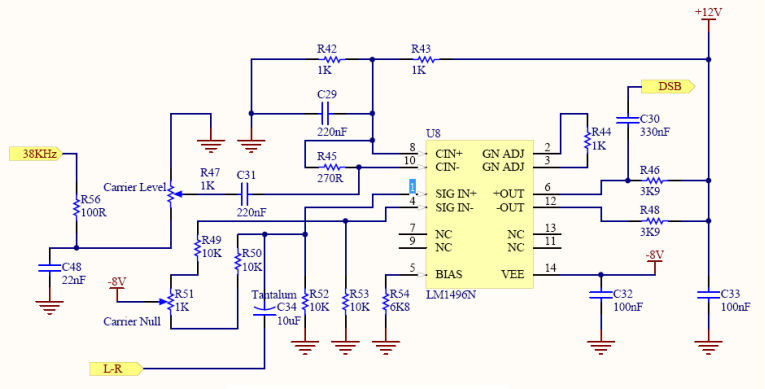


Fig. 9. Balanced Modulator Section

C. The Op-Amp Matrix

The heart of the fm-stereo generator is the matrix circuit. This circuit accepts the left and the right audio signals, the pilot tone and the DSBSC signal from the modulator, and performs the appropriate additions and subtractions, in order to produce the composite FM–stereo signal. The circuit also pre-emphasizes the left and right audio channel, just as normal monaural signal would be. The matrix circuit is based on operational amplifiers.

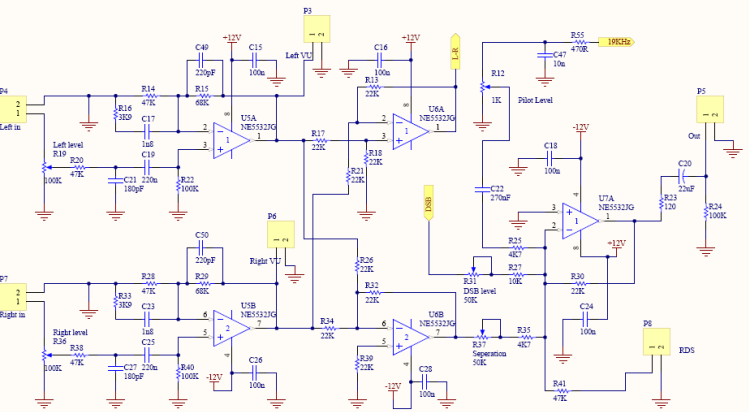


Fig. 10. The matrix circuit is based on operational amplifiers

Referring to the matrix electronic schematic, U5A and U5B are used to pre-emphasize the left and right audio channel. U5A, R14-16, R20, R22, C49, C19, C21 and U5B, R28-29, R33, R38, R40, C23, C27, C50 form pre-emphasis networks for the pre-emphasis of the left and the right audio channel, respectively. A pre-emphasis network is actually a high pass filter and pre-emphasis refers to a process designed to increase the magnitude of some higher frequencies with respect to the magnitude of lower frequencies. The pre-emphasis network characteristics are shown on figure 11.

In Europe, fm broadcasters use $50\mu\text{s}$ pre-emphasis, while it is $75\mu\text{s}$ in the U.S. Our FM-stereo generator prototype uses $50\mu\text{s}$ pre-emphasis, because it was built and tested in Europe (Greece). However, it can be easily changed to $75\mu\text{s}$ by simply changing C17 and C23 to 2.7nF .

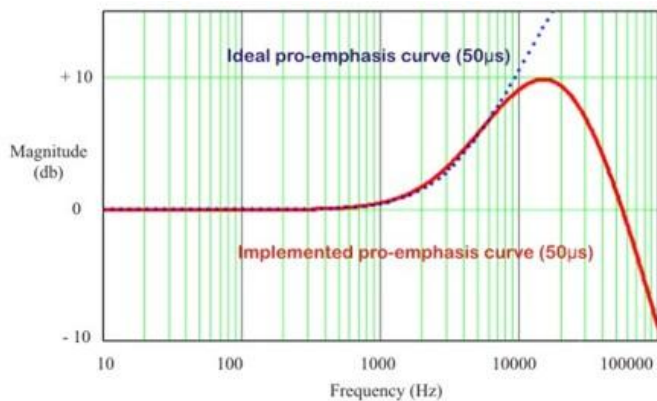


Fig. 11. Pre-emphasis network response curve.

Pre-emphasis on the transmitter and the minor operation (de-emphasis) on the receiver, are used to improve the overall signal-to-noise ratio by minimizing the adverse effects of the noise which is louder at higher frequencies. While the mirror operation is called de-emphasis, the system as a whole is called emphasis.

Fm channel is inherently very noisy and this makes emphasis very essential. Emphasis is also used in monaural broadcasting but it is even more important for FM-stereo. This is due to the fact that the fm-stereo signal carries most of its information in high frequencies located between 22 and 54 KHz and noise tends to be louder on those high frequencies. In the receiver side, decoding the stereo channel into left and right means that the noise is shifted down into the audible range.

Referring to the electronic schematic of the matrix again, U6A is used as a subtractor and produces the L-R signal, and U6B is used as an adder which produces the L+R sum. U7 is the final adder which accepts the pilot tone, the main channel and the sub-channel and produces the composite output. At this final stage, an additional input (P8) is providing for adding any SCA or RDS/RBDS subcarriers.

R12, R31 and R37 are used to adjust the proper ratios for combining the three components of the stereo signal, i.e. the pilot tone level, the sub channel level and the main channel level, respectively. Proper adjustment of these potentiometers is essential for the optimum operation of the stereo-encoder.

R55 and C47 are forming a low-pass filter for the pilot tone. This filter is used to eliminate the reference clock frequency (10 MHz), from the pilot signal. Besides the final output, which is P5, there are two other outputs. Those are the P3 and P6 outputs that are used to provide the left and the right audio signal, respectively, to an external VU-meter.

D. The Power Supply Unit

The fm-stereo generator uses a simple linear power supply unit which is based on 78XX and 79XX linear regulators.

Referring to the power supply electronic schematic, U9, U10, U11 and U12 are used to provide +5V, +12V, -12V and -8V respectively. The DDS generator section is powered from +5V only, while the modulator uses both +12V and -8V. The matrix section uses $\pm 12\text{V}$ of symmetrical power supply.

III. ASSEMBLY DETAILS

The prototype uses a double-sided printed circuit board with metal-plated holes. Excluding the AD9834 ICs, the PIC microcontroller and the clock generator, all other components are of through-hole type and they are placed on the top-side of the board. The microcontroller, the DDS ICs and the clock generator are placed on the bottom surface of the PCB. All resistors, except for those used on the matrix, are of $1/4\text{W}$ -5% type. In the matrix, I use low-tolerance 1% resistors and low tolerance (5%) capacitors.

The PIC microcontroller was programmed on board, using a MPLAB ICD 3 programmer from Microchip .

IV. CALIBRATING THE FM-STEREO ENCODER

The FM-generator, needs to be calibrated before use. The calibration process includes 5 steps as described below:

- **Adjust the carrier level at the input of the modulator.** Connect your oscilloscope on R47's tap. You should measure a 38 KHz sinus waveform, which is the carrier. Adjust R47, in order to get about 160mVp-p on its tap, in respect to ground.
- **Achieve carrier null by means of the bias trim potentiometer R51.** Turn R19 and R36 at zero scale (fully anticlockwise). Connect the oscilloscope on any pin of C30. Normally, you will get a 38 KHz sinus waveform on your oscilloscope. Adjust R51 in order to get 0Vp-p (null the carrier). Well, you will never get the absolute zero, but just some mVp-p (around 5mVp-p or less).
- **Combine main-channel and sub-channel at the proper ratio.** Set R36 at full-scale and R19 at zero-scale. Connect an audio signal generator on R audio input and apply a 1 KHz audio tone of about 0.6Vp-p . Short-circuit J2 to turn off the pilot tone. Measure the output of the generator using an oscilloscope. Adjust R37 and R31 in order to get a 3Vp-p signal, like the one shown on figure 12.

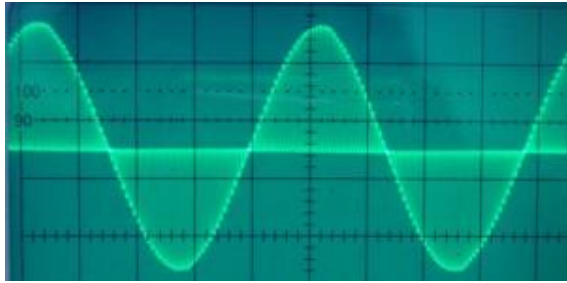


Fig. 12. Right Channel only: Used to Balance Bain and Sub-channel

- **Adjust the pilot level.** Set R19 and R36 at zero scale (full anticlockwise). Open J2 to turn on the pilot tone. Measure the output of the generator using an oscilloscope. You should measure a 19 KHz sine wave. Adjust R12 trimmer, in order to get about a 320mVp-p signal.
- **Adjust the VU-meter.** Set the left and right channel of the VU meter at full scale for 1Vp-p input. Adjust by using the trim potentiometers on VU-meter's board.

V. CONCLUSION

In this hybrid FM-stereo generator we use mixed digital and analog techniques in order to achieve optimum performance. We use Direct Digital Synthesis (DDS) to produce clean (purely sinusoids) signals with great frequency accuracy and stability for carrier and pilot tone generation. Reference clock frequency (or crystal choice) is not very critical in a high resolution DDS and signal generation becomes simple, robust and completely accurate. Using a DDS also diminishes the necessity of using complex (high order) filtering and we use very simple low-pass, 1st order filtering. The simple low-pass filter produces some phase shift, which is cancelled, threw appropriate phase shifting of the DDS generators. The correct phase relationship between the carrier (38khz) and the pilot (19khz) tone is essential for achieving maximum stereo-separation, and the optimum phase relationship has been adjusted once, threw code, according to trial and error method.

ACKNOWLEDGMENT

This project is a part of the production line of a new "Start – Up" small Business, "CircuitLib – Electronics". CircuitLib – Electronics was awarded with the First Prize at the "Secondary Student Contest on Business Plans and Innovative Ideas". The Student Contest on Business Plans and Innovative Ideas was organised from TEI of Crete, started on June of 2013 and ended on March of 2014.

REFERENCES

- [1] Clifford B. Schrock, "FM Broadcast Measurements Using the Spectrum Analyzer" Application Note 26AX-3582-3 ,Techtronix 1981
- [2] Eva Murphy,Colm Slattery "Direct Digital Synthesis (DDS) Controls Waveforms in Test, Measurement, and Communications" Analog Dialogue39-08, August(2005)
- [3] PIC18F1220/1320 Data Sheet 18/20/28-Pin High-Performance, Enhanced Flash Microcontrollers with 10-Bit A/D and nanoWatt Technology 2007 Microchip Technology Inc.
- [4] MC1496,MC1496B Balanced Modulators/Demodulators Datasheet On Semiconductor Components Industries, LLC,October2006 ,- Rev. 10
- [5] Eva Murphy, Colm Slattery "All About Direct Digital Synthesis" Analog Dialogue 38-08, August (2004) <http://www.analog.com/library/analogDialogue/>
- [6] Data Sheet AD9834 - 20 mW Power, 2.3 V to 5.5 V,75 MHz Complete DDS, Analog Devices www.analog.com
- [7] CircuitLib – The Electronics Circuit Library www.circuitlib.com

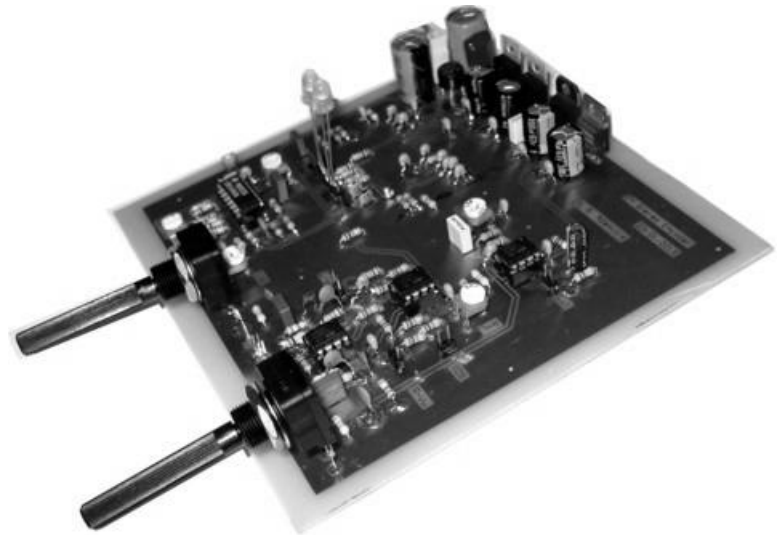


Photo3. The electronic board of the hybrid Fm Stereo Encoder

Manolis G. Tambouratzis was born in 1986 at Heraklion ,Crete Greece. In 2011 he graduated from the Department of Electronic Engineering, Faculty of Applied Sciences , TEI of Crete with grade " Very Good" 7.32 / 10 drawing up his internship at the Technical Department of the Hellenic Telecommunications Organisation (OTE). He holds a professional License "Radioelectronics Cat B" and a degree in Electronic Communications - Radio-Amateurs ' Cat 1 ' with the distinctive code "SV9RGJ" from 2012. His interests are focus on Electronic Circuits Technology for Telecommunication Applications (RF Systems Design), Wireless Telecommunications Systems Technology and Electromagnetic Fields Measurements from Base Stations Transmitters . He is a member of scientific societies IEEE (Student Branch - TEIoC), FITCE and EETEM and has attended numerous training seminars in the fields of Communications & Information Technology in recent years.

George A. Adamidis - Physicist and Electronic Engineer.
 Studies: Physics (2000), MSc in Electronic Physics (2002), from Aristotle University of Thessaloniki, Greece.
 Current occupation: High – School teacher in Physics & Electronics, Assistant Researcher in the Centre of Technological Research of Crete.
 Research interests: Embedded Systems, RF technology, Smart Antennas, Antenna design and Electromagnetic Compatibility.