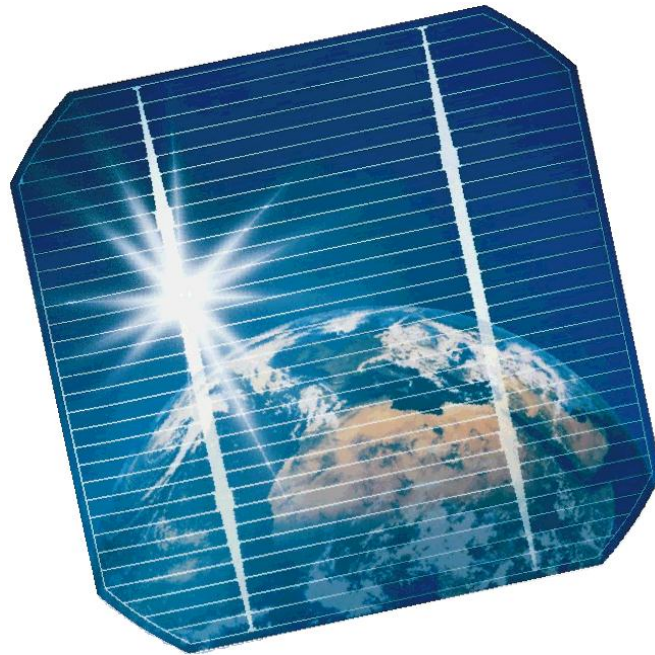




Τ.Ε.Ι. Κρήτης Παράρτημα Χανίων
Τμήμα Ηλεκτρονικής

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

*Ανίχνευση μέγιστης ισχύος
φωτοβολταϊκής γεννήτριας με
μικροελεγκτή.*



Εισηγητής:

Μανίτης Αντώνης M.Sc

Σπουδαστής:

Περδικάκης Οδ. Μανόλης

Χανιά 2010

Θα ήθελα να ευχαριστήσω όλους όσους με βοήθησαν για την ολοκλήρωση της εργασίας αυτής. Τον καθηγητή κ. Α. Μανίτη, Ηλεκτρολόγο Μηχανικό M.Sc. για την επιμέλεια της πτυχιακής και την απεριόριστη υπομονή του μέχρι την ολοκλήρωση της κατασκευής. Τον Τεχνολόγο Ηλεκτρονικό Μηχανικό Α. Τσακίρη του οποίου η κατασκευαστική εμπειρία αποτέλεσε αστείρευτη πηγή για την υλοποίηση της κατασκευής. Τον Ηλεκτρολόγο Μηχανικού ΕΜΠ. Χατζάκη Γιάννη για την συμβολή του στο θεωρητικό υπολογισμό της μελέτης Τέλος αξίζει ιδιαίτερη αναφορά ο Ηλεκτρονικός Μηχανικός Ευτύχη Κουτρούλης. Χωρίς την βοήθεια του στη σχεδίαση αλλά και τον έλεγχο της κατασκευής δεν θα ήταν δυνατό να πραγματοποιηθεί αυτή η εργασία.

Θα πρέπει επίσης να τονιστεί ότι η διαχείριση ανανεώσιμων πηγών ενέργειας, θεωρείτε για τα ελληνικά αλλά και για τα διεθνή δεδομένα, προηγμένη τεχνολογικά, με αποτέλεσμα την έλλειψη σχετικής βιβλιογραφίας. Η υλικοτεχνική υποδομή που διατέθηκε τόσο από το Τεχνολογικό Εκπαιδευτικό Ίδρυμα Χανίων όσο και από το Πολυτεχνείο Κρήτης τομέα Ηλεκτρονικής έπαιξαν ουσιαστικό ρόλο στην συλλογή των απαραίτητων πληροφοριών και στην υλοποίηση της πτυχιακής εργασίας.

Περιεχόμενα

ΠΕΡΙΕΧΟΜΕΝΑ	5
ΕΙΣΑΓΩΓΗ	7
ΚΕΦΑΛΑΙΟ 1. ΤΑ ΦΩΤΟΒΟΛΤΑΪΚΑ ΣΥΣΤΗΜΑΤΑ	11
ΕΝΟΤΗΤΑ 1.01 ΟΙ ΑΝΑΝΕΩΣΙΜΕΣ ΠΗΓΕΣ ΕΝΕΡΓΕΙΑΣ.....	11
ΕΝΟΤΗΤΑ 1.02 ΗΛΙΑΚΗ ΕΝΕΡΓΕΙΑ	12
ΕΝΟΤΗΤΑ 1.03 ΤΑ ΦΩΤΟΒΟΛΤΑΪΚΑ ΣΤΟΙΧΕΙΑ	16
ΕΝΟΤΗΤΑ 1.04 ΗΛΕΚΤΡΙΚΑ ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΦΩΤΟΒΟΛΤΑΪΚΟΥ	19
ΚΕΦΑΛΑΙΟ 2. ΑΝΙΧΝΕΥΣΗ ΜΕΓΙΣΤΟΥ ΣΗΜΕΙΟΥ ΙΣΧΥΟΣ ΜΡΡΤ. ..	22
ΕΝΟΤΗΤΑ 2.01 ΑΡΧΗ ΛΕΙΤΟΥΡΓΙΑΣ ΚΥΚΛΩΜΑΤΟΣ.....	22
ΕΝΟΤΗΤΑ 2.02 ΜΕΘΟΔΟΙ ΕΥΡΕΣΗΣ ΜΕΓΙΣΤΗΣ ΙΣΧΥΟΣ	23
ΕΝΟΤΗΤΑ 2.03 ΜΕΤΑΤΡΟΠΕΙΣ ΣΥΝΕΧΟΥΣ ΤΑΣΗΣ.....	26
(a) <i>Buck Regulator</i>	27
(b) <i>Bust Regulator</i>	29
(c) <i>Inverting Regulator</i>	31
(d) <i>Επιλογή μετατροπέα</i>	31
ΕΝΟΤΗΤΑ 2.04 ΜΕΤΑΤΡΟΠΕΑΣ ΣΥΝΕΧΟΥΣ ΤΑΣΗΣ ΤΥΠΟΥ BUCK	32
ΚΕΦΑΛΑΙΟ 3. ΥΠΟΛΟΓΙΣΤΙΚΟ ΣΥΣΤΗΜΑ	35
ΕΝΟΤΗΤΑ 3.01 ΑΠΑΙΤΗΣΕΙΣ ΣΥΣΤΗΜΑΤΟΣ.....	35
ΕΝΟΤΗΤΑ 3.02 ΑΛΓΟΡΙΘΜΟΣ ΕΛΕΓΧΟΥ	36
ΕΝΟΤΗΤΑ 3.03 ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΥΠΟΛΟΓΙΣΤΙΚΟΥ ΣΥΣΤΗΜΑΤΟΣ.....	38
ΚΕΦΑΛΑΙΟ 4. ΠΕΡΙΓΡΑΦΗ ΚΥΚΛΩΜΑΤΟΣ	50
ΕΝΟΤΗΤΑ 4.01 ΚΕΝΤΡΙΚΗ ΠΛΑΚΕΤΑ	51
ΕΝΟΤΗΤΑ 4.02 ΜΟΝΑΔΑ ΜΙΚΡΟΕΛΕΚΤΗ	54

ΕΝΟΤΗΤΑ 4.03	ΜΕΤΑΤΡΟΠΕΑΣ ΣΥΝΕΧΟΥΣ ΤΑΣΗΣ (DC – DC CONVERTER)	56
ΚΕΦΑΛΑΙΟ 5.	ΜΕΤΡΗΣΕΙΣ.....	59
ΚΕΦΑΛΑΙΟ 6.	ΣΥΜΠΕΡΑΣΜΑΤΑ.....	61
ΚΕΦΑΛΑΙΟ 7.	ΗΛΕΚΤΡΟΝΙΚΑ ΣΧΕΔΙΑ	62
ΕΝΟΤΗΤΑ 7.01	ΚΕΝΤΡΙΚΗ ΠΛΑΚΕΤΑ.....	62
	(a) Σχέδια πλακετών (Κεντρική Πλακέτα).....	63
	(b) Τοποθέτηση εξαρτημάτων (Κεντρική πλακέτα).....	66
ΕΝΟΤΗΤΑ 7.02	ΠΛΑΚΕΤΑ ΕΠΕΞΕΡΓΑΣΤΗ	68
	(a) Σχέδια Πλακετών (Πλακέτα Επεξεργαστή).....	71
	(b) Τοποθέτηση Εξαρτημάτων (Πλακέτα Επεξεργαστή).....	74
	(c) Λίστα Υλικών (Πλακέτα Επεξεργαστή)	75
ΕΝΟΤΗΤΑ 7.03	ΠΛΑΚΕΤΑ ΙΣΧΥΟΣ	76
	(a) Σχέδια Πλακετών (Πλακέτα Ισχύος).....	77
	(b) Τοποθέτηση Εξαρτημάτων (Πλακέτα Ισχύος).....	80
	(c) Λίστα Υλικών (Πλακέτα Ισχύος).....	81
ΚΕΦΑΛΑΙΟ 1.	DATA SHEETS ΕΞΑΡΤΗΜΑΤΩΝ	82
ΚΕΦΑΛΑΙΟ 2.	ΒΙΒΛΙΟΓΡΑΦΙΑ.....	207
ΚΕΦΑΛΑΙΟ 3.	ΕΥΡΕΤΗΡΙΟ ΕΙΚΟΝΩΝ	208

Εισαγωγή

Η ηλεκτρική ενέργεια αποτελεί θεμέλιο λίθο για την βιομηχανοποιημένη κοινωνία μας. Η παραγωγή της ηλεκτρικής ενέργειας γίνεται συνήθως σε μεγάλες θερμοηλεκτρικές μονάδες με πολλαπλές μετατροπές. Σαν καύσιμο ύλη καταναλώνουν κάρβουνο, πετρέλαιο, φυσικό αέριο ή ραδιενεργό ουράνιο, για να παράγουν ατμό. Ο ατμός στην συνέχεια κινεί ατμοστρόβιλους συνδεδεμένους με γεννήτριες ηλεκτρικής ενέργειας. Μεγάλο μέρος της παραγωγής ηλεκτρικής ενέργειας γίνεται σε υδροηλεκτρικά εργοστάσια, όπου για την κίνηση των γεννητριών χρησιμοποιούνται υδροστρόβιλοι. Οι παραπάνω πηγές ενέργειας έχουν περιορισμένες προοπτικές, αφού και μεγάλες απώλειες υπάρχουν κατά την παραγωγή και οι πρώτες ύλες που χρησιμοποιούνται, εκτός από την περίπτωση των υδροηλεκτρικών εργοστασίων, είναι πεπερασμένες.

Τα συμβατικά καύσιμα (λιγνίτης, κάρβουνο, πετρέλαιο κ.λ.π.), μειώνονται σταδιακά, ενώ η υδραυλική ενέργεια που χρησιμοποιείται στα υδροηλεκτρικά εργοστάσια είναι ποσοτικά καθορισμένη και γεωγραφικά εντοπισμένη ώστε δεν μπορεί να θεωρηθεί ότι λύνει γενικά το ενεργειακό πρόβλημα. Τα πυρηνικά καύσιμα τέλος, μπορεί να έχουν πολύ μεγαλύτερη διάρκεια όμως ο αυξημένος κίνδυνος που συνεπάγεται η χρήση τους αποτελεί σοβαρό λόγο για την κατάργησή τους.

Η επιβάρυνση του περιβάλλοντος από την χρήση των συμβατικών καυσίμων αλλά και της πυρηνικής ενέργειας έχει είδη γίνει αισθητή. Μετεωρολογικά φαινόμενα όπως αυτό του «θερμοκηπίου» και του «el-niño», αλλά και η αλλαγή των εποχών είναι άμεσα συνδεδεμένα με την αύξηση της μέσης θερμοκρασίας του πλανήτη που έχει προκληθεί ακριβώς από την καύση συμβατικών καυσίμων. Για να ξεπεραστούν τα παραπάνω προβλήματα η επιστημονική κοινότητα αλλά και οι εταιρείες έχουν, εδώ και αρκετά χρόνια, στραφεί στην χρήση των ήπιων ή ανανεώσιμων μορφών ενέργειας.

Στην εργασία που ακολουθεί πραγματευόμαστε ένα κύκλωμα το οποίο εκμεταλλεύεται, με τον καλύτερο δυνατό τρόπο, την ενέργεια που παράγεται από συστοιχία φωτοβολταϊκών στοιχείων.

Τα φωτοβολταϊκά στοιχεία είναι μονάδες μετατροπής της ηλιακής ενέργειας, που διέπει τον πλανήτη, σε ηλεκτρική. Στα κεφάλαια που ακολουθούν περιγράφουμε την αρχή λειτουργίας των φωτοβολταϊκών στοιχείων και τους παράγοντες που επηρεάζουν την απόδοσή τους. Αναφέρουμε τους διάφορους τρόπους βελτιστοποίησης της ισχύος που αποδίδεται είτε με μηχανικές διατάξεις είτε με ηλεκτρονικά κυκλώματα. Τέλος περιγράφουμε την κατασκευή που έγινε για το σκοπό αυτό.

Καθώς η απόδοση των φωτοβολταϊκών δεν είναι σταθερή, για να πάρουμε την μέγιστη δυνατή ενέργεια από μία συστοιχία, χρησιμοποιούμε διατάξεις προσαρμογής για την καλύτερη δυνατή εκμετάλλευση της παραγόμενης ισχύος. Οι ηλεκτρονικές διατάξεις ονομάζονται κυκλώματα Εύρεσης της Μέγιστης Ισχύος, που ονομάζεται Κύκλωμα MPPT (Maximum Power Point Tracker).

Τα κυκλώματα MPPT ανιχνεύουν την παραγόμενη από τη συστοιχία φωτοβολταϊκών, ενέργεια και με διάφορες τεχνικές υπολογισμού της μέγιστης ισχύος προσπαθούν να αποδώσουν στο εκάστοτε φορτίο την μέγιστη ισχύ. Στην υλοποίηση μας φορτίο για την κατασκευή είναι μία συστοιχία μπαταριών ειδικού τύπου, για εφαρμογές ανανεώσιμων πηγών. Οι μπαταρίες αυτές αποθηκεύουν την ενέργεια ώστε αργότερα να αποδοθεί στο πραγματικό φορτίο που θα είναι, ο περιμετρικός φωτισμός των κτιριακών εγκαταστάσεων του Πολυτεχνείου Κρήτης.

Για την πραγματοποίηση των μετρήσεων, των ελέγχων και την οδήγηση που απαιτείται για το παραπάνω κύκλωμα χρησιμοποιείτε ένα υπολογιστικό σύστημα. Το υπολογιστικό σύστημα βασίζεται στον μικροελεγκτή 80C196KC της εταιρίας INTEL. Η επιλογή του συγκεκριμένου έγινε επειδή έχει

ενσωματωμένες πολλές λειτουργίες που είναι απαραίτητες για εφαρμογές ελέγχου, όπως κυκλώματα μετατροπής αναλογικού σήματος σε ψηφιακό, ηλεκτρονικούς απαριθμητές, γεννήτριες παλμών διαμορφωμένων κατά πλάτος και θύρες σειριακής επικοινωνίας. Επίσης έχει πολύ χαμηλή κατανάλωση ισχύος και χαμηλό κόστος.

Η μεταβολή της σύνθετης αντίστασης εισόδου, των κυκλωμάτων ισχύος, για την προσαρμογή, γίνεται με την χρήση ενός μετατροπέα συνεχούς τάσης (DC – DC chopper). Το κύκλωμα αυτό, υποβιβάζει την τάση που παράγεται από την συστοιχία των φωτοβολταϊκών, ώστε να τροφοδοτήσει τις μπαταρίες.

Πρέπει να σημειωθεί ότι ένα σύστημα εύρεσης μέγιστης ισχύος για φωτοβολταϊκά μπορεί να υλοποιηθεί χωρίς την χρήση μικροελεγκτή, με τη χρησιμοποίηση αναλογικών κυκλωμάτων υπολογισμού. Η συγκεκριμένη υλοποίηση όμως δίνει την δυνατότητα γρήγορων και εύκολων αλλαγών ώστε να προσαρμοστεί σε διαφορετικές απαιτήσεις καθώς και να συμπεριληφθεί σε μια μεγαλύτερη κατασκευή που να συνδυάζει διαφορετικές πηγές ανανεώσιμης ενέργειας.

Τέτοια κατασκευή πραγματοποιήθηκε για το τμήμα Ηλεκτρονικής του Πολυτεχνείου Κρήτης, για την διαχείριση συνδυασμού ανανεώσιμων πηγών ενέργειας. Στο σύστημα αυτό έχουμε την προσθήκη ενός τμήματος ισχύος για την διαχείριση της ενέργειας που παράγεται από μια ανεμογεννήτρια. Επίσης γίνεται ο έλεγχος φόρτισης και η διαχείριση των μπαταριών του συστήματος, ο έλεγχος του κυκλώματος μετατροπής από συνεχές σε εναλλασσόμενο, η επικοινωνία του συστήματος με άλλα όμοια καθώς και συστήματα επιτήρησης για την αποστολή δεδομένων αλλά και απομακρυσμένο έλεγχο και επιτήρηση του συστήματος.

Κεφάλαιο 1. Τα φωτοβολταϊκά Συστήματα

Ενότητα 1.01 Οι Ανανεώσιμες Πηγές Ενέργειας

Ακόμα και σήμερα στην Ελλάδα η επικρατούσα αντίληψη, για την παραγωγή της ηλεκτρικής ενέργειας, είναι σε μεγάλους σταθμούς παραγωγής, ισχύος εκατοντάδων ή χιλιάδων μεγαβάτ (MW). Οι σταθμοί αυτοί χρησιμοποιούν σαν πρώτες ύλες για την παραγωγή, είτε συμβατικές καύσιμες ύλες, όπως λιγνίτη πετρέλαιο είτε ανανεώσιμες, όπως το φυσικό αέριο, είτε την υδατόπτωση είτε την πυρηνική σχάση. Κατασκευάζονται συνήθως κοντά στην πηγή της καύσιμης ύλης, ορυχεία λιγνίτη, υδροφράγματα. Οι παραπάνω πηγές πρώτων υλών, ακόμα και για τα υδροηλεκτρικά εργοστάσια, επιβαρύνουν το περιβάλλον, είτε με την καύση που απαιτείται και με τα παράγωγα της, είτε με την οικολογική καταστροφή μεγάλων περιοχών που μετατρέπονται σε τεχνητές λίμνες.

Κυρίως μετά την δεκαετία του 1970 το οικολογικό πρόβλημα έγινε ιδιαίτερα αισθητό, καθώς μετεωρολογικά φαινόμενα όπως η σταδιακή αύξηση της μέσης θερμοκρασίας του πλανήτη, η μόλυνση της ατμόσφαιρας από την αύξηση των αέριων ρύπων, που είναι παράγωγα της καύσης όπως το διοξείδιο του άνθρακα, το φαινόμενο του 'θερμοκηπίου' και τελευταία του 'EL-Ninio' και η 'όξινη βροχή', εκδηλώθηκαν επηρεάζοντας άμεσα τη ζωή μας. Τα μετεωρολογικά φαινόμενα σε συνδυασμό με την πετρελαϊκή κρίση που εκδηλώθηκε το 1973 αλλά και τα ατυχήματα που έγιναν τις τελευταίες δεκαετίες σε πυρηνικά εργοστάσια παραγωγής ενέργειας δημιούργησαν μια σταδιακή αποστροφή της κοινής γνώμης από τις συμβατικές μορφές ενέργειας, οξύνοντας την απαίτηση για την χρήση άλλων ενεργειακών πηγών.

Εναλλακτική λύση στην παραγωγή ηλεκτρικής ενέργειας αποτελούν οι **Ανανεώσιμες Πηγές Ενέργειας (Α.Π.Ε.)**. Με τον όρο, ανανεώσιμες πηγές ενέργειας, εννοούνται οι μορφές ενέργειας που υπάρχουν στη φύση, είναι διαρκώς στο περιβάλλον και μπορούν να χρησιμοποιηθούν για ανθρώπινο όφελος. Στις ανανεώσιμες πηγές κατατάσσονται, η αιολική ενέργεια, που η χρήση της είναι γνωστή από την αρχαιότητα με τα ιστιοφόρα, η θερμική

ενέργεια του ήλιου, η μηχανική ενέργεια των κυμάτων, η γεωθερμική ενέργεια και η ενέργεια της ακτινοβολίας του ήλιου.

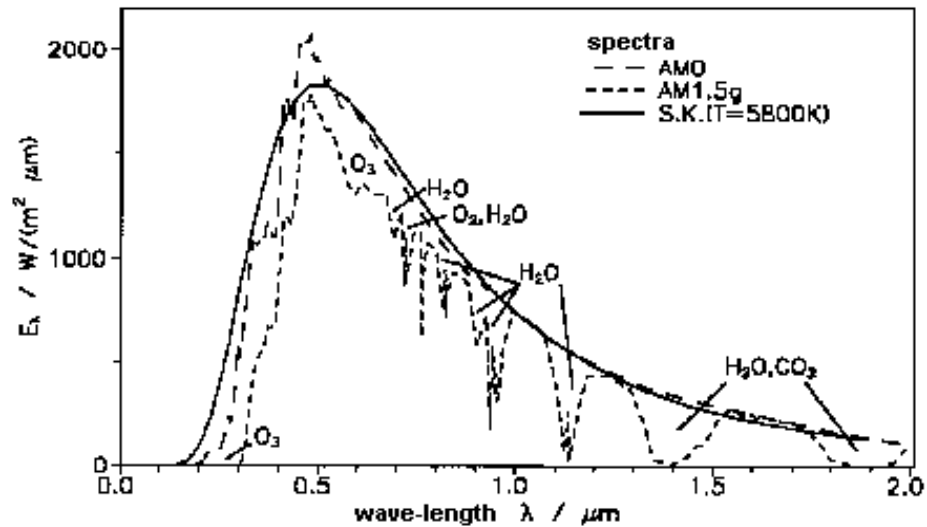
Από αυτές, η μηχανική ενέργεια του ανέμου και η θερμική ενέργεια του ήλιου έχουν έρθει είδη στο στάδιο της εμπορικής εκμετάλλευσης. Εφαρμογές όπως την άμεση μετατροπή της αιολικής ενέργειας σε ηλεκτρική με ανεμογεννήτριες ή την χρήση του ηλιακού θερμοσίφωνα είναι κοινότυπες ακόμα και σε οικιακή χρήση. Αυξανόμενη όμως είναι και η χρήση της ενέργειας από την ακτινοβολία του ήλιου με την εκμετάλλευση του φωτοβολταϊκού φαινομένου. Οι παλιρροιακές πηγές ενέργειας προκύπτουν από τις βαρυτικές δυνάμεις που ασκούνται στη γη από τον ήλιο και τη σελήνη. Η γεωθερμική ενέργεια προέρχεται από τη θερμότητα που παράγεται στο εσωτερικό της γης. Τέλος η ενέργεια από τα απόβλητα των αστικών πόλεων συμπεριλαμβάνεται και αυτή στις Α.Π.Ε.

Ενότητα 1.02 Ηλιακή Ενέργεια

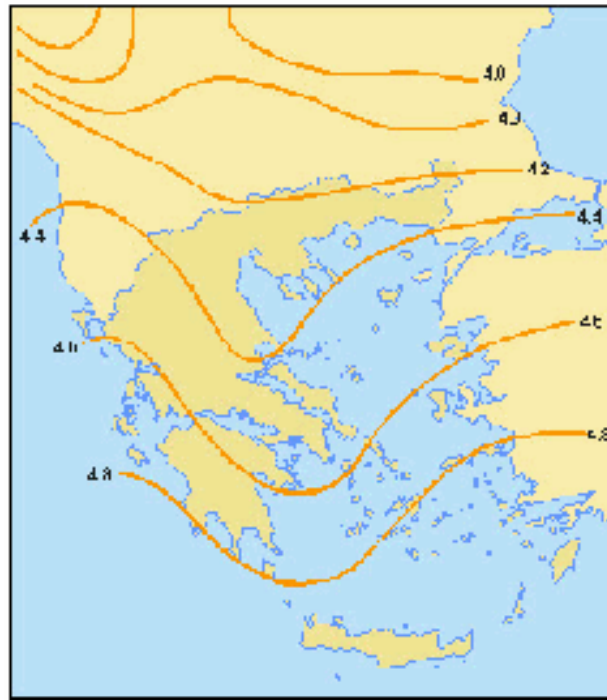
Το ποσό της ηλιακής ενέργειας που φτάνει ετησίως στη γη ισοδυναμεί με περισσότερο από 15.000 φορές της χρησιμοποιούμενης ενέργειας ετησίως που παράγεται παγκόσμια από τις συμβατικές μονάδες παραγωγής ενέργειας. Φυσικά δεν είναι δυνατό να χρησιμοποιηθεί όλη αυτή η ενέργεια. Το 30% αυτής ανακλάται αμέσως στο διάστημα, ενώ το υπόλοιπο θερμαίνει την επιφάνεια της γης, την ατμόσφαιρα και τους ωκεανούς ή απορροφάται μέσω της εξάτμισης του νερού. Σχετικά μικρά ποσοστά ενέργειας, λιγότερο από το 2% συνολικά, μετατρέπονται σε ανέμους και κύματα ή απορροφούνται από τα φυτά για τη φωτοσύνθεση.

Η ατμόσφαιρα στη συνέχεια αλλοιώνει το φάσμα της ηλιακής ακτινοβολίας λόγω απορρόφησης και διάχυσης. Έτσι η προσπίπτουσα

ακτινοβολία τελικά χωρίζεται σε απ' ευθείας και έμμεση. Στο διάγραμμα στην Εικόνα 1-1 έχουμε την διάχυση του φάσματος της ηλιακής ακτινοβολίας στο διάστημα και στην ατμόσφαιρα ανάλογα με το μήκος κύματος της ακτινοβολίας.



Εικόνα 1-1 Φάσμα ηλιακής ακτινοβολίας στο διάστημα (AM0) και στη Γη (AM1)



Εικόνα 1-2 Ηλιακό δυναμικό της Ελλάδας (πηγή:
SOLAR RADIATION ATLAS)

Η ηλιακή ακτινοβολία μπορεί να μετατραπεί σε χρήσιμη ενέργεια με διάφορες τεχνολογίες. Από αυτές τις τεχνολογίες άλλες είναι διαδεδομένες και στο ευρύ κοινό όπως με την απορρόφηση από ηλιακούς συλλέκτες για τη θέρμανση νερού σε χαμηλή θερμοκρασία για οικιακή χρήση. Υπάρχουν και τεχνολογίες εκμετάλλευσης της ηλιακής ακτινοβολίας που βρίσκουν εφαρμογή σε διατάξεις αποθήκευσης αλλά και άμεσης παραγωγής ηλεκτρικής ενέργειας. Τέτοιες τεχνολογίες είναι οι ηλιακές λίμνες, η ηλιοθερμική παραγωγή ηλεκτρικής ενέργειας, καθώς και η φωτοβολταϊκή μετατροπή.

	Οριζόντιο επίπεδο κλίσης (0°)				
	Ηράκλειο	Ιεράπετρα	Ρέθυμνο	Σούδα	Χανιά
Ιανουάριος	59	72	59	59	59
Φεβρουάριος	75	85	76	75	75
Μάρτιος	110	127	106	112	112
Απρίλιος	151	155	145	149	149
Μάιος	196	195	194	196	196
Ιούνιος	214	216	206	206	215
Ιούλιος	226	227	222	221	229
Αύγουστος	205	211	203	208	210
Σεπτέμβριος	157	164	149	156	154
Οκτώβριος	105	120	95	102	101
Νοέμβριος	75	87	76	74	74
Δεκέμβριος	58	69	56	57	56
Μηνιαίος Μ Ε Σ Ο Σ Α Ρ Ο Σ	135,92	144	132,25	134,58	135,83
Συνολική Ε Τ Η Σ Ι Α	1.631	1.728	1.587	1.615	1.630

Πίνακας 1-1 Μηνιαία ετήσια ηλιακή ακτινοβολία σε διάφορες περιοχές της Κρήτης.

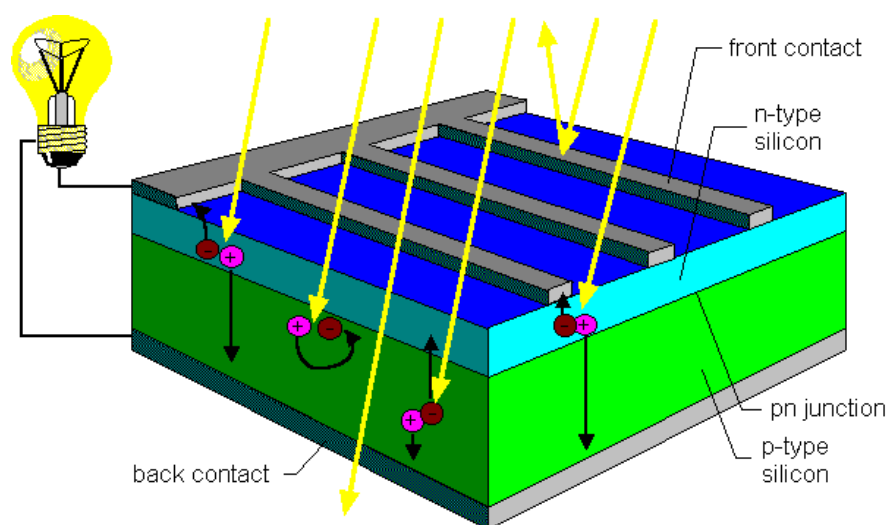
Στις ηλιακές λίμνες γίνεται αποθήκευση της ηλιακής ενέργειας με τη μορφή θερμικής ενέργειας. Χρησιμοποιούνται αβαθής λίμνες όπου επιτυγχάνεται θερμοκρασία πυθμένα περίπου $70 - 80^{\circ}\text{C}$.

Κατά την ηλιοθερμική παραγωγή ηλεκτρικής ενέργειας χρησιμοποιείται πολύ υψηλή θερμοκρασία για την παραγωγή ατμού και στην συνέχεια ατμοηλεκτρικές γεννήτριες παράγουν ηλεκτρική ενέργεια.

Η πιο προηγμένη τεχνολογικά μετατροπή είναι αυτή που βασίζεται στο φωτοβολταϊκό φαινόμενο. Εδώ έχουμε την άμεση μετατροπή της ηλιακής ενέργειας σε ηλεκτρική με τη χρήση ημιαγωγών στοιχείων.

Ενότητα 1.03 Τα φωτοβολταϊκά στοιχεία

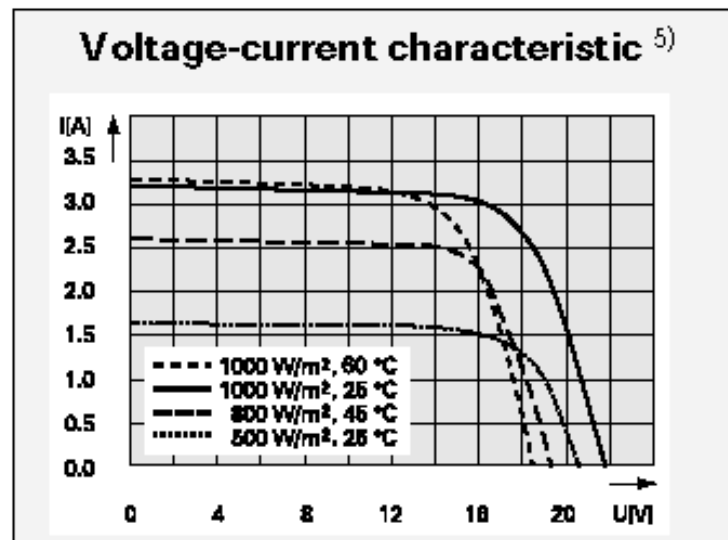
Η παραγωγή ρεύματος από τον ήλιο βασίζεται στη χρήση ημιαγωγών στοιχείων. Το φως της ηλιακής ακτινοβολίας, πέφτει στην επιφάνεια των ημιαγωγών μετατρέπεται άμεσα σε ροή ηλεκτρονίων που δημιουργών διαφορά δυναμικού στα άκρα του ημιαγωγού. Στην Εικόνα 1-3 φαίνεται η τυπική διάταξη ενός φωτοβολταϊκού στοιχείου σε τομή, καθώς και ο μηχανισμός μεταβολής της προσπίπτουσας ηλιακής ακτινοβολίας σε ηλεκτρικό ρεύμα.



Εικόνα 1-3 Αρχή λειτουργίας φωτοβολταϊκού στοιχείου

Από την ηλιακή ακτινοβολία που πέφτει στο φωτοβολταϊκό στοιχείο, μόνο ένα μέρος της μετατρέπεται σε ηλεκτρική. Το ποσοστό της παραγόμενης ενέργειας από την ηλιακή ακτινοβολία καθορίζεται από το υλικό του ημιαγωγού, την γωνία πρόσπτωσης της ακτινοβολίας, την καθαρότητα και την θερμοκρασία του συλλέκτη και την καθαρότητα της ατμόσφαιρας.

Στο παρακάτω διάγραμμα στην Εικόνα 1-4 φαίνεται η απόδοση του φωτοβολταϊκού συλλέκτη και ο τρόπος που επηρεάζεται από τις διαφορετικές τιμές ηλιακής ακτινοβολίας και θερμοκρασίας συλλέκτη. Είναι φανερό ότι τα παραπάνω φυσικά μεγέθη επηρεάζουν άμεσα τη μέγιστη ισχύ που μπορεί να αποδώσει ο ημιαγωγός.



Εικόνα 1-4 Χαρακτηριστική ρεύματος τάσης για τυπικό φωτοβολταϊκό.

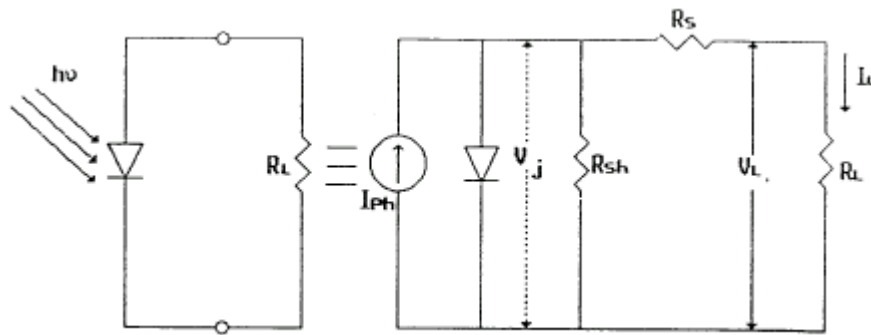
Η σημερινή τεχνολογία ημιαγωγών αποδίδει σαν ηλεκτρική ενέργεια, το δεκατέσσερα τοις εκατό (14%) από την ισχύ της ηλιακής ακτινοβολίας. Στον Πίνακα 1-2 παραθέτουμε τα ημιαγωγά υλικά που χρησιμοποιούνται σήμερα για την παραγωγή φωτοβολταϊκών συλλεκτών, καθώς και τον βαθμό απόδοσης που αυτά έχουν σε πειραματικό στάδιο αλλά και στην εμπορική τους μορφή.

Υλικό κατασκευής	Εμπορική διαθεσιμότητα	Εργαστηριακά αποτελέσματα
Μονοκρυσταλλικό πυρίτιο (Si)	13-16%	23,5%
Πολυκρυσταλλικό πυρίτιο(Si)	12-15%	18%
Άμορφο πυρίτιο(Si)	4-7%	12,5%
Άμορφη τριπλή επαφή Si Top cell: a-Si Middle cell: a-SiGe Bottom Cell: a-SiGe.	9-10%	12,3%
III/V GaAs / Ge	Σε δορυφόρους 21%	27,3%
III / V GaInP / GaAs	-	30,2%
CIS	8%	17,5%
CdTe	4-5%	15,8%
Thin film poly-Si	8,2%	10,3%
Organic	-	8-10%

Πίνακας 1-2. Απόδοση φωτοβολταϊκών στοιχείων ανάλογα με το υλικό κατασκευής

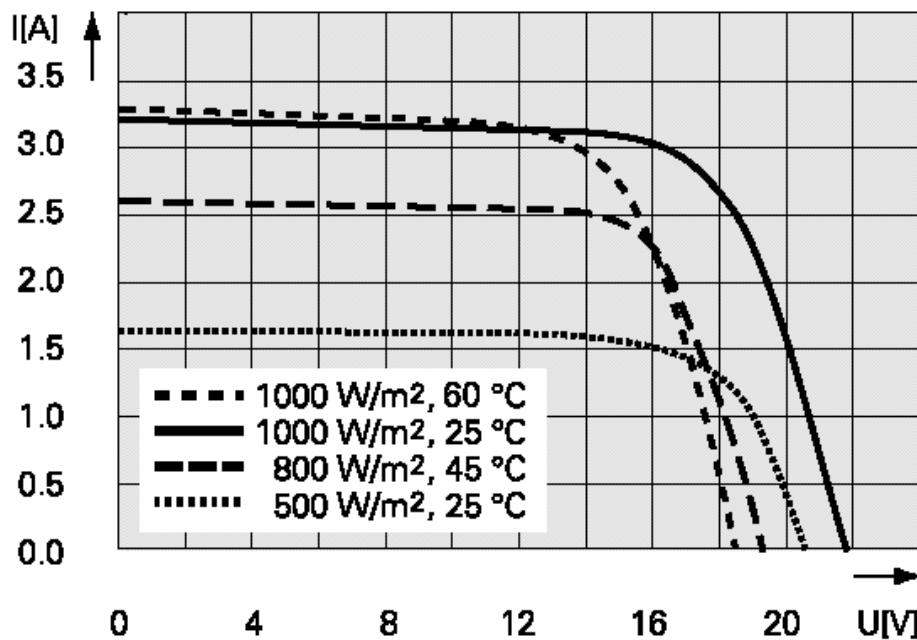
Η μικρή απόδοση των φωτοβολταϊκών, σε συνδυασμό με το αυξημένο κόστος των συλλεκτών, δημιουργεί την επιτακτική ανάγκη για την εκμετάλλευση του μέγιστου δυνατού από την παραγόμενη ηλεκτρική ενέργεια.

Ενότητα 1.04 Ηλεκτρικά χαρακτηριστικά φωτοβολταϊκού



Εικόνα 1-5 Ισοδύναμο κύκλωμα φωτοβολταϊκού

Στην Εικόνα 1-5 εμφανίζεται το ηλεκτρικό ισοδύναμο ενός φωτοβολταϊκού στοιχείου. Το ηλεκτρικό ισοδύναμο αποτελείται από μία πηγή σταθερού ρεύματος “ I_g ” μια αντίσταση “ R_{sh} ” σε παράλληλη συνδεσμολογία με την πηγή ρεύματος, την δίοδο D η οποία βραχυκυκλώνει ανάστροφες διαφορές δυναμικού που εφαρμόζονται στο φωτοβολταϊκό και την αντίσταση “ R_s ” που βρίσκεται σε σειρά με το φορτίο “ R_L ”.



Εικόνα 1-6 Χαρακτηριστική ισχύος φωτοβολταϊκού στοιχείου.

Στην Εικόνα 1-6 φαίνεται η καμπύλη ισχύος του φωτοβολταϊκού στοιχείου όπως παρουσιάζεται στην εμπορική του μορφή. Οι διάφορες καμπύλες εκφράζουν την απόδοση Ισχύος του στοιχείου ανάλογα με την ισχύ της προσπίπτουσας φωτεινής ακτινοβολίας και την θερμοκρασία του φωτοβολταϊκού. Η χαρακτηριστική αυτή περιγράφεται από την παρακάτω μαθηματική εξίσωση:

$$I = I_{LG} - I_0 \left\{ \exp \left[\frac{q}{AKT} (V + I_A R_S) \right] - 1 \right\}$$

Εξίσωση 1-1

όπου I_0 είναι το ρεύμα κορεσμού του φωτοβολταϊκού στοιχείου και εκφράζεται από την εξίσωση:

$$I_0 = I_{or} \left[\frac{T}{T_r} \right]^3 \exp \left[\frac{qE_{GO}}{BK} \left\{ \frac{1}{T_r} - \frac{1}{T} \right\} \right]$$

και I_{LG} είναι το ρεύμα φωτός και καθορίζεται από την σχέση:

$$I_{LG} = [I_{SCR} + K_1(T_C - 25)] \lambda / 100$$

τα σύμβολα στις παραπάνω μαθηματικές εξισώσεις ορίζουν:

I	το ρεύμα εξόδου του στοιχείου,
V	η τάση εξόδου του στοιχείου,
T	η θερμοκρασία του στοιχείου σε °K,
K	η σταθερά του Boltzmann,
q	το φορτίο του ηλεκτρονίου,
T_C	η θερμοκρασία του στοιχείου,
K_I	συντελεστής θερμοκρασίας του ρεύματος βραχυκύκλωσης (0.0017A/°C),
λ	ακτινοβολία σε mW/cm ² ,
I_{SCR}	το ρεύμα βραχυκύκλωσης στους 25oC και 100mW/cm ² ,
E_{GO}	= 1.11eV,
B, A	συντελεστές = 1.92,
T_r	θερμοκρασία αναφοράς = 301.18 °K,
I_{or}	ρεύμα κορεσμού στην θερμοκρασία T _r ,
R_s	αντίσταση σειράς.

Πίνακας 1-3 Χαρακτηριστικά μεγέθη φωτοβολταϊκού.

Τα ηλεκτρικά χαρακτηριστικά που ορίζουν ένα φωτοβολταϊκό στοιχείο είναι:

Ρεύμα βραχυκύκλωσης	Είναι το σημείο στη χαρακτηριστική I-V όπου V=0
Τάση ανοιχτοκύκλωσης	Είναι το σημείο στη χαρακτηριστική I-V όπου I=0
Μέγιστη ισχύς.	Είναι το σημείο στη χαρακτηριστική I-V όπου το γινόμενο I×V γίνεται μέγιστο Η Μέγιστη ισχύς αυτή καθορίζεται από τους κατασκευαστές για ηλιακή ακτινοβολία 1kW/m ² , θερμοκρασία φωτοβολταϊκού στοιχείου 25oC, ηλιακό φάσμα AM=1.5 (είναι παράμετρος που σχετίζεται με την επίδραση της καθαρότητας της ατμόσφαιρας στην ηλιακή ακτινοβολία) και κάθετη γωνία πρόσπτωσης της ηλιακής ακτινοβολίας (standard test conditions, STC).

Πίνακας 1-4 Χαρακτηριστικά στοιχεία φωτοβολταϊκών.

Κεφάλαιο 2. Ανίχνευση μέγιστου σημείου ισχύος

MPPT

Ενότητα 2.01 Αρχή λειτουργίας κυκλώματος

Στην προηγούμενη παράγραφο αναφέραμε για την καμπύλη λειτουργίας των φωτοβολταϊκών συστημάτων, καθώς και τον τρόπο επηρεασμού της από τις εξωτερικές συνθήκες. Σκοπός μας είναι να χρησιμοποιήσουμε το μέγιστο δυνατό της ενέργειας που παράγεται κάθε στιγμή. Υπάρχουν οι παρακάτω δυνατότητες βελτιστοποίησης:

- Να χρησιμοποιήσουμε κινητό σύστημα στήριξης των φωτοβολταϊκών που θα παρακολουθεί την πορεία του ήλιου. Έτσι, πετυχαίνουμε συνεχώς κάθετη πρόσπτωση της ηλιακής ακτινοβολίας στα στοιχεία.
- Να αυξήσουμε την θερμική αγωγιμότητα μεταξύ του στοιχείου και της ατμόσφαιρας. Έτσι πετυχαίνουμε μείωση της θερμοκρασίας του στοιχείου και αύξηση της απόδοσης.
- Να χρησιμοποιήσουμε ηλεκτρονικό κύκλωμα προσαρμογής για την ανίχνευση του μέγιστου σημείου λειτουργίας. Έτσι απορροφάμε από το φωτοβολταϊκό το μέγιστο δυνατό από την παραγόμενη ενέργεια.

Οι δύο πρώτοι τρόποι μειώνουν την απόκλιση της παραγόμενης ενέργειας από το φωτοβολταϊκό στοιχείο, σε σχέση με τις περιβαλλοντολογικές συνθήκες που επικρατούν. Παράγεται έτσι η μέγιστη δυνατή ενέργεια από τα φωτοβολταϊκά στοιχεία ανάλογα με το περιβάλλον. Δεν αποδίδει απαραίτητα και το μέγιστο της παραγόμενη ενέργειας στο φορτίο. Στην κατασκευή μας υλοποιούμε ένα κύκλωμα που κάνει αυτό ακριβώς, αποδίδει την μέγιστη δυνατή ενέργεια στο φορτίο του συστήματος.

Τα κυκλώματα αυτά ονομάζονται **Ανιχνευτές Μέγιστου Σημείου Λειτουργίας (Maximum Power Point Trackers – MPPT)**. Σκοπός του

κυκλώματος είναι να προσαρμόσει την παραγόμενη ενέργεια του φωτοβολταϊκού ώστε να απορροφηθεί πλήρως από το εκάστοτε φορτίο.

Τα κυκλώματα **MPPT** προσαρμόζουν την σύνθετη αντίσταση εισόδου τους στην σύνθετη αντίσταση εξόδου, που κάθε στιγμή έχει το φωτοβολταϊκό. Όταν επιτευχθεί αυτή η προσαρμογή έχουμε την μέγιστη μεταφορά ισχύος από το φωτοβολταϊκό προς το κύκλωμα ανίχνευση ισχύος. Στη συνέχεια το κύκλωμα αποδίδει προς το φορτίο του συστήματος την ισχύ αυτή πάλι προσαρμόζοντας την αντίσταση του ώστε να έχουμε τις ελάχιστες δυνατές απώλειες.

Για την προσαρμογή μεταφοράς ισχύος χρησιμοποιούμε, είτε κυκλώματα μετατροπέων συνεχούς ρεύματος, είτε κύκλο-μετατροπείς (**DC-DC** ή **DC-AC**). Οι κυκλό-μετατροπείς μετατρέπουν το συνεχές ρεύμα σε εναλλασσόμενο μεγάλης συχνότητας, και μεταβάλλοντας την ρυθμό λειτουργίας (**DUTY CYCLE**) των εναλλασσόμενων παλμών αλλάζουν την τάση εξόδου τους. Στη συνέχεια με κύκλωμα ανόρθωσης μετατρέπουν ξανά την εναλλασσόμενη τάση σε συνεχή έχοντας όμως αλλάξει την τάση της. Στα κυκλώματα βελτιστοποίησης ισχύος ανιχνεύουμε την τάση εισόδου του κυκλομετατροπέα και αλλάζοντας το ρυθμό λειτουργίας του κυκλώματος προσαρμόζουμε τη σύνθετη αντίσταση εισόδου τους μέχρι η μετρούμενη ισχύς να φτάσει στη μέγιστη τιμή της.

Ενότητα 2.02 Μέθοδοι Εύρεσης Μέγιστης Ισχύος

Διάφορες μέθοδοι έχουν προταθεί για την ανίχνευση μέγιστου σημείου λειτουργίας σε φωτοβολταϊκά στοιχεία.

Η πιο απλή μέθοδος ανίχνευσης του σημείου μέγιστης ισχύος βασίζεται στη σύγκριση της τάσης (ή του ρεύματος) εξόδου του φωτοβολταϊκού στοιχείου με μια σταθερή τάση (ή ρεύμα) που αντιστοιχεί στην μέγιστη ισχύ

που παράγει το φωτοβολταϊκό σε ιδανικές συνθήκες περιβάλλοντος. Σαν σημείο αναφοράς έχουμε όταν η θερμοκρασία του φωτοβολταϊκού είναι 25°C και ακτινοβολία 1000W/m . Η διαφορά τάσης που προκύπτει χρησιμοποιείται για να οδηγήσει τον κυκλωμετατροπέα.. Το μειονέκτημα της μεθόδου είναι ότι δεν υπολογίζεται η μεταβολή της παραγόμενης ενέργεια από τις ατμοσφαιρικές συνθήκες, την θερμοκρασία και την ηλιακή ακτινοβολία.

Επικρατέστερη είναι η μέθοδος **«διαταραχής και παρατήρησης» (perturbation and observation method)**. Σύμφωνα με τη μέθοδο αυτή μετακινείται περιοδικά το σημείο λειτουργίας του ηλεκτρικού κυκλώματος αλλάζοντας την σύνθετη αντίσταση εισόδου του και ανιχνεύεται η ισχύς που αποδίδεται από το φωτοβολταϊκό στοιχείο. Στη συνέχεια, η μέτρηση συγκρίνεται με την αμέσως προηγούμενη ώστε να βρεθεί η μεταβολή της ισχύος. Ανάλογα τώρα με τη διαφορά που προκύπτει, προσαρμόζεται ξανά η σύνθετη αντίσταση του συστήματος ώστε να προσεγγίσουν το σημείο λειτουργίας του φωτοβολταϊκού προς το σημείο μέγιστης ισχύος. Όταν βρεθεί το μέγιστο σημείο λειτουργίας του συστήματος, τότε υπάρχει μία ταλάντωση του σημείου λειτουργίας του κυκλώματος γύρω από το σημείο μέγιστης ισχύος.

Η μέθοδος η οποία **μεταβάλλει το φορτίο που συνδέεται κάθε φορά στο σύστημα**. Σε αυτά τα κυκλώματα συνήθως σαν φορτίο χρησιμοποιούνται συστοιχίες μπαταριών. Αλλάζοντας τον αριθμό των μπαταριών που συνδέονται στην έξοδο του συστήματος προσαρμοζόμαστε με την μέγιστη ισχύ εξόδου των φωτοβολταϊκών στοιχείων. Η μέθοδος αυτή απαιτεί πολύπλοκα κυκλώματα μεταγωγής. Αν αγνοηθούν οι μεταβολές της τάσης εξόδου, π.χ. με τη χρήση μπαταριών, η ανίχνευση του σημείου μέγιστης ισχύος μπορεί να γίνει χρησιμοποιώντας μόνο ένα αισθητήριο ρεύματος, απλοποιώντας σημαντικά το κύκλωμα ελέγχου, αφού δεν υπάρχει η ανάγκη να πολλαπλασιαστεί το ρεύμα και η τάση (είτε εισόδου είτε εξόδου), για τον υπολογισμό ισχύος. Όμως έχει το μειονέκτημα της έλλειψης ταχύτητας και ακρίβειας.

Η μέθοδος της “**αυξανόμενης αγωγιμότητας**” (**incremental conductance**). Είναι αρκετά διαδεδομένη και βασίζεται στην παρακάτω αρχή λειτουργίας. Στο σημείο μέγιστης ισχύος η μεταβολή της ισχύος είναι μηδενική ως προς την μεταβολή της τάσης, $dP/dV=0$. Αντικαθιστώντας την ισχύ με το γινόμενο της τάσης και του ρεύματος $P = V * I$ προκύπτει ότι η μεταβολή του ρεύματος προς την μεταβολή της τάσης ισούτε με την μείον το ρεύμα προς την τάση, $\frac{dI}{dV} = -\frac{I}{V}$ όπου V , I είναι η τάση και το ρεύμα εξόδου του φωτοβολταϊκού στοιχείου. Ο αλγόριθμος προσφέρει ταχύτητα ακόμα και σε γρήγορα μεταβαλλόμενες ατμοσφαιρικές συνθήκες αλλά ο υπολογισμός των « $\frac{dI}{dV}$ » και « $\frac{I}{V}$ » αυξάνει την πολυπλοκότητα των κυκλωμάτων ελέγχου.

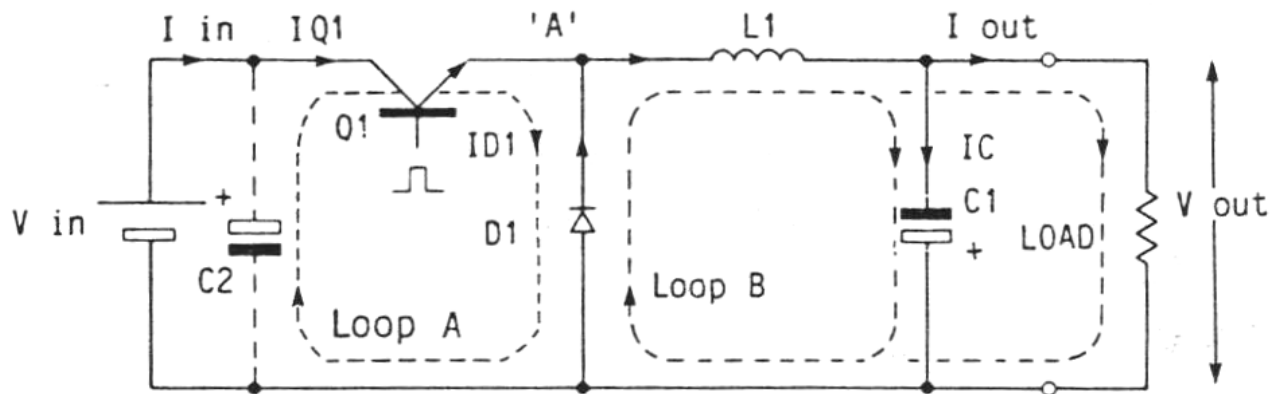
Τέλος, αναφέρουμε ότι σε μικρά συστήματα όπου μια μπαταρία συνδέεται απευθείας στην έξοδο της φωτοβολταϊκής συστοιχίας, το σημείο λειτουργίας των φωτοβολταϊκών στοιχείων επιλέγεται σύμφωνα με τις απαιτήσεις για τη **φόρτιση των μπαταριών**. Έτσι όταν η μπαταρία φορτίζεται, το σημείο λειτουργίας των φωτοβολταϊκών στοιχείων βρίσκεται κοντά στο σημείο μέγιστης ισχύος. Κατά τη διάρκεια της φόρτισης το σημείο μετακινείται ανάλογα μειώνοντας το ρεύμα φόρτισης (self-regulating system). Η μέθοδος αυτή, αν και απλή, έχει το μειονέκτημα της ευαισθησίας στη θερμοκρασία και τη φωτεινότητα με αποτέλεσμα τη μικρή απόδοση και επιλέγεται μόνο για λόγους κόστους.

Στην κατασκευή μας εφαρμόσαμε την μέθοδο “**διαταραχή και παρατήρηση**”. Για την προσαρμογή του σημείου λειτουργίας χρησιμοποιούμε ένα μετατροπέα συνεχούς τάσης (DC-DC converter). Ο μετατροπέας οδηγείται από ένα κύκλωμα διαμόρφωσης παλμών (PWM) το οποίο μεταβάλλει την σύνθετη αντίσταση του κυκλώματος εισόδου. Η παρακολούθηση των παραμέτρων ισχύος του κυκλώματος γίνεται από ένα μικροελεγκτή ο οποίος οδηγεί τελικά το κύκλωμα PWM.

Ενότητα 2.03 Μετατροπείς Συνεχούς τάσης

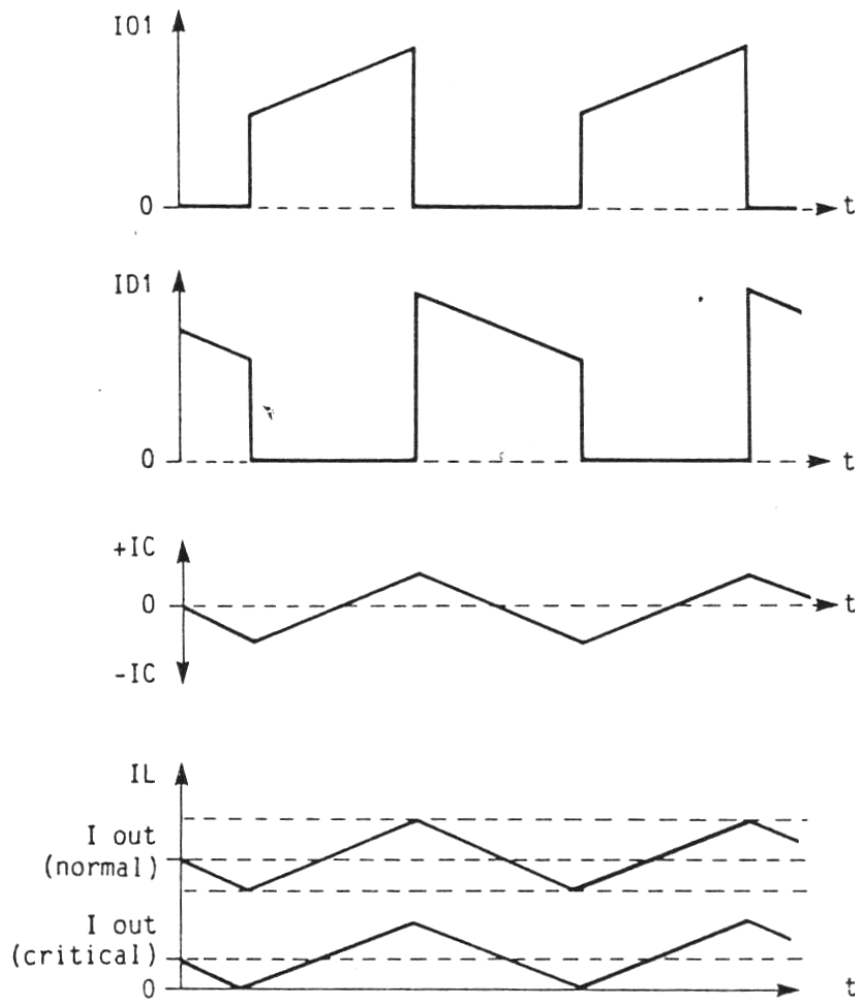
Η επιλογή του μετατροπέα τάσης γίνεται λαμβάνοντας υπ' όψιν την, επιθυμητή τάση λειτουργίας του φωτοβολταϊκού συστήματος και από την τάση λειτουργίας του φορτίου του συστήματος. Τα φωτοβολταϊκά παράγουν στην έξοδο τους συνεχή τάση. Η συνολική ισχύς μιας φωτοβολταϊκής γεννήτριας εξαρτάται από τον αριθμό των πάνελ που χρησιμοποιούνται και από την συνδεσμολογία τους. Πάντοτε η συνολική τάση εξόδου είναι πολλαπλάσιο της τάσης των πάνελ που χρησιμοποιούνται σε σειρά και το συνολικό ρεύμα είναι πολλαπλάσιο των συστοιχιών που συνδέονται παράλληλα.

Σε κάθε περίπτωση χρησιμοποιείτε μετατροπέας συνεχούς τάσης. Ανάλογα τώρα με την επιθυμητή έξοδο του συστήματος, μπορούμε να χρησιμοποιήσουμε, είτε μετατροπή από συνεχή σε εναλλασσόμενη τάση (DC – AC conversion), όταν η επιθυμητή τάση λειτουργίας είναι εναλλασσόμενη, είτε από συνεχή σε συνεχή τάση (DC – DC conversion). Το δυναμικό της παραγόμενης τάσης μπορεί να είναι μεγαλύτερη, ίση, ή και μικρότερη από το δυναμικό που μας παρέχει η φωτοβολταϊκή γεννήτριας, μπορεί να έχει ίδια πολικότητα με την παραγόμενη ισχύ ή να είναι ανάστροφη. Ανάλογα με την επιθυμητή τάση εξόδου επιλέγουμε τον μετατροπέα ισχύος. Τα βασικά είδη μετατροπέων ισχύος είναι:

(a) Buck Regulator

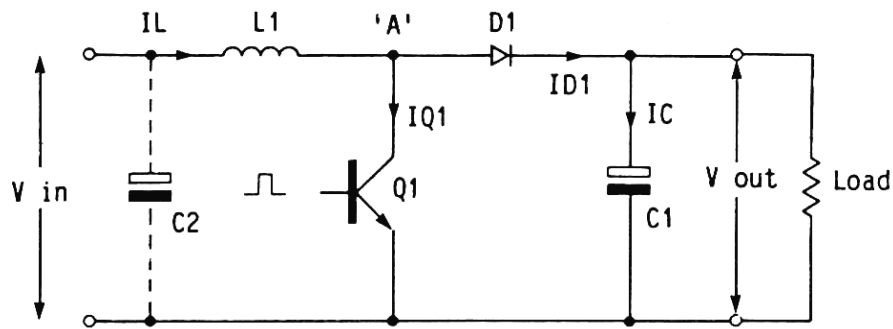
Εικόνα 2-1 Βασικό κυκλώμα DC – DC BUCK μετατροπέα

Στην Εικόνα 2-1 φαίνεται το βασικό κύκλωμα ενός μετατροπέα συνεχούς ρεύματος σε συνδεσμολογία Buck. Στον BUCK μετατροπέα η τάση εξόδου είναι πάντοτε ίδιας πολικότητας με την τάση εισόδου αλλά με μικρότερο δυναμικό. Κατά την διάρκεια που το διακοπτικό transistor Q_1 βρίσκεται σε αγωγιμότητα η σύνθετη αντίσταση του πηνίου L_1 προστίθεται σε αυτήν του φορτίου μειώνοντας την συνολική τάση που εμφανίζεται στα άκρα του φορτίου.



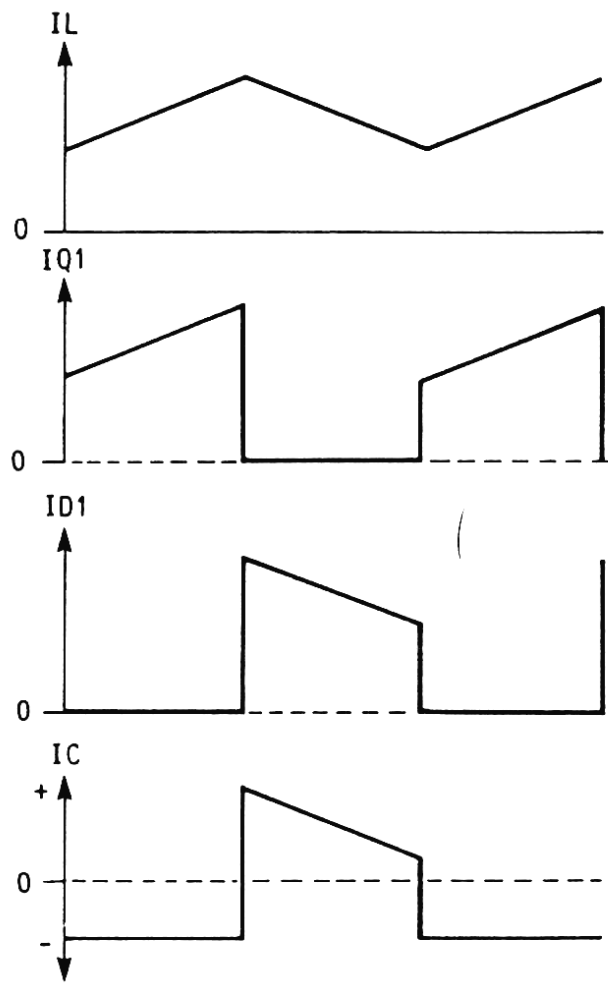
Εικόνα 2-2 Κυματομορφές ρεύματος ενός Buck regulator

Όταν το διακοπτικό transistor Q_1 αποκόπτει η αποθηκευμένη ενέργεια που βρίσκεται στο πηνίο L_1 τροφοδοτεί το φορτίο. Στην Εικόνα 2-2 απεικονίζονται οι χαρακτηριστικές ρεύματος του μετατροπέας. Στη πρώτη κυματομορφή έχουμε το ρεύμα που διαρρέει το τρανζίστορ Q_1 , στην δεύτερη έχουμε το ρεύμα που διαρρέει την δίοδο D_1 , στην τρίτη το ρεύμα που εμφανίζεται στο πηνίο L_1 και στην τέταρτη κυματομορφή φαίνεται το ρεύμα που διαρρέει το φορτίο του κυκλώματος.

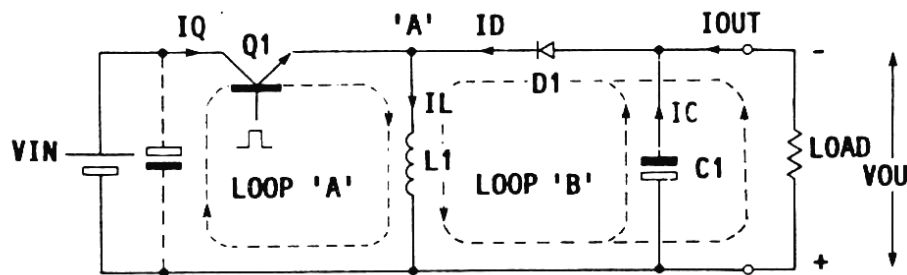
(b) Bust Regulator

Εικόνα 2-3 Βασικό κύκλωμα DC – DC BOOST μετατροπέα

Στην Εικόνα 2-3 φαίνεται το βασικό κύκλωμα ενός μετατροπέα συνεχούς ρεύματος σε συνδεσμολογία Boost. Στον Boost μετατροπέα η τάση εξόδου είναι πάντοτε ίδιας πολικότητας με την τάση εισόδου αλλά με μεγαλύτερο δυναμικό. Κατά την διάρκεια που το διακοπτικό transistor Q_1 βρίσκεται σε αγωγιμότητα η τάση εισόδου εφαρμόζεται στα άκρα του πηνίου L_1 και το ρεύμα αυξάνει. Ταυτόχρονα η διόδος D_1 έχοντας πολωθεί ανάστροφα από το δυναμικό που έχει αναπτυχθεί στα άκρα του πυκνωτή δεν επιτρέπει την ροή ρεύματος προς το τρανζίστορ. Η τάση του πυκνωτή τροφοδοτεί το φορτίο. Όταν αποκόπτει το τρανζίστορ Q_1 στα άκρα του φορτίου εφαρμόζεται η τάση της πηγής στην οποία έχει προστεθεί το δυναμικό που αναπτύχθηκε στα άκρα του πηνίου L_1 τα οποία μέσω της διόδου φορτίζουν τον πυκνωτή και τροφοδοτούν το φορτίο του κυκλώματος. Στην παρακάτω Εικόνα 2-4 απεικονίζονται οι κυματομορφές ρεύματος του μετατροπέα. Στο πρώτο σχήμα απεικονίζεται το ρεύμα που διαρρέει το πηνίο L_1 , στην δεύτερη το ρεύμα που διαρρέει το τρανζίστορ Q_1 , στην τρίτη το ρεύμα στην διόδο D_1 και τέλος έχουμε το ρεύμα φόρτισης του πυκνωτή C .



Εικόνα 2-4 Κυματομορφές ρεύματος ενός Boost regulator

(c) Inverting Regulator

Εικόνα 2-5 Βασικό κύκλωμα αντιστροφέα (buck – boost)

Στην Εικόνα 2-5 απεικονίζεται το βασικό κύκλωμα ενός αντιστροφέα. Το κύκλωμα του αντιστροφέα προκύπτει από τον συνδυασμό ενός μετατροπέα Buck και ενός Boost μετατροπέα. Με αυτήν την συνδεσμολογία η πολικότητα της τάση εξόδου του κυκλώματος είναι αντίστροφη από αυτή της εισόδου. Το δυναμικό της εξόδου μπορεί να είναι ίσο, μικρότερο ή μεγαλύτερο από αυτό της εισόδου.

(d) Επιλογή μετατροπέα

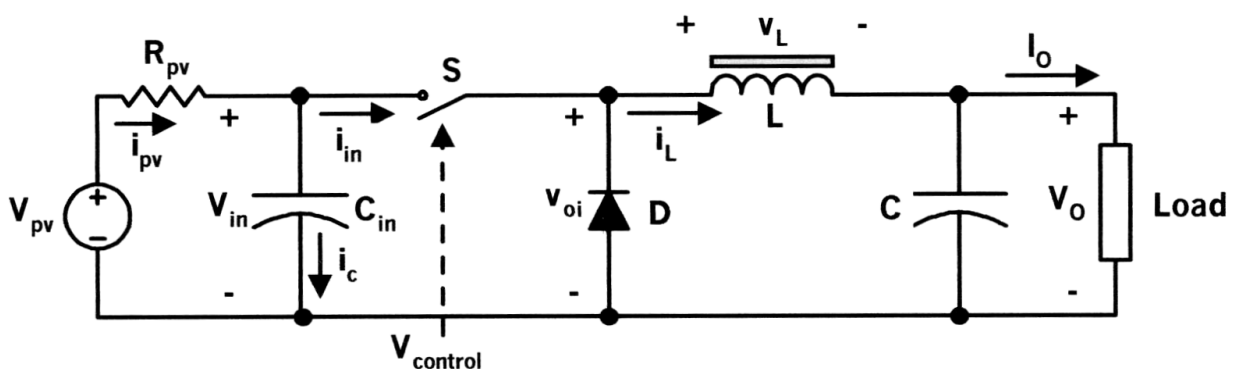
Συνήθως σε εγκαταστάσεις παραγωγής ενέργειας με φωτοβολταϊκά στοιχεία, άλλα και άλλες πηγές ανανεώσιμης ενέργειας, η μονάδα παραγωγής βρίσκεται σε μεγάλη απόσταση από το χώρο που τοποθετούνται τα ηλεκτρονικά κυκλώματα διαχείρισης της παραγόμενης ενέργειας. Η απώλεια ενέργειας κατά την μεταφορά της ισχύος οφείλεται κυρίως στην αντίσταση που παρουσιάζουν τα καλώδια μεταφοράς ενέργειας. Για δεδομένη μεταφερόμενη ισχύ, όσο μικρότερη είναι η διαφορά δυναμικού τόσο μεγαλύτερο είναι το απαιτούμενο ρεύμα. Όσο μεγαλύτερο ρεύμα διαρρέει τον αγωγό μεταφοράς τόσο μεγαλύτερη είναι και η απώλεια ισχύος που παρουσιάζεται στο σύστημα.

Για την μείωση της απώλεια ενέργειας, κατά τη μεταφορά της από τη μονάδα παραγωγής μέχρι το χώρο διαχείρισης και στην κατανάλωση, είναι

προτιμότερη η χρήση υψηλής τάσης. Στην περίπτωση της φωτοβολταϊκής γεννήτριας όπου έχουμε δεδομένο δυναμικό για κάθε πάνελ παραγωγής ενέργειας, επιτυγχάνεται μεγάλη τάση λειτουργίας με τη συνδεσμολογία σε σειρά πολλών φωτοβολταϊκών στοιχείων.

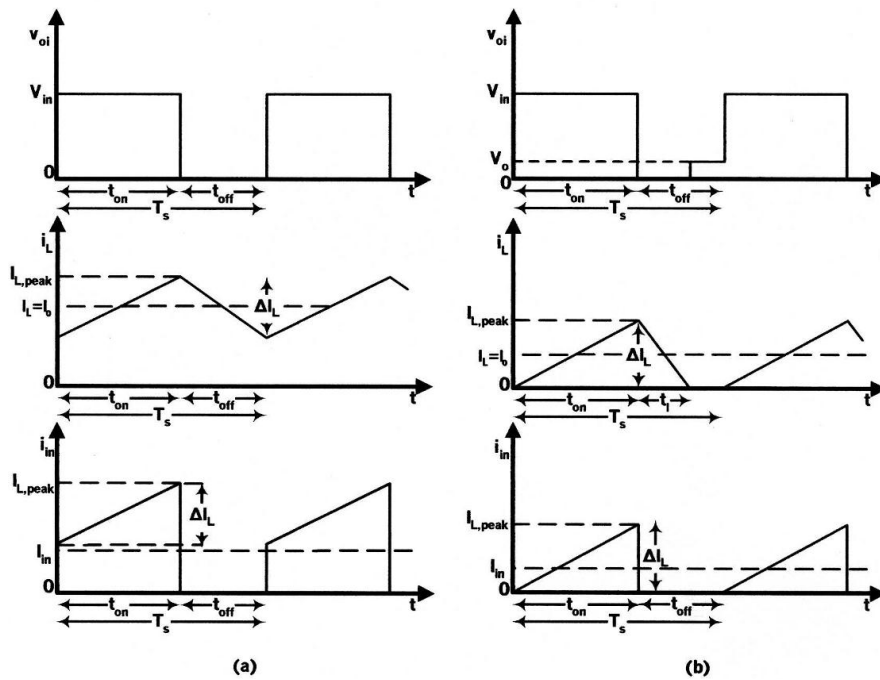
Έχοντας υπ' όψιν τα παραπάνω, καθώς και την ασφάλεια του συστήματος, για την κατασκευή μας επιλέξαμε τάση λειτουργίας της φωτοβολταϊκής γεννήτριας τα 120V DC. Το φορτίο μας είναι συστοιχία από μπαταρίες με τάση λειτουργίας τα 48V. Για το κύκλωμα MPPT που σχεδιάστηκε σύμφωνα με τα παραπάνω επιλέχτηκε μετατροπέας τάσης Buck συνδεσμολογίας.

Ενότητα 2.04 Μετατροπέας συνεχούς τάσης τύπου BUCK



Εικόνα 2-6 Ισοδύναμο κύκλωμα BUCK Converter συστήματος

Το βασικό διάγραμμα του μετατροπέα φαίνεται στην Εικόνα 2-6 και στην Εικόνα 2-7 απεικονίζονται οι θεωρητικές κυματομορφές, για την λειτουργία του κυκλώματος. Ανάλογα με το φορτίο 'Load' και τα ηλεκτρικά χαρακτηριστικά των εξαρτημάτων 'L' και 'C', το ρεύμα στο φορτίο μπορεί να είναι συνεχές ($I_{L(t)} \geq 0$), δηλαδή να μην μηδενίζει πριν αρχίσει ξανά η ροή ρεύματος από την πηγή, ή διακοπτόμενη ($I_{L(t)} = 0$), δηλαδή το ρεύμα στο πηνίο μηδενίζει πριν αρχίσει η ροή ρεύματος από την πηγή προς το φορτίο.



Εικόνα 2-7 Χαρακτηριστικές Ρεύματος Buck Converter.

Η τιμή του πηνίου L, ώστε να έχουμε συνεχή ροή ρεύματος, υπολογίζεται έτσι ώστε το μέγιστο ρεύμα του πηνίου κατά τη μεγιστη ισχύ εξόδου του κυκλώματος, να μην υπερβαίνει το μέγιστο ρεύμα διακοπής. Ο υπολογισμός της επαγωγικότητας L φαίνεται στην Εξίσωση 2-1 όπου η f_s είναι η συχνότητα διακοπής του κυκλώματος ($F_s = 1/T_s$), D_{cm} είναι ο κύκλος φορτίου (Duty Cycle) του κυκλώματος κατά τη μέγιστη ισχύ εξόδου, ΔI_{Lm} είναι η μέγιστη κυμάτωση (peak to peak) του ρεύματος πηνίου, V_{om} είναι το μέγιστο της συνεχής τάση εξόδου και I_{om} είναι το συνεχές ρεύμα εξόδου κατά τη μέγιστη ισχύ εξόδου.

$$L \geq \frac{V_{om}(1 - D_{cm})}{f_s |\Delta I_{Lm}|}$$

Εξίσωση 2-1 Υπολογισμός επαγωγικότητας πηνίου L

Η τιμή χωρητικότητας του πυκνωτή εξόδου υπολογίζεται από την Εξίσωση 2-2 ώστε να δώσει την επιθυμητή κυμάτωση της τάσης εξόδου.

$$C \geq \frac{D_{cm} I_{om}}{r f_s V_{om}}$$

Εξίσωση 2-2

Όπου r είναι ο συντελεστής κυμάτωσης της τάσης εξόδου ορισμένος σαν $r = \Delta V_{om} / V_{om}$ (συνήθως $r \leq 2\%$) και ΔV_{om} είναι η μέγιστη κυμάτωση της τάσης εξόδου στην μέγιστη ισχύ λειτουργίας.

Υπολογίζοντας ότι η μέγιστη κυμάτωση του ρεύματος εξόδου της φωτοβολταϊκής γεννήτριας πρέπει να είναι μικρότερη από το 2% της μέσης τιμής, η χωρητικότητα εισόδου του μετατροπέα υπολογίζεται:

$$C_{in} \geq \frac{(1 - D_{cm}) I_{om} D_{cm}}{0,02 \times I_{pvm} R_{pvm} f_s}$$

Εξίσωση 2-3

Όπου I_{pvm} είναι το ρεύμα εισόδου του μετατροπέα σε λειτουργία μέγιστης ισχύος, και R_{pvm} είναι η σύνθετη εσωτερική αντίσταση της φωτοβολταϊκής γεννήτριας κατά τη στιγμή της μέγιστης ισχύος.

Ο κύκλος λειτουργίας Duty Cycle, ορίζεται σαν το χρόνο που ο διακόπτης άγει προς το συνολικό χρόνο μέχρι την επόμενη αγωγή του διακόπτη. Μεταβάλλοντας κατάλληλα την τιμή του duty cycle μπορεί να ρυθμιστεί η τάση εξόδου, καθώς η μέση τιμή της τάσης εξόδου μεταβάλλεται γραμμικά με τη μεταβολή του duty cycle. Η τάση στην έξοδο του πηνίου είναι διακοπτική. Για την μετατροπή της σε συνεχή χρησιμοποιούμε βαθυπερατό φίλτρο.

Κεφάλαιο 3. Υπολογιστικό σύστημα

Ενότητα 3.01 Απαιτήσεις Συστήματος

Το σύστημα που κατασκευάστηκε ελέγχει σε πραγματικό χρόνο τη λειτουργία τους συστήματος ώστε να αποδίδει την μέγιστη δυνατή ισχύ στο φορτίο μας. Για να γίνει αυτό απαιτείται ή συνεχής παρακολούθηση των ηλεκτρικών παραμέτρων της εξόδου των φωτοβολταϊκών συστήματος. Όπως είδαμε σε προηγούμενο κεφάλαιο οι ηλεκτρικές παράμετροι επηρεάζονται από την ακτινοβολία, την σκίαση, την καθαρότητα των φωτοβολταϊκών καθώς και από την εποχή του έτους, δηλαδή οι μεταβολές που μπορούν να προκύψουν σχετίζονται όχι μόνο με την κίνηση της Γης γύρω από τον Ήλιο αλλά και από σύντομα καιρικά φαινόμενα, όπως ένα μικρό σύννεφο που κινείται στην ατμόσφαιρα. Τέτοιες ακόμα και στιγμιαίες μεταβολές στην ακτινοβολία που προσβάλλει τα φωτοβολταϊκά, αλλά και μόνο ένα μέρος από αυτά, μπορεί να αλλάξει σε μεγάλο βαθμό την τελική ηλεκτρική ισχύ που θα δώσει το σύστημα.

Η ισχύς που παράγεται από το φωτοβολταϊκό σύστημα θα πρέπει τελικά να αποδοθεί στο φορτίο μας. Το φορτίο αυτό σε ιδανική περίπτωση έχει σταθερά ηλεκτρικά χαρακτηριστικά, δηλαδή σταθερή εσωτερική αντίσταση και απαιτήσεις ενέργειας. Για την εφαρμογή που τελικά σχεδιάστηκε το σύστημα χρησιμοποιούμε για φορτίο, ζεύγος μπαταριών μολύβδου. Οι μπαταρίες αυτές αποθηκεύουν την παραγόμενη ενέργεια ώστε να μπορεί να χρησιμοποιηθεί όταν ο τελικός καταναλωτής το απαιτήσει. Για την σωστή φόρτιση των μπαταριών έχουμε διαφορετική αντιμετώπιση όταν αυτές είναι τελείως άδειες, όταν βρίσκονται πλήρως φορτισμένες αλλά και όταν υπάρχει και παραγόμενη ενέργεια και ταυτόχρονα κατανάλωση από το τελικό φορτίο.

Το υπολογιστικό μας σύστημα παρακολουθεί :

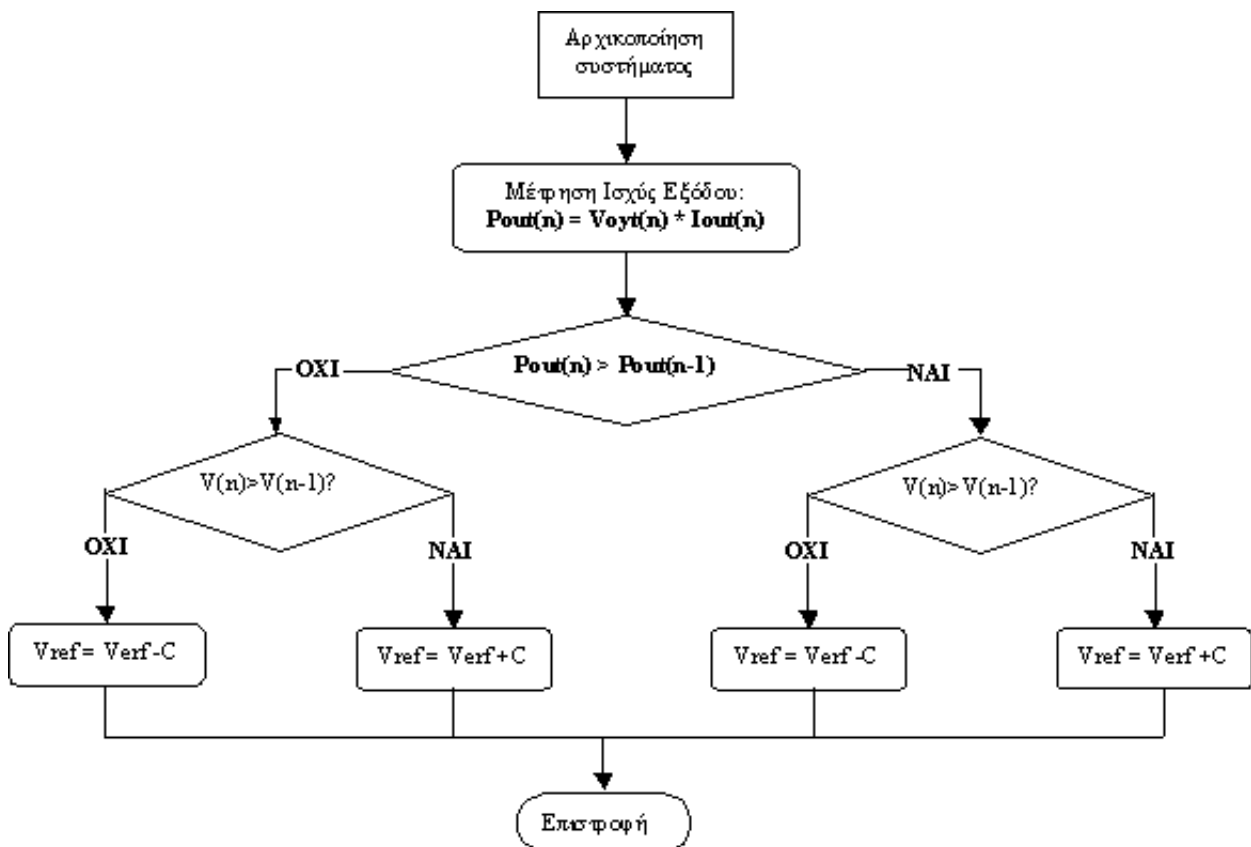
- Την ισχύ που παράγεται από τη φωτοβολταϊκή γεννήτρια.
- Την κατάσταση φόρτισης των μπαταριών

- Τις τυχόν απαιτήσεις ενέργειας του τελικού καταναλωτή

Το υπολογιστικό σύστημα καθορίζει:

- Τον τρόπο φόρτισης των μπαταριών
- Την ενέργεια που θα αποδοθεί στο φορτίο
- Την σύνθετη αντίσταση του κυκλώματος μετατροπής τάσης (DC-DC converter) ώστε να γίνεται η καλύτερη δυνατή εκμετάλλευση της παραγόμενης ενέργειας.

Ενότητα 3.02 Αλγόριθμος ελέγχου



Εικόνα 3-1 Λογικό διάγραμμα λειτουργίας M.P.P.T.

Στο παραπάνω διάγραμμα (Εικόνα 1-1) φαίνεται το λογικό διάγραμμα ελέγχου που πραγματοποιείται από το σύστημα μας. Κατά την εκκίνηση της λειτουργίας έχουμε την αρχικοποίηση των παραμέτρων. Πρώτα γίνεται ο

αρχικός έλεγχος των περιφερειακών του μικροελεκτή, όποτε το υπολογιστικό σύστημα ελέγχει την λειτουργία των εξωτερικών κυκλωμάτων (εξωτερική & εσωτερική μνήμη RAM & ROM, αναλογικός μετατροπέας κ.λ.π.) για την καλή λειτουργία και στη συνέχεια θέτει τις αρχικές παραμέτρους λειτουργίας του συστήματος μετατροπής ενέργειας. Ελέγχει αν παρέχεται ισχύς στην είσοδο του κυκλώματος, την κατάσταση του φορτίου στην έξοδο και τις απαιτήσεις του σε ενέργεια και ξεκινάει τον μετατροπέα. Κατά τη λειτουργία του συστήματος, υπολογίζει την ισχύ εισόδου που παρέχεται από τη φωτοβολταϊκή γεννήτρια και την ισχύ που απαιτείται στην έξοδο του μετατροπέα.

Για τον υπολογισμό της ισχύς εισόδου, μετράμε το δυναμικό της εισόδου, με διαιρέτη τάσης και του ρεύματος εισόδου, με επαγωγική ζεύξη. Για την μέτρηση της ισχύς εξόδου χρησιμοποιούμε διαιρέτη τάσης για το δυναμικό της εξόδου και αντίσταση shunt σε σειρά με το φορτίο, για τη μέτρηση του ρεύματος εξόδου. Συγκρίνουμε την τιμή της ισχύος που πήραμε από τις μετρήσεις με αυτές που είχαμε αποθηκεύσει στην μνήμη κατά την αρχικοποίηση του συστήματος. Ο μικροελεκτή στη συνέχεια ανάλογα με την διαφορά ισχύος θα αυξήσει ή θα μειώσει το duty cycle του συστήματος και θα επαναλάβει τις μετρήσεις.

Το σύστημα ελέγχου σταθεροποιείται στην μέγιστη ισχύ εξόδου με μια μικρή απόκλιση. Στη συνέχεια λειτουργεί κάνοντας συνεχώς **tracking** στη μέγιστη τιμή ισχύος. Κατά τη λειτουργία αυτή μεταβάλλει κατά το ελάχιστο βήμα την τιμή του duty cycle στο σύστημα και μετράει την ισχύ. Αυτή η ελάχιστη τιμή αποτελεί και το σφάλμα του συστήματος.

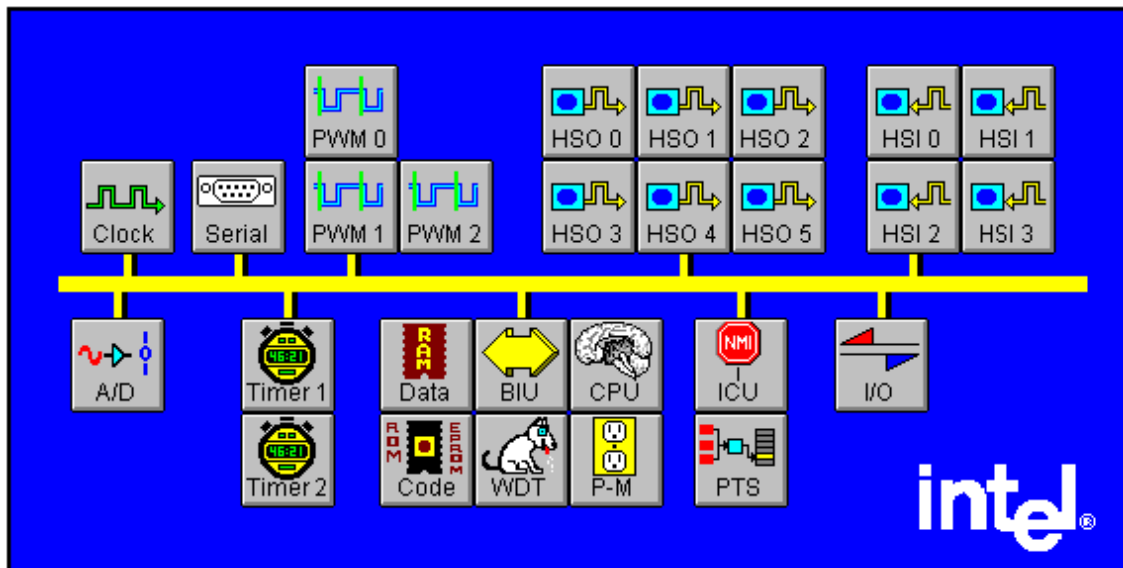
Το σφάλμα εδώ ορίζεται σαν το τετράγωνο της ελάχιστης απόκλισης της ισχύος. Η ελάχιστη απόκλιση **D** ορίζεται κατά την μετατροπή του φυσικού μεγέθους σε αναλογικό.

Έστω ότι ο αναλογικός διαιρέτης τάσης μας δίνει μέγιστη απόκλιση 10V και ότι ο μετατροπέας αναλογικού σε ψηφιακό είναι ανάλυσης 12 ψηφίων. Τότε η ελάχιστη μετρούμενη τάση από το σύστημα θα είναι

$$Dv = 10V/2^{12} = 0,00244140625V.$$

Ενότητα 3.03 Χαρακτηριστικά υπολογιστικού συστήματος.

Για το υπολογιστικό σύστημα χρησιμοποιούμε τον επεξεργαστή **80C196KC** της εταιρείας **Intel**. Ο μικροελεκτήρας 80C196KC έχει εύρος δεδομένων επεξεργασίας 16-bit, δηλαδή επεξεργάζεται δύο (2) byte σε κάθε κύκλο ρολογιού. Για την κατασκευή του χρησιμοποιείται τεχνολογία CHMOS ώστε να έχει μικρή κατανάλωση ισχύος. Είναι σχεδιασμένος να εκτελεί γρήγορους υπολογισμούς και λειτουργίες εισόδου / εξόδου, ενώ περιέχει και βασικά κυκλώματα, απαραίτητα για εφαρμογές αυτοματισμού όπως χρονιστές ελέγχου λειτουργίας **Watch Dog Timer**, μετατροπείς αναλογικού σήματος σε ψηφιακό **A/D converter**, γεννήτριες παλμών διαμορφωμένων κατά πλάτος **PWM generator** και σειριακές πόρτες επικοινωνίας **Serial Port**. Τα επιπλέον κυκλώματα που περιλαμβάνει τον καθιστούν ιδανικό για χρήση σε εφαρμογές όπως έλεγχος κλειστού βρόχου, ψηφιακή επεξεργασία σήματος, συστήματα ελέγχου κινητήρων, συστήματα ελέγχου μηχανών, συστήματα ABS κ.λ.π. Στην παρακάτω φωτογραφία φαίνεται η εσωτερική δομή του επεξεργαστή με τα περιφερειακά του.



Εικόνα 3-2 Εσωτερικές μονάδες μικροελεκτή 80C196KC.

Ο μικροελεκτή περιλαμβάνει όλα τα περιφερειακά που χρειαζόμαστε για την εφαρμογή μας. Τα περιφερειακά που χρησιμοποιούνται είναι:

1. Μετατροπέας αναλογικού σε ψηφιακό μέγιστης ανάλυσης 10bit, για την μετατροπή των μετρήσεων ισχύος που γίνονται στην είσοδο και την έξοδο του κυκλώματος ισχύος
2. Εσωτερικοί χρονιστές, για την παραγωγή παλμών.
3. Μονάδα watchdog timer για μεγαλύτερη ασφάλεια.
4. Μονάδα παραγωγής παλμών με διαμόρφωση κατά πλάτος PWM Generator, που χρησιμοποιείται για την παραγωγή των παλμών οδήγησης της μονάδας ισχύος,
5. Ψηφιακούς & εξόδους υψηλής ταχύτητας, και
6. Σειριακή είσοδο / έξοδο για την επικοινωνία με άλλες συσκευές ελέγχου και παρακολούθησης καθώς και τον προγραμματισμό.

Το ρολόι **Clock** συγχρονισμού για την έκδοση που χρησιμοποιούμε είναι 20MHz, δίνοντας μας τη δυνατότητα δημιουργίας των παλμών ελέγχου του κυκλώματος ισχύος μεγάλης συχνότητας.

Οι παλμοί ελέγχου είναι διαμορφωμένοι κατά πλάτος και παράγονται από τις εξόδους **PWM 0** έως **PWM2** έχοντας μέγιστης συχνότητας 39,1KHz. Στον Πίνακα 3-1 φαίνεται η συχνότητα που έχει ο διαμορφωμένος κατά πλάτος παλμός ανάλογα με την συχνότητα του κρυστάλλου χρονισμού και την λογική κατάσταση του BIT ελέγχου IOC2.2

IOC 2.2	XTAL1 Frequency (FOSC)			
	8 MHz	10 MHz	16 MHz	20 MHz
0	15.6 KHz	19.6 KHz	31.25 KHz	39.1 KHz
1	7.8 KHz	9.8 KHz	15.63 KHz	19.5 KHz

Πίνακας 3-1 Συχνότητα εξόδου μονάδας PWM

Η μονάδα αναλογικής μετατροπής χρησιμοποιείται για την μετατροπή των αναλογικών μετρήσεων σε ψηφιακές. Μπορεί να κάνει μετατροπές από αναλογικό ψηφιακό ανάλυσης 8bit σε χρόνο 7μs ενώ για ανάλυση 10bit χρειάζεται 10μs για κάθε μετατροπή.

Η μονάδα σειριακής επικοινωνίας αφού μετατραπεί σε ασύγχρονη RS 232 χρησιμοποιείται για την μεταφορά δεδομένων, όπως μετρήσεις ισχύος, κατάσταση ελέγχου και προειδοποιητικά σήματα.

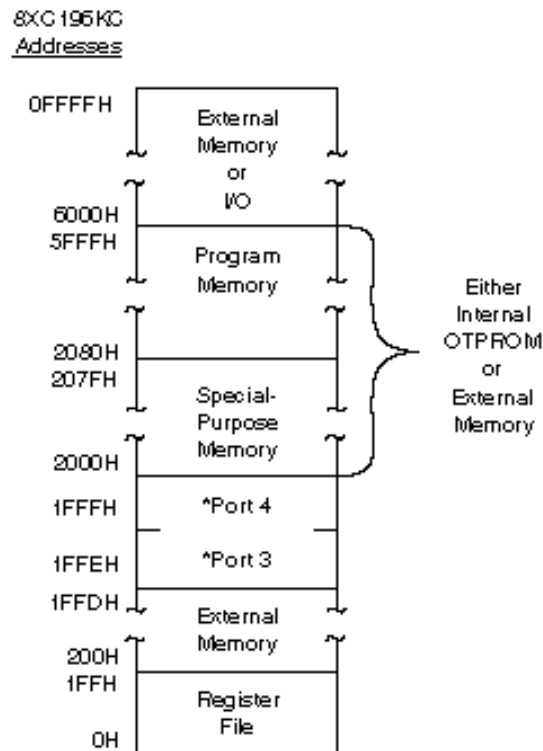
Ο μικροελεγκτής αυτός επιλέχθηκε όχι μόνο γιατί περιλαμβάνει στο κέλυφος του όλα τα περιφερειακά που χρειαζόμαστε για την υλοποίηση του συστήματος αλλά κυρίως για τον εσωτερικό Watch Dog Timer. Στην εφαρμογή που χρησιμοποιείται η κατασκευή έχουμε να κάνουμε με διαχείριση ισχύος πράγμα που απαιτεί επιπλέον έλεγχο ασφάλειας και καλής λειτουργίας του όλου συστήματος. Ένα οποιοδήποτε σταμάτημα στο πρόγραμμα του επεξεργαστή ή μια αδικαιολόγητη χρονική καθυστέρηση μπορεί να έχει ολέθρια αποτελέσματα για το ίδιο το κύκλωμα αλλά και για το φορτίο. Ο χρονιστής Watch Dog Timer, αν δεν ανανεωθεί σε τακτά χρονικά διαστήματα

από τον επεξεργαστή προκαλεί επανεκκίνηση (**reset**). Το σύστημα επανέρχεται στην αρχική κατάσταση λειτουργίας έχοντας αποσυνδέσει το φορτίο από την πηγή ενέργειας.

Ο ελεγκτής παρέχει τη δυνατότητα διακοπών (interrupts) είτε από εσωτερικά γεγονότα (timer overflow, A/D conversion complete κ.λ.π.) είτε από εξωτερικά γεγονότα (external interrupt pin, high-speed input pins). Χρησιμοποιώντας τα interrupts έχουμε γρήγορο έλεγχο των δεδομένων ενώ ταυτόχρονα μπορεί να γίνει και ιεράρχηση της σπουδαιότητας των εργασιών που εκτελεί κάθε στιγμή ο επεξεργαστής.

Το σύνολο των εντολών του ελεγκτή (instruction set) περιλαμβάνει ένα μεγάλο αριθμό αριθμητικών και λογικών εντολών για δεδομένα των 8 και των 16 bit (BYTE, SHORT-INTEGER, WORD, INTEGER). Επίσης υποστηρίζει δεδομένα των 32 bit σε πράξεις ολίσθησης, σα γινόμενα πράξεων 16 επί 16 και σα πηλικά πράξεων 32 με 16 ενώ οι υπόλοιπες πράξεις γίνονται σα συνδυασμοί πράξεων 16-bit. Το hardware του ελεγκτή δεν υποστηρίζει πράξεις πραγματικών αριθμών αλλά αυτές οι εντολές μπορούν να υποστηριχθούν από βιβλιοθήκη για πραγματικούς αριθμούς (FPAL-96) στην οποία υλοποιείται ένα υποσύνολο των εντολών πραγματικών αριθμών που έχει προταθεί από την IEEE.

Στην Εικόνα 3-3 φαίνεται η διάταξη της μνήμης του μικροελεγκτή. Η μνήμη προγράμματος (program memory) καταλαμβάνει τις διευθύνσεις από 2080H έως 5FFFH. Η εκτέλεση του προγράμματος ξεκινάει διαβάζοντας και εκτελώντας η CPU την εντολή στη διεύθυνση 2080H.



Εικόνα 3-3 Διάταξη οργάνωσης μνήμης μικροελεγκτή.

Η μνήμη ειδικής λειτουργίας (special function memory) περιέχει δεσμευμένες θέσεις μνήμης που χρησιμοποιούνται για εσωτερικές λειτουργίες του ελεγκτή. Οι διευθύνσεις από 0H έως 1FFH του register file χρησιμοποιούνται για την ονομασία των εσωτερικών καταχωρητών του ελεγκτή (όπως ο stack pointer και οι special function registers) που χρησιμοποιούνται για τον προγραμματισμό και τον έλεγχο της λειτουργίας των περιφερειακών του ελεγκτή μέσω software

Στον παρακάτω πίνακα παραθέτω τους ακροδέκτες του μικροελεγκτή καθώς και τις λειτουργίες που αυτοί εκτελούν. Ανάλογα με τον προγραμματισμό του μικροελεγκτή αλλάζει και η λειτουργία τους.

8XC196KC Pin Descriptions

Function Name	Additional Functions	Selected by	Type	Description
ACH0	P0.0	--	I	Analog Channels 0 through 7. ACH0ACH7 are analog inputs to the A/D converter. These pins may individually be used as analog inputs (ACHx) or digital inputs (P0.x). While it is possible for the pins to function simultaneously as analog and digital inputs, this is not recommended because reading Port 0 while a conversion is in process can produce unreliable conversion results. The ANGND and VREF pins must provide power to these pins for the A/D converter and Port 0 to function.
ACH1	P0.1			
ACH2	P0.2			
ACH3	P0.3			
ACH4	P0.4/PMODE.0			
ACH5	P0.5/PMODE.1			
ACH6	P0.6/PMODE.2			
ACH7	P0.7/PMODE.3			
AD0-AD7	P3.0-P3.7	External	I/O	System Address/Data Bus. These pins automatically switch to their address/data bus function when an external access occurs. In programming modes, these pins function as the PBUS.
AD8-AD15	P4.0-P4.7	Access		
ADV#	ALE	CCR.3=0	O	Address Valid. This active-low output signal is asserted only during external memory accesses. The ADV# signal is used by an external latch to demultiplex the address from the address/data bus. ADV# goes inactive at the end of the bus cycle. ADV# can also be used with a decoder to generate chip-selects for external memory.
AINC#	P2.4/T2RST	EA# = VEA	I	Auto Increment. In Slave Programming Mode, this active-low input signal enables the auto-increment mode. Auto increment allows reading from or writing to sequential EPROM locations without requiring address transactions across the programming bus for each read or write.
ALE	ADV#	CCR.3=1	O	Address Latch Enable. This active-high output signal is asserted only during external memory accesses. ALE is used by an external latch to demultiplex the address from the address/data bus.
ANGND	--	--	GND	Analog Ground. Reference ground for the A/D converter and the logic used to read Port 0. ANGND must be connected for the A/D converter and Port 0 to function.
BHE#	WRH#	CCR.2=1	O	Byte High Enable. This active-low output signal is asserted only during word writes and high byte writes to external memory. BHE#, in conjunction with A0, selects the memory byte to be written. When low, BHE# selects the high byte; when high, it selects the low byte. When low, A0 selects the low byte; when high, it selects the high byte. Thus, external word writes can be to both bytes, to the low byte only, or to the high byte only:

				BHE#	A0	Byte Written
				0	0	both bytes
				0	1	high byte only
				1	0	low byte only
BREQ#	P1.5	WSR.7=1	O	Bus Request. This active-low output signal is asserted during a HOLD# cycle when the bus controller has a pending external memory cycle. The earliest time in the HOLD# cycle that the device can assert BREQ# is at the same time it asserts HLDA#. Once it is asserted, BREQ# remains asserted until HOLD# is removed. When this function is active, the pin acts as a standard output (not quasi-bidirectional).		
BUSWIDT H	--	CCR.1=1	I	Bus Width. When CCR.1=1, this active-high input signal is asserted to select the bus width. When high, BUSWIDTH selects a 16-bit bus width; when low, it selects an 8-bit bus width. When CCR.1=0, the bus width is always 8 bits and BUSWIDTH is not asserted.		
CLKOUT	--	IOC3.1=0	O	Clock Output. Output of the internal clock generator. The frequency of CLKOUT is 1/2 the oscillator frequency. It has a 50% duty cycle and is generated from XTAL1. Clearing IOC3.1 enables CLKOUT; Setting IOC3.1 disables the signal.		
CPVER	P2.6/T2UP-DN	EA# = VEA	O	Cumulative Program Verification. When asserted, this active-high output signal indicates that all locations have programmed correctly since the device entered programming mode.		
EA#	Programming mode select (EA# = VEA)	--	I	External Access. This active-low input signal directs memory accesses to on-chip or off-chip memory. When low, it selects off-chip memory; when high, it selects on-chip ROM or EPROM. For ROMless devices, EA# must be tied low. EA# is sampled only on the rising edge of RESET#. EA# = VEA on the rising edge of RESET# causes the device to enter programming mode.		
EXTINT				External Interrupt. IOC1.1 assigns this input to either P2.2 or P0.7. EXTINT must be asserted for greater than two state times to guarantee that it is recognized. In Powerdown mode, EXTINT causes the chip to return to normal operating mode. EXTINT is normally a sampled input; however, the powerdown circuitry uses it as a level-sensitive input in Powerdown mode.		
	P2.2/PROG#	IOC1.1=0	I	P2.2 always generates EXTINT1 (INT13, 203AH). When IOC1.1=0,		

	P0.7/PMODE.3/A CH7	IOC1.1=1	I	a rising edge on the P2.2 pin also generates EXTINT (INT07, 200EH). EXTINT and EXTINT1 must be asserted for greater than two state times to guarantee that they are recognized. When IOC1.1=1, a rising edge on the P0.7 pin generates external interrupt EXTINT (INT07, 200EH). EXTINT must be asserted for greater than two state times to guarantee that it is recognized.
HLDA#	P1.6	WSR.7=1	O	Bus Hold Acknowledge. This active-low output indicates that the 8XC196KC has released the bus as a result of another device asserting HOLD#. When this function is active, the pin acts as a standard output (not quasi-bidirectional).
HOLD#	P1.7	WSR.7=1	I	Bus Hold. This active-low input is used to request control of the bus. When this function is active, the pin acts as a standard input (not quasi-bidirectional).
HSI.0	INT04 interrupt /T2 reset source	IOC0.0=1	I	Input to the High Speed Input module. The HSI.0 pin can also be used to generate an interrupt. A rising edge on HSI.0 generates interrupt INT04 (2008H). In addition, when IOC0.5=1, a rising edge on HSI.0 resets Timer 2.
HSI.1	T2 clock source	IOC0.2=1	I	Input to the High Speed Input module. When IOC0.7=0 and IOC3.0=0, the HSI.1 pin functions as the T2 clock source.
HSI.2	HSO.4	IOC0.4=1	I	Input to the High Speed Input module. Note that HSI and HSO functions can be active at the same time, in which case the pin acts as an output that the HSO monitors.
HSI.3	HSO.5	IOC0.6=1	I	
HSO.0	--	--	O	High Speed Outputs. Outputs from the High Speed Output module.
HSO.1	--	--	O	
HSO.2	--	--	O	
HSO.3	--	--	O	
HSO.4	HSI.2	IOC1.4=1	O	Output from the High Speed Output module. Note that the HSI and HSO functions can be active at the same time, in which case the pins acts as an output that the HSO monitors.
HSO.5	HSI.3	IOC1.6=1	O	Output from the High Speed Output module. Note that the HSI and HSO functions can be active at the same time, in which case the pin acts as an output that the HSI monitors.
INST	--	--	O	Instruction Fetch. This signal is valid only during external memory read cycles. When high, INST indicates that an instruction is being read; when low, it indicates that data is being read. INST can be used in applications that require separate memory banks for instructions and data. (Note that CCB bytes and interrupt vectors are considered data.)
NMI	--	--	I	Nonmaskable Interrupt. A positive transition causes a vector

				through the NMI interrupt at location 203EH. NMI is used by Intel tools that could conflict with user software. When NMI is not used, it should be tied low.
P0.0	ACH0	--	I	Port 0. This port is an 8-bit, high impedance input-only port. Port 0 is read (only) at location 0EH in HWindow 0.P0.0P0.7 are also digital inputs to the A/D converter. These pins may individually be used as analog inputs (ACHx) or digital inputs (P0.x). While it is possible for the pins to function simultaneously as analog and digital inputs, this is not recommended because reading Port 0 while a conversion is in process can produce unreliable conversion results. ANGND and VREF must be connected for Port 0 and the A/D converter to function.
P0.1	ACH1	--		
P0.2	ACH2	--		
P0.3	ACH3	--		
P0.4	ACH4/PMODE.0	--		
P0.5	ACH5/PMODE.1	--		
P0.6	ACH6/PMODE.2	--		
P0.7	ACH7/PMODE.3	--		
P1.0-P1.2	--	--	QBD	Port 1. This port is an 8-bit, quasi- bidirectional input/output port. Port 1 is read and written at location 0FH in HWindow 0. The additional functions act as standard I/O pins (not quasi-bidirectional).
P1.3	PWM1	--		
P1.4	PWM2	--		
P1.5	BREQ#	--		
P1.6	HLDA#	--		
P1.7	HOLD#	--		
P2.0	TXD/PVER#	--	O	Port 2. This port is an 8-bit, multifunctional port. Port 2 is read and written at location 10H in HWindow 0.
P2.1	RXD/PALE#	--	I	
P2.2	EXTINT/PROG#	--	I	
P2.3	T2CLK	--	I	
P2.4	T2RST/AINC#	--	I	
P2.5	PWM0	--	O	
P2.6	T2UP-DN/CPVER	--	QBD	
P2.7	T2CAPTURE /PACT	--	QBD	
P3.0-P3.7	AD0-AD7	--	I/O	Ports 3 and 4. These are 8-bit, bidirectional, input/output ports with open-drain outputs. The pins are shared with the multiplexed address/data bus, which has strong internal pull-ups. The pins automatically switch to their open-drain port functions when there is no external access. During Programming Modes, these ports function as the PBUS.
P4.0-P4.7	AD8-AD15			
PACT#	P2.7/ T2CAPTURE	EA# = VEA	O	Programming Active. In Auto Programming Mode, PACT# low indicates that programming activity is occurring.
PALE#	P2.1/RXD	EA# = VEA	I	Programming ALE. When PALE# is asserted, data and commands on Ports 3 and 4 are read into the device.

PMODE.0	P0.4/ACH4	EA# = VEA	I	Programming Mode Select. Determines the EPROM programming algorithm that is performed. PMODE is sampled after a device reset when EA# = VEA and should be static while the device is operating.
PMODE.1	P0.5/ACH5			
PMODE.2	P0.6/ACH6			
PMODE.3	P0.7/ACH7			
PROG#	P2.2/EXTINT	EA# = VEA	I	Programming Start. This active-low input is valid only in Slave Programming Mode. When asserted, PROG# causes the data on the programming bus to be programmed into the EPROM. When PROG# is deasserted, the programming pulse is terminated
PVER	P2.0/TXD	EA# = VEA	O	Program Verification. In Programming Modes, this active-high output signal is asserted to indicate that the word has programmed correctly.
PWM0	P2.5	IOC1.0=1	O	Pulse Width Modulation (PWM) output. The duty cycle of PWM0 is determined by the value loaded into the PWM0_CONTROL register (17H). If PWM0 is forced high on the rising edge of RESET#, the device enters Test Mode.
PWM1	P1.3	IOC3.2=1	O	PWM Output 1. The duty cycle of PWM1 is determined by the value loaded into the PWM1_CONTROL register (16H, HWindow 1).
PWM2	P1.4	IOC3.3=1	O	PWM Output 2. The duty cycle of PWM2 is determined by the value loaded into the PWM2_CONTROL register (17H, HWindow 1).
RD#	--	--	O	Read. Read signal output to external memory. RD# is asserted only during external memory reads.
READY	--	--	I	Ready. This signal is used to lengthen external memory cycles by generating "wait states" for interfacing to slow memory. When READY is high, CPU operation continues in a normal manner. If READY is low prior to the falling edge of CLKOUT, the memory controller inserts wait states until the next positive transition in CLKOUT occurs with READY high or until the number of wait states is equal to the number programmed into CCR.4 and CCR.5. READY is ignored for all internal memory accesses.

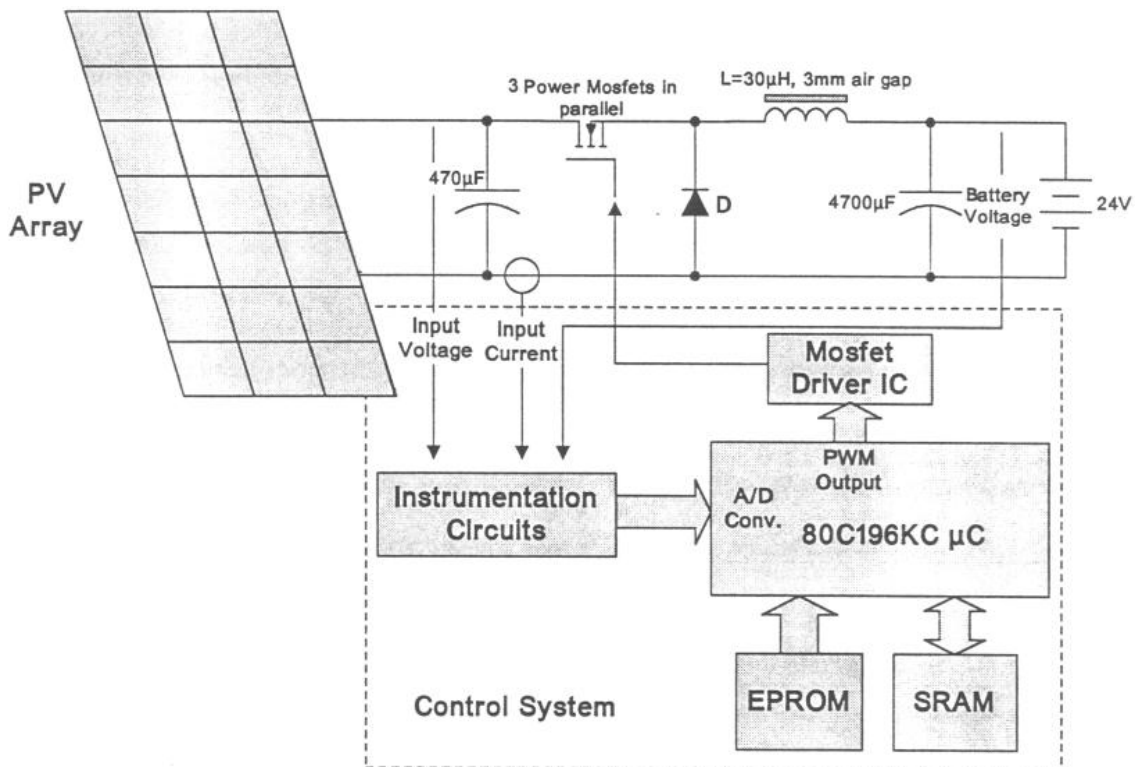
RESET#	--	--	I/O	RESET#. Reset input to and open-drain output from the chip. A falling edge on RESET# initiates the reset process. When RESET# is first asserted, the chip turns on a pull-down connected to the RESET# pin for 16 state times. This function can also be activated by a watchdog timer overflow or by execution of the RST instruction. In Powerdown mode, the reset process causes the chip to return to normal operating mode.
RXD	P2.1/PALE#	SPCON.3 = 1	I/O	Receive Serial Data. In modes 1, 2, and 3, RXD is used to receive serial port data. In mode 0, it functions as an input or an open-drain output for data.
T2CAPTURE	P2.7/PACT#	--	QBD	Timer 2 Capture. A rising edge on P2.7 captures the value of Timer 2 in the T2CAPTURE register (0CH in Window 15) and triggers a Timer 2 Capture interrupt (INT11, 2036H).
T2CLK	P2.3	IOC0.7=0 and IOC3.0=0	I	Timer 2 Clock. The Timer 2 clock input and serial port baud rate generator input.
T2RST	P2.4/AINC#	IOC0.3=1 and IOC0.5=0	I	Timer 2 Reset. When IOC0.5=0, a rising edge on T2RST resets Timer 2.
T2UP-DN	P2.6/CPVER	IOC2.1=1	I	Timer 2 Up/Down Control. This active-high input controls the direction of the Timer 2 counter. When T2UP-DN is high, Timer 2 is a down counter; when T2UP-DN is low, Timer 2 is an up counter.
TXD	P2.0/PVER	IOC1.5=1	O	Transmit Serial Data. In modes 1, 2, and 3, TXD is used to transmit serial port data. In mode 0, it is used as the serial clock output. Holding TXD low on the rising edge of RESET# causes the device to enter ONCE mode.
VCC	--	--	PWR	Digital supply voltage (+5 volts).
VPP	--	--	PWR	Programming voltage. Also the timing pin for the "return from power-down" circuit. If this function is not used, connect the pin to Vcc.
VREF	--	--	PWR	Reference voltage for the A/D converter. VREF is also the supply voltage to the analog portion of the A/D converter and the logic used to read Port 0. VREF must be connected for the A/D and Port 0 to function.
VSS	--	--	GND	Digital circuit ground (0 volts). There are multiple Vss pins, all of which must be connected.
WR#	WRL#	CCR.2=1	O	Write. This active-low output, when low, indicates that an external write is occurring. This signal is asserted only during external memory writes.

WRH#	BHE#	CCR.2=0	O	<p>Write High. This active-low output signal is generated when CCR.2=0.</p> <p>In 16-bit bus mode, WRH# is asserted during high byte writes and word writes.</p> <p>In 8-bit mode (CCR.1=0), this signal is asserted for high byte, low byte, and word writes.</p>
WRL#	WR#	CCR.2=0	O	<p>Write Low. This active-low output signal is generated when CCR.2=0.</p> <p>In 16-bit bus mode, WRL# is asserted during low byte writes and word writes.</p> <p>In 8-bit mode (CCR.1=0), WRL# is asserted for high byte, low byte, and word writes.</p>
XTAL1	--	--	I	<p>Oscillator/Clock Generator Input. Input of the on-chip oscillator inverter and of the internal clock generator. XTAL1 also serves as the 8XC196KC clock input if an external oscillator is used. When XTAL1 is used in this way, the XTAL1 VIH specification must be followed.</p>
XTAL2	--	--	O	<p>Oscillator Output. Output of the on-chip oscillator inverter.</p>

Πίνακας 3-2 Ακροδέκτες μικροελεγκτή

Κεφάλαιο 4. Περιγραφή κυκλώματος

Το block διάγραμμα της κατασκευής φαίνεται στο παρακάτω Εικόνα 4-1, όπου περιγράφονται τα βασικά δομικά στοιχεία αυτής. Το σύνολο των φωτοβολταϊκών (PV Array) παρέχει την ισχύ εισόδου του συστήματος. Ο πυκνωτή σύζευξης του συστήματος, εξομαλύνει την τάση εισόδου και αποκόπτει την επιστροφή υψίσυχων θορύβων από το κύκλωμα ισχύος προς τα φωτοβολταϊκά. Το κύκλωμα ισχύος αποτελείται από τρία Mos-fet ισχύος για την διακοπή του κυκλώματος που σε συνδυασμο με την δίοδο διαφυγής D και το πηνίο L δημιουργούν το κύκλωμα μετατροπής της ισχύος. Επίσης διακρίνεται και το διάγραμμα του συστήματος ελέγχου.



Εικόνα 4-1 Διάγραμμα λειτουργίας κατασκευής

Το σύστημα ελέγχου (Control System) αποτελείται από το κύκλωμα διαχείρισης των σημάτων, το κύκλωμα μετατροπής των αναλογικών δεδομένων

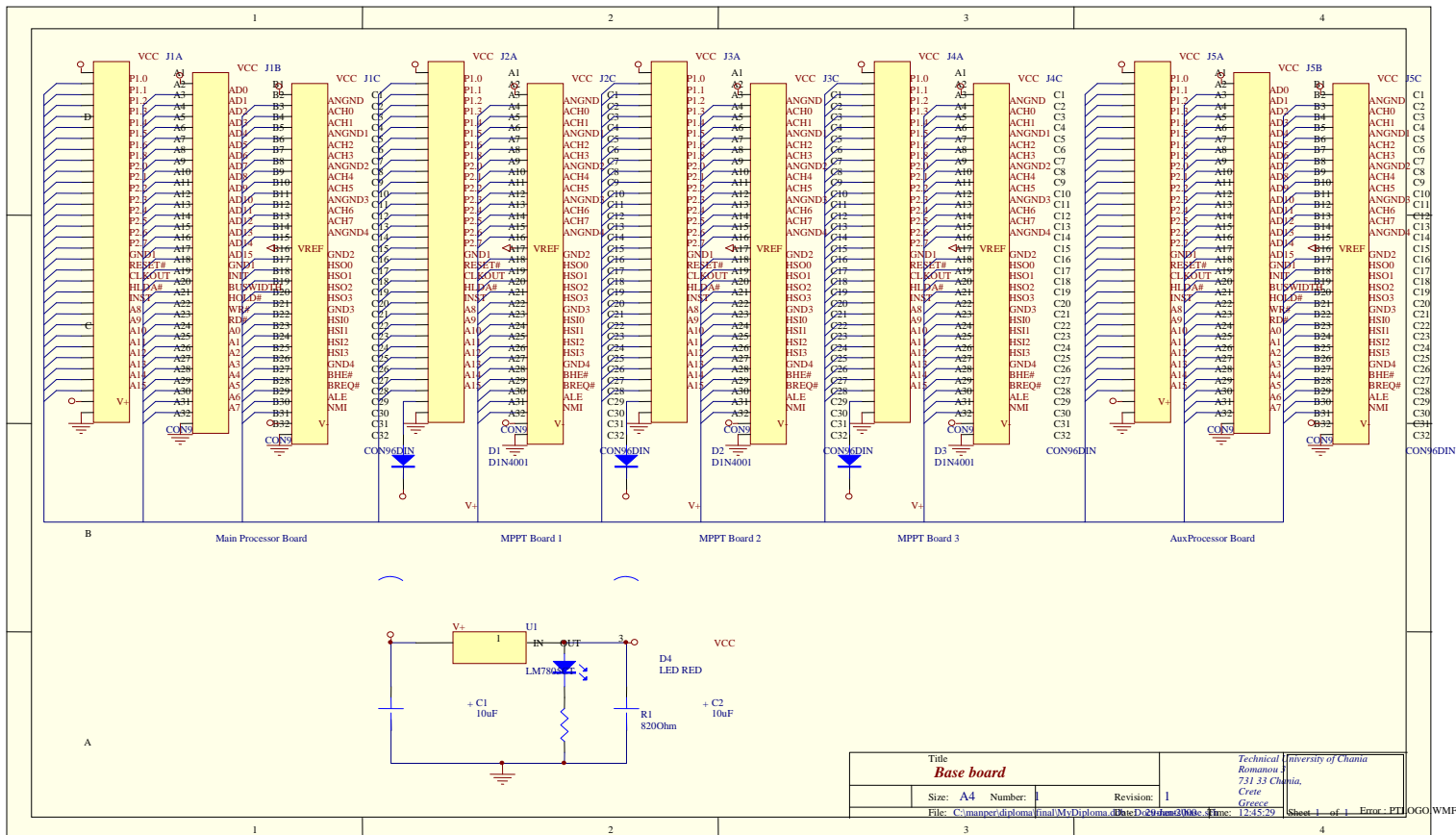
απο τις μετρήσεις που γίνονται στο κύκλωμα ισχύος, το κύκλωμα υπολογισμών και το κύκλωμα οδήγησης των κυκλωμάτων ισχύος.

Η κατασκευή αποτελείται από τρεις πλακέτες, που ακολουθούν τα πρότυπα σχεδίασης EURO για υπολογιστικά συστήματα βιομηχανικού περιβάλλοντος, την κεντρική πλακέτα, την πλακέτα του μικροελεκτή και την πλακέτα ισχύος. Οι πλακέτες μικροελεκτών και ισχύος συνδέονται με την κεντρική πλακέτα με συνδετήρες DIN 96 τριών σειρών για τις πλακέτες μικροελεκτών και δύο σειρών επαφών για τις πλακέτες ισχύος.

Ενότητα 4.01 Κεντρική πλακέτα

Η κεντρική πλακέτα σχεδιάστηκε για να φιλοξενεί με κοινό πρωτόκολλο επικοινωνίας διάφορες συσκευές. Χρησιμοποιείτε για την στήριξη αλλά και την τροφοδοσία των πλακετών. Φιλοξενεί τις επαφές σύνδεσης των επιμέρους πλακετών και το κύκλωμα τροφοδοσίας των ψηφιακών τμημάτων με τάση +5V. Η τροφοδοσία του συστήματος γίνεται μέσω μιας πύλης OR από την φωτοβολταϊκή γεννήτρια και τις μπαταρίες. Έτσι εξασφαλίζουμε την απρόσκοπτη λειτουργία των κυκλωμάτων ελέγχου ακόμα και όταν δεν υπάρχει παραγωγή ενέργειας από τον ήλιο. Δίνεται με αυτή τη σχεδίαση η δυνατότητα να έχουμε περισσότερες από μια και διαφορετικές μονάδες ισχύος.

Το ηλεκτρονικό διάγραμμα της πλακέτας στήριξης φαίνεται στην Εικόνα 4-2 και αποτελείται από τρεις θέσεις για πλακέτες ισχύος, δύο θέσεις για πλακέτες με μικροελεκτή και το τροφοδοτικό.



Εικόνα 4-2 Σχηματικό διάγραμμα κεντρικής πλακέτας

Για την στήριξη των πλακετών χρησιμοποιήθηκαν οι connectors βιομηχανικού τύπου DIN96 που χρησιμοποιούνται για εφαρμογές ηλεκτρονικών υπολογιστών σε βιομηχανικό περιβάλλον. Για τις πλακέτες επεξεργαστών δίνουν συνολικά τρεις σειρές από 32 ακροδέκτες (3 * 32) ώστε να μπορεί αν απαιτηθεί να περάσει όλο το εύρος των σημάτων που χρησιμοποιούνται στους ηλεκτρονικούς υπολογιστές PC's (συμβατό με AT ISA 16 BUS).

Για τις πλακέτες ισχύος δύο σειρών από 32 ακροδέκτες (2 * 32) ώστε να υπάρχει μεγαλύτερη απόσταση μεταξύ των ακροδεκτών. Με την μείωση των ενεργών ακροδεκτών έχουμε μεγαλύτερη απόσταση των ακροδεκτών στην

πλακέτα ώστε να μπορούμε να διαχειριστούμε μεγάλες διαφορές δυναμικού χωρίς να υπάρχει πρόβλημα σπινθηρισμών.

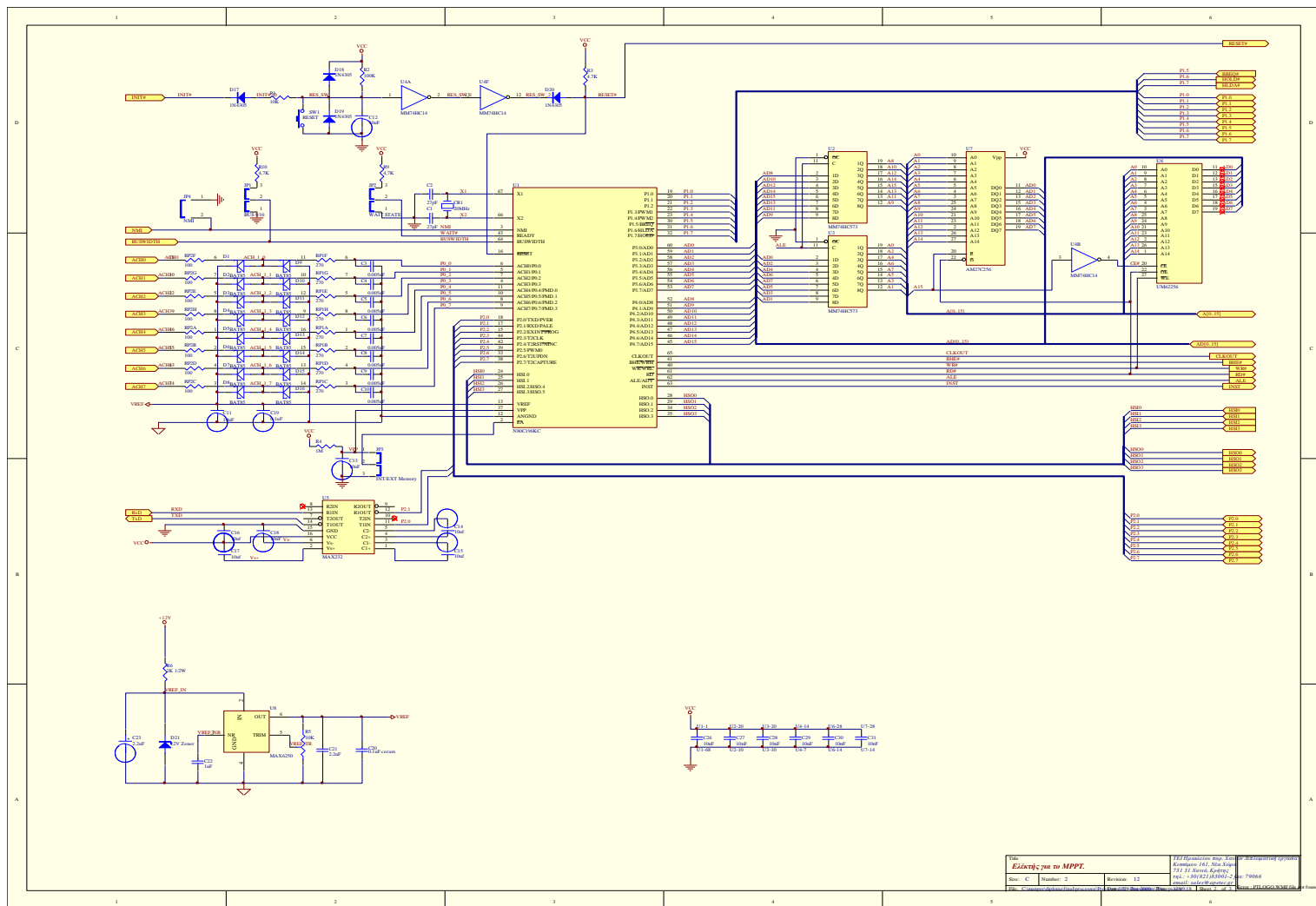
Το σύστημα όλο τροφοδοτείται από τα φωτοβολταϊκά στοιχεία. Κάθε πλακέτα ισχύος έχει δικό της τροφοδοτικό χαμηλής ισχύος που μετατρέπει την τάση των φωτοβολταϊκών από 60V έως 120V που είναι στην είσοδο του κυκλώματος ισχύος, στα 12V ~ 15V που απαιτείται για να λειτουργούν τα κυκλώματα ελέγχου. Η τάση αυτή έρχεται στην πλακέτα στήριξης μέσω της διόδου αντεπιστροφής. Το τροφοδοτικό της πλακέτας στήριξης βασίζεται στο ολοκληρωμένο LM 7805 που είναι αναλογικός σταθεροποιητής τάσης με τιμή εξόδου +5V. Η τάση αυτή αποτελεί την βασική τάση λειτουργίας για την πλακέτα του επεξεργαστή.

Εκτός από φωτοβολταϊκά μπορούμε να χρησιμοποιήσουμε αιολική ενέργεια αλλά και εφεδρική από γεννήτρια, ενώ όλες αυτές οι πλακέτες ισχύος θα ελέγχονται από την επεξεργαστή. Μπορεί στο σύστημα να προστεθεί και πλακέτα επεξεργαστών που θα επικοινωνούν μεταξύ τους και να κάνουν διαφορετικές και εργασίες.

Ενότητα 4.02 Μονάδα μικροελεκτή

Η πλακέτα του επεξεργαστή φιλοξενεί τον κεντρικό επεξεργαστή που εκτελεί όλους τους υπολογισμούς και τους ελέγχους, το κύκλωμα διαχείρισης αναλογικών σημάτων, για την μετατροπή των μετρήσεων από το κύκλωμα ισχύος από αναλογικές σε ψηφιακές, και τις εξωτερικές μνήμες τυχαίας προσπέλασης (RAM) και ανάγνωσης (ROM). Επίσης περιλαμβάνει σταθεροποιητικό κύκλωμα τροφοδοσίας του αναλογικό-ψηφιακού μετατροπέα (A/D converter) καθώς και κύκλωμα μετατροπής της σειριακής θύρας του μικροελεκτή από TTL στάθμη σε RS232 συμβατή.

Στο διάγραμμα (Εικόνα 4-3) φαίνεται το ηλεκτρονικό διάγραμμα της πλακέτας του μικροελεκτή. Όπως αναφέραμε στην περιγραφή των απαιτήσεων του συστήματος έχουμε επιλέξει για μικροελεκτή τον 80C196KC της INTEL. Ο επεξεργαστής απαιτεί ελάχιστα εξωτερικά κυκλώματα για την λειτουργία του σε αυτήν την εφαρμογή.



Εικόνα 4-3 Ηλεκτρονικό διάγραμμα κυκλώματος μικροελεγκτή

Εκτός από τον μικροελεγκτή 80C196C η πλακέτα φιλοξενεί ακόμα επτά ολοκληρωμένα κυκλώματα, ένα MAX 232, ένα MAX6250, δύο 74HC573, ένα 74HC14, μία EPROM AM27C256 και μία RAM UM62656.

Το MAX232 χρησιμοποιείται για την μετατροπή των σημάτων της σειριακής θύρας του επεξεργαστή από στάθμη TTL σε RS232, ώστε να μπορεί το σύστημα να συνδεθεί με υπολογιστή σε απόσταση μέχρι 15 μέτρα.

Το MAX6250 είναι ένα τροφοδοτικό τάσης αναφοράς με διακοπτική λειτουργία (switching regulator). Παρέχει την τάση αναφοράς που απαιτεί ο

μικροελεκτηής ώστε να λειτουργήσει το τμήμα μετατροπής από αναλογικό σε ψηφιακό.

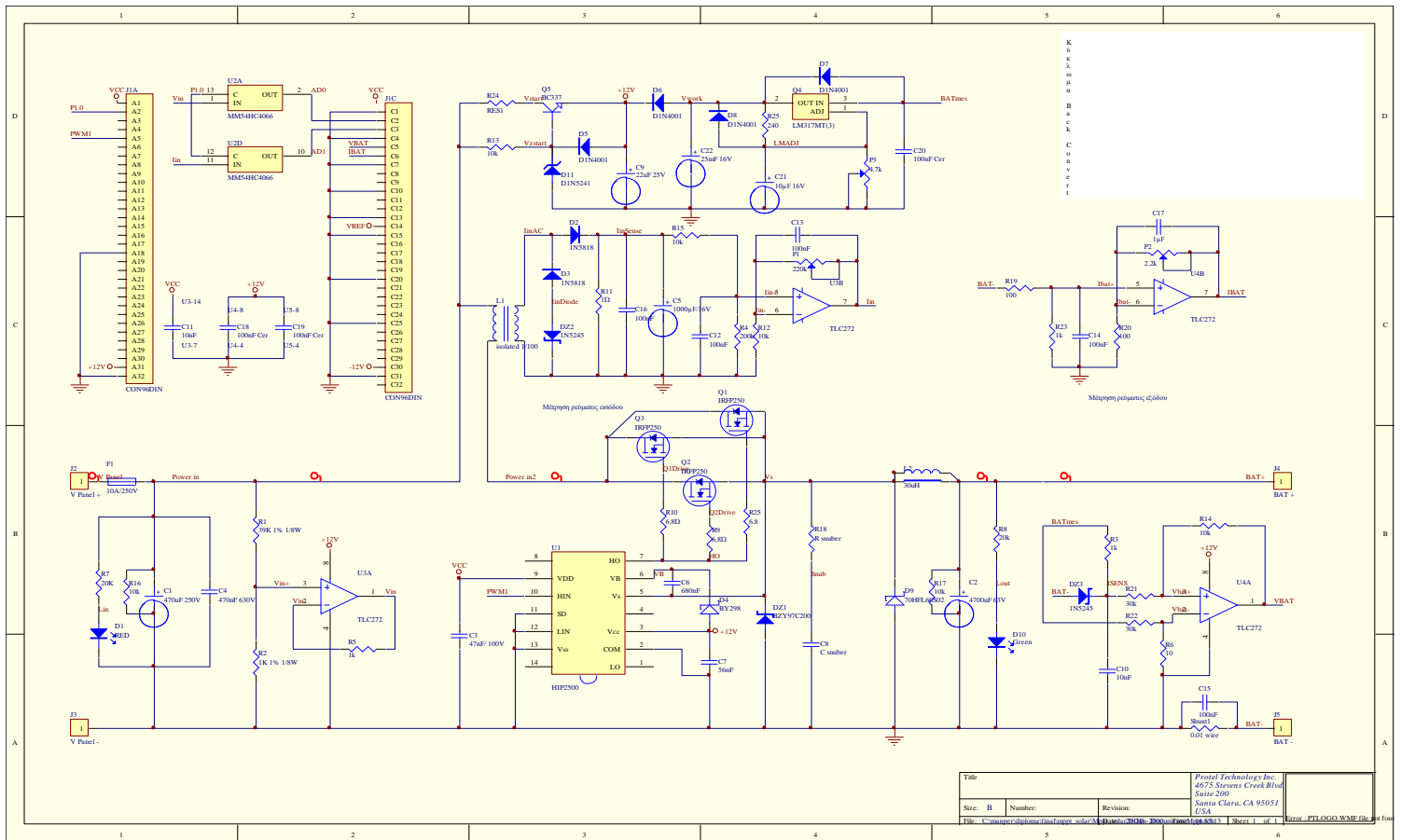
Τα δύο ολοκληρωμένα 74HC573 είναι καταχωρητές διευθύνσεων και χρησιμοποιούνται για τον διαχωρισμό το DATA BUS από το ADDRESS BUS του μικροελεκτη. Η χρήση του ολοκληρωμένου είναι απαραίτητη αφού το ADDRESS BUS και το DATA BUS δεν παρέχονται σε διαφορετικά ποδαράκια του επεξεργαστή αλλά είναι πεπλεγμένα.

Τέλος για την αύξηση της μνήμης του συστήματος χρησιμοποιούμε την EPROM AM27C256 στην οποία είναι αποθηκευμένο το πρόγραμμα και μία RAM UM62656. Στη RAM αποθηκεύονται όλα τα δεδομένα από την επεξεργασία των σημάτων καθώς και οι προηγούμενες μετρήσεις. Στην έναρξη της λειτουργίας του συστήματος μεταφέρονται από την EPROM στη ram και τα αρχικά στοιχεία εκκινήσεις.

Το κύκλωμα μετατροπής του αναλογικού σήματος σε ψηφιακό εκτός από τον σταθεροποιητή που μας δίνει την τάση αναφοράς περιλαμβάνει και κύκλωμα προστασίας της εισόδου του από υπερτάσεις. Το κύκλωμα προστασίας υλοποιείται με μία σειρά από αντιστάσεις, πυκνωτές και διόδους πυριτίου που συνδέονται στις αναλογικές εισόδους.

Τέλος το ολοκληρωμένο 74HC14 μας παρέχει λογικές πύλες NOT για τις απαιτούμενες αλλαγές λογικής στάθμης που απαιτούνται. Επίσης μας αυξάνει το ρεύμα που παρέχεται από τον διακόπτη RESET ώστε να γίνεται επανεκκίνηση του μικροελεκτη.

Ενότητα 4.03 Μετατροπέας Συνεχούς Τάσης (DC – DC Converter)



Εικόνα 4-4 Ηλεκτρονικό διάγραμμα κυκλώματος μετατροπής ισχύος

Το παραπάνω σχεδιάγραμμα είναι το κύκλωμα ισχύος που χρησιμοποιείται για την φωτοβολταϊκή γεννήτρια. Το κύκλωμα του επεξεργαστή μας παρέχει τρεις γεννήτριες παλμών διαμορφωμένων κατά πλάτος (PWM0 έως PWM2), που όπως είδαμε στην παράγραφο 3.3, ανάλογα με τον κρύσταλλο χρονοισμού του μικροελεκτή μπορούν να δώσουν δύο διαφορετικές συχνότητες. Στην συγκεκριμένη εφαρμογή χρησιμοποιούμε την γραμμή PWM0. Η έξοδος αυτή τροφοδοτεί το ολοκληρωμένο HIP2500.

Το HIP2500 είναι ολοκληρωμένο τεχνολογίας CMOS που οδηγεί τρανζίστορ ισχύος σε διάταξη ημιγέφυρας. Για την εφαρμογή μας θα οδηγήσει μονάχα το πάνω σκέλος της γέφυρας. Μας παρέχει την διαφορά δυναμικού των

10V από την τάση εισόδου από τα φωτοβολταϊκά που απαιτείται για να άγουν τα FET.

Για FET χρησιμοποιήσαμε τα IRFP250 που έχουν πολύ χαμηλή αντίσταση αγωγής ($R_{ds(on)}=0.085\Omega$) και μπορούν να λειτουργήσουν με διαφορά δυναμικού $V_{BRdss} = 200V$.

Στην πλακέτα ισχύος εκτός από την μονάδα του τεμαχιστή chopper έχουμε την μονάδα μετρήσεων ισχύος εξόδου και εισόδου. Η μέτρηση της τάσης εισόδου υλοποιείται με ένα διαιρέτη τάσης και ένα τελεστικό ενισχυτή TLC272 (R1, R2, U3a).

Η μέτρηση του ρεύματος γίνεται με τη χρησιμοποίηση ενός μετασχηματιστή ρεύματος. Ο μετασχηματιστής μπαίνει σε σειρά, μεταξύ της τροφοδοσίας και των FET ισχύος. Όταν ταλαντώνουν τα FET στην γραμμή τροφοδοσίας παρουσιάζεται διακοπτόμενο ρεύμα το οποίο στη δευτερεύον του μετασχηματιστή δημιουργεί διαφορά δυναμικού, ανάλογη με το ρεύμα. Στη συνέχεια η διαφορά δυναμικού ανορθώνεται και μορφοποιείται με το κύκλωμα D2, D3, DZ2, R11, C16, C5 και R15. Τέλος μέσω του τελεστικού ενισχυτή TLC272 (U3b) διοχετεύεται προς την πλακέτα του μικροελεκτή.

Το ρεύμα εξόδου του συστήματος μετράται με το δικτύωμα των R3, DZ3, R21, R22, R6, R14, U4a, C15 & Rshunt. Για την μέτρηση εδώ επειδή έχουμε συνεχές ρεύμα χρησιμοποιούμε μία αντίσταση ισχύος που μπαίνει σε σειρά με το φορτίο μας.

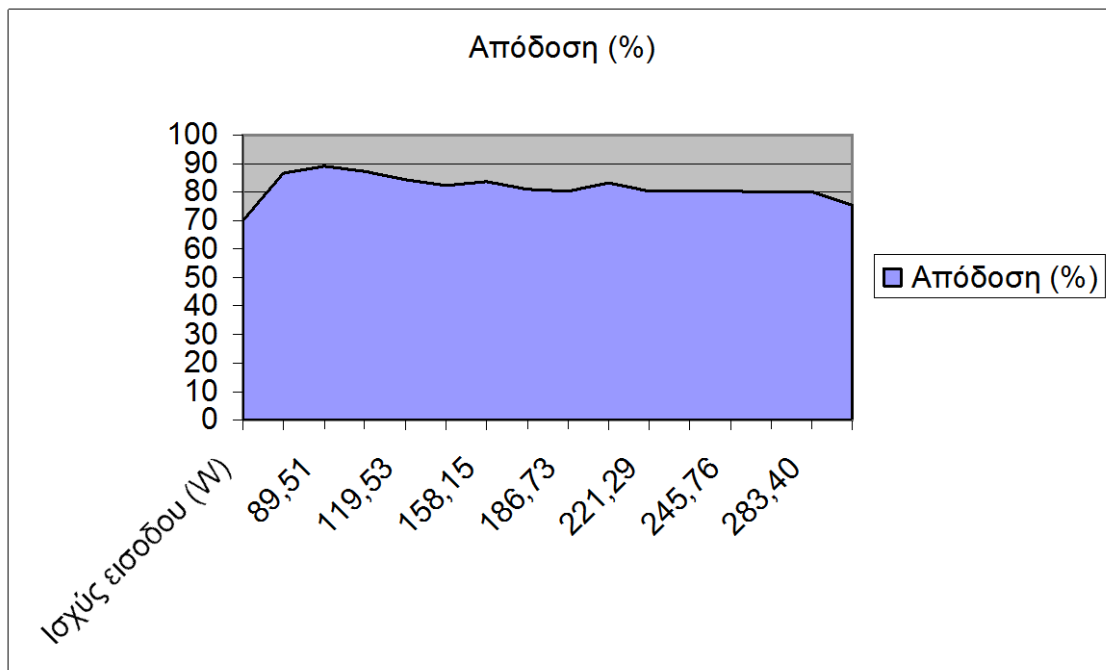
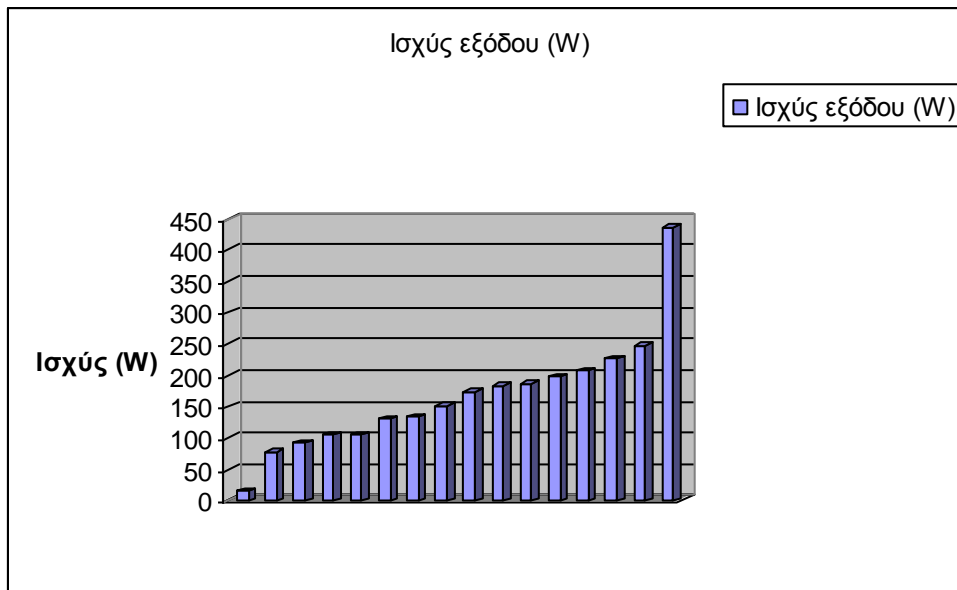
Τέλος στην πλακέτα ισχύος υπάρχει και το τροφοδοτικό για όλο το σύστημα του μικροελεκτή. Το τροφοδοτικό αυτό μας παρέχει σταθερή τάση +12V και +5V που απαιτούνται για την λειτουργία του μικροελεκτή και των τελεστικών που χρησιμοποιούνται για τις μετρήσεις.

Κεφάλαιο 5. Μετρήσεις.

Η κατασκευή λειτούργησε στα πλαίσια προγράμματος που εξελέχθηκε στο Πολυτεχνείο Κρήτης. Εκτός από τα αναφερόμενα σε αυτή την πτυχιακή η κατασκευή εμπλουτίστηκε με μονάδα ισχύος για χρήση με ανεμογεννήτρια ισχύος 1KW και μονάδα διαχείρισης ενέργειας και μετατροπής της σε εναλλασσόμενη 220V για την φωταγωγή της εξωτερικής περιμέτρου του κτιρίου. Κατά τη λειτουργία της πήραμε τις παρακάτω μετρήσεις:

Ισχύς εισόδου (W)	Ισχύς εξόδου (W)	Απόδοση (%)
21,04	14,73	70
89,51	77,43	86,5
102,98	91,55	88,9
119,53	104,35	87,3
124,56	105	84,3
158,15	130	82,2
160,00	133,76	83,6
186,73	150,88	80,8
217,14	174,3	80,27
221,29	184	83,15
231,72	185,93	80,24
245,76	197	80,16
257,77	206,6	80,15
283,40	227	80,1
308,75	247	80
579,02	436	75,3

Πίν.5.1 Τιμές μετρήσεως ισχύος



Κεφάλαιο 6. Συμπεράσματα

Η διάταξη που προτείνουμε σε αυτή την εργασία διαχειριζόμαστε την παραγόμενη ενέργεια από μια συστοιχία φωτοβολταϊκών με σκοπό την βέλτιστη δυνατή απολαβή ενέργειας και απόδοσης της στο εκάστοτε φορτίο. Με την χρήση της τεχνολογίας κυκλομετατροπών ενέργειας καταφέρνουμε να διαχειριστούμε αρκετά μεγάλη ισχύ με πολύ μικρό σχετικά σε όγκο κύκλωμα. Τούτο επιτυγχάνεται με την χρήση υψηλής συχνότητας λειτουργίας του κυκλώματος ισχύος ώστε να μειωθεί δραματικά ο όγκος των απαιτούμενων μετασχηματιστών και πηνίων.

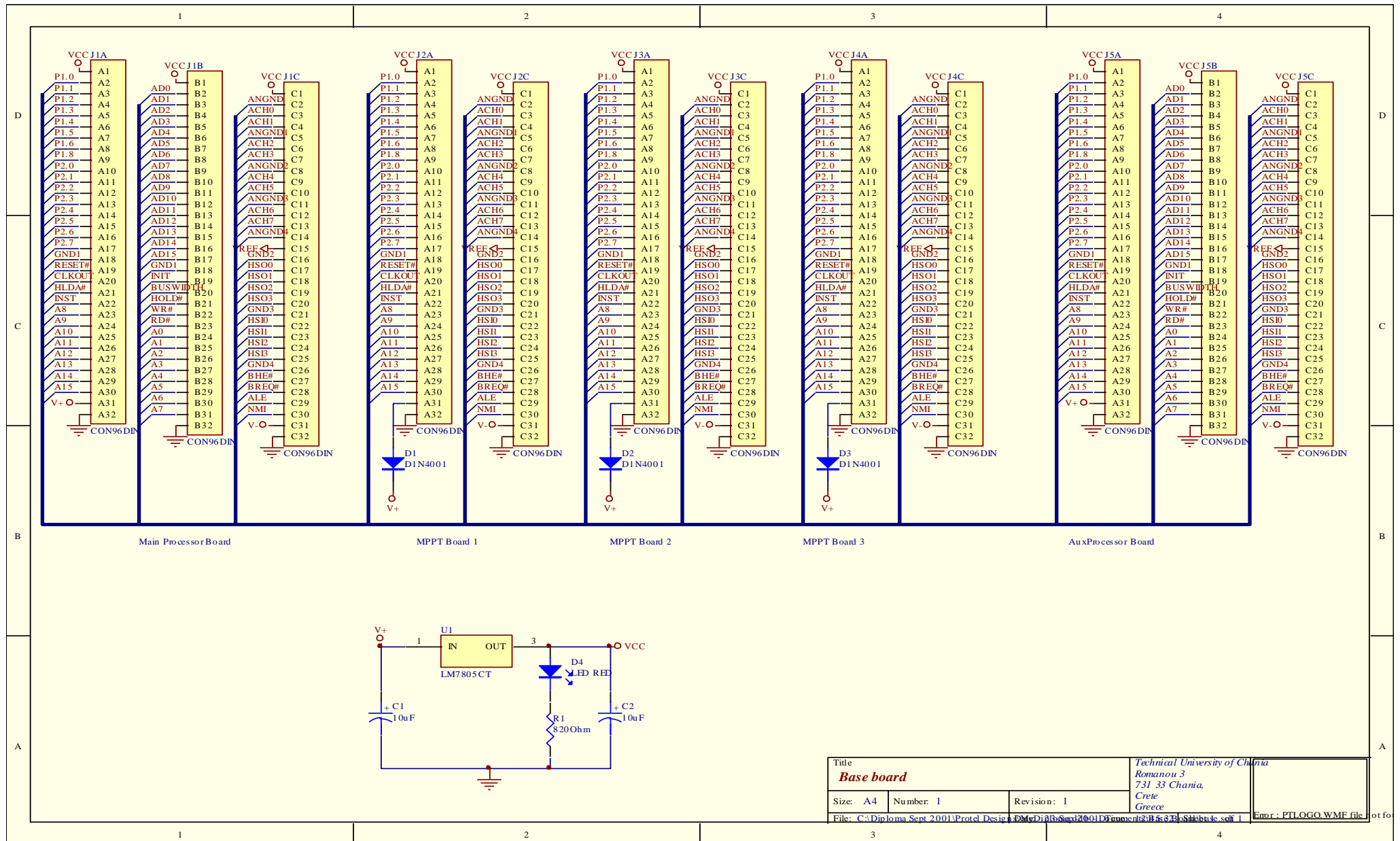
Για τον έλεγχο του κυκλώματος ισχύος δεν χρησιμοποιήσαμε ηλεκτρονικές διατάξεις με κυκλώματα σύγκρισης των τιμών αλλά έναν προγραμματιζόμενο μικροελεγκτή. Έτσι έχουμε την δυνατότητα της δυναμικής αλλαγής της συμπεριφοράς του κυκλώματος ώστε να προσαρμοστεί στις ανάγκες μας. Επίσης δύνεται η δυνατότητα της επέκτασης της συνολικής ισχύος που διαχειριζόμαστε με την προσθήκη επιπλέον κυκλωμάτων ενέργειας στην υπάρχουσα διάταξη ελέγχου.

Στην υλοποίηση που έχει γίνει χρησιμοποιώντας πρότυπα βιομηχανικού ελέγχου μπορούμε να προσθέσουμε άλλες τρεις διατάξεις ισχύος. Μάλιστα δεν είναι απαραίτητο να περιοριστούμε μόνο σε φωτοβολταϊκά αλλά να διαχειριστούμε και άλλες μορφές ενέργειας απλά προσαρμόζοντας κάθε φορά το πρόγραμμα του μικροελεγκτή.

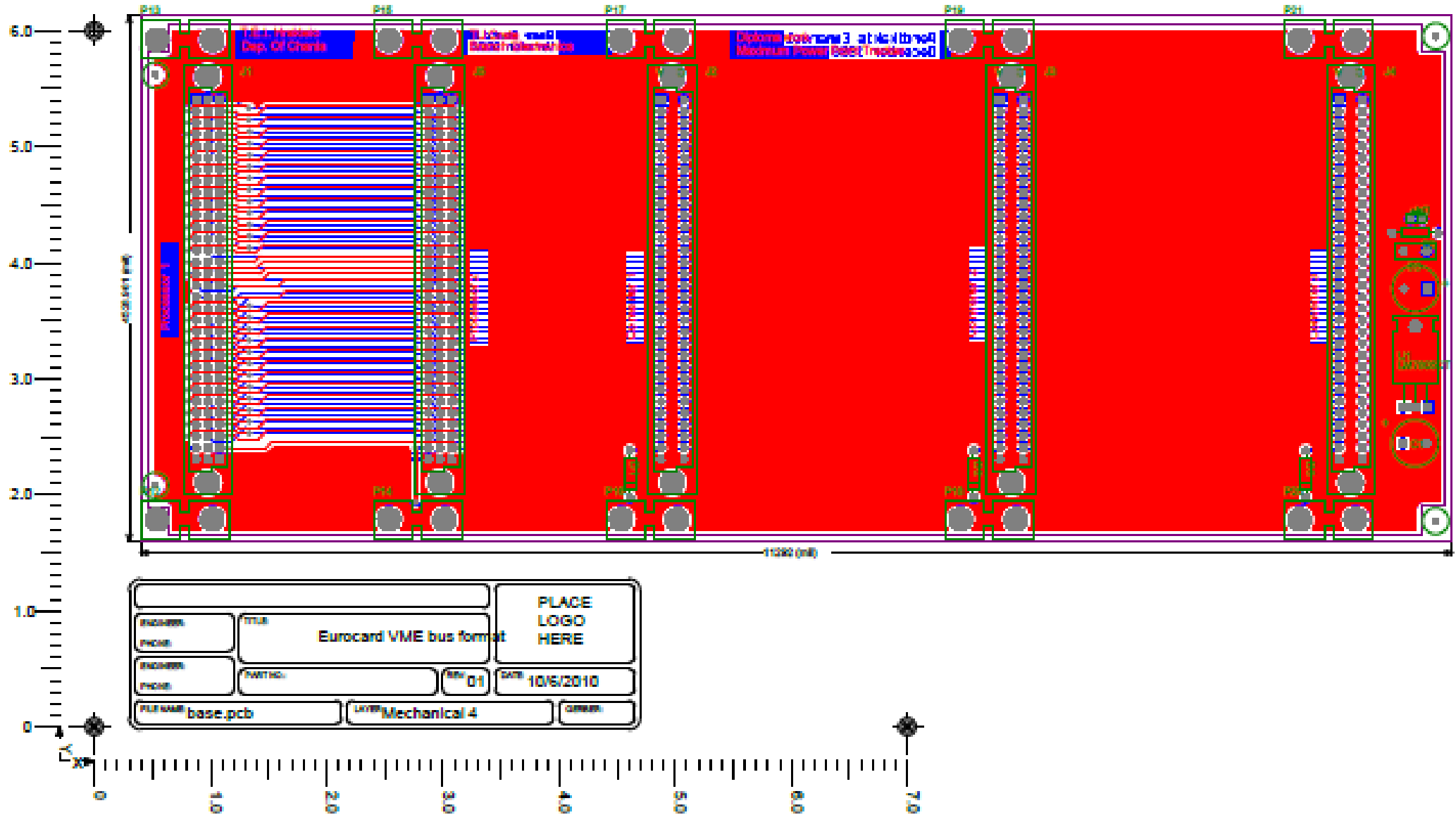
Τέλος μας δίνεται η δυνατότητα της χρήσης του κυκλώματος για διασύνδεση όλων των εναλλακτικών πηγών παραγωγής ενέργειας και απόδοσης τους στο δίκτυο διανομής της ΔΕΗ αντλώντας πάντοτε την μέγιστη δυνατή παραγόμενη ενέργεια.

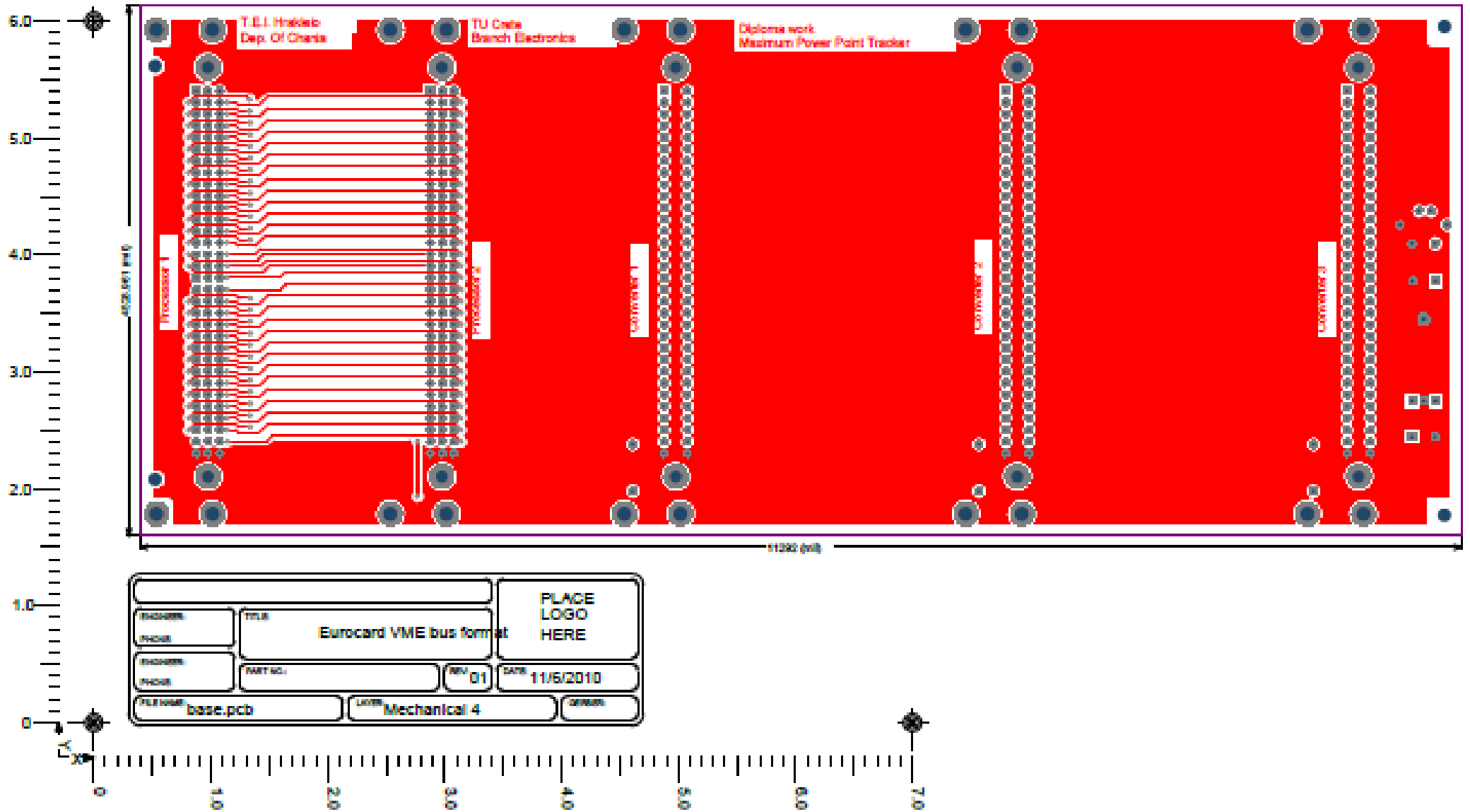
Κεφάλαιο 7. Ηλεκτρονικά Σχέδια

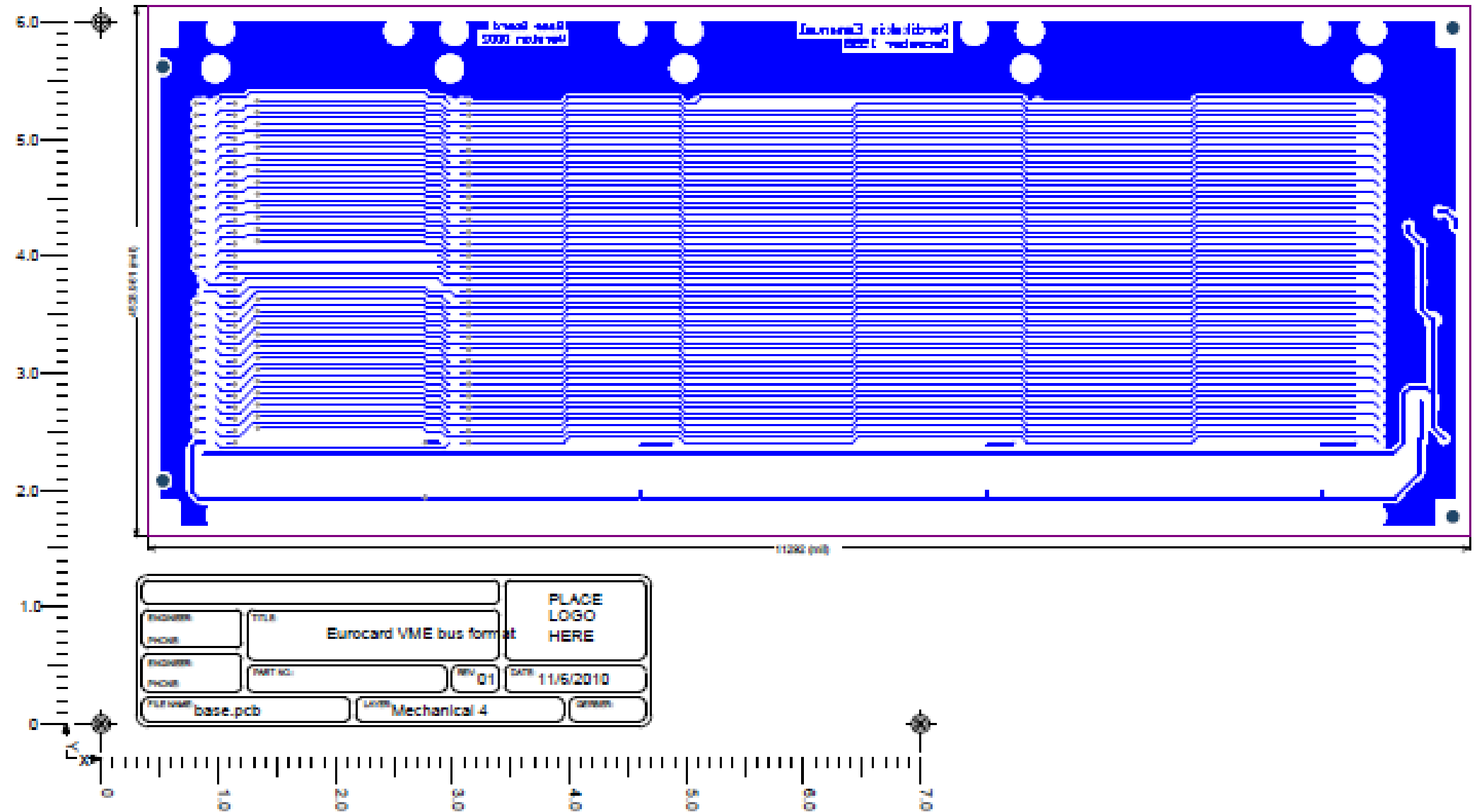
Ενότητα 7.01 Κεντρική Πλακέτα



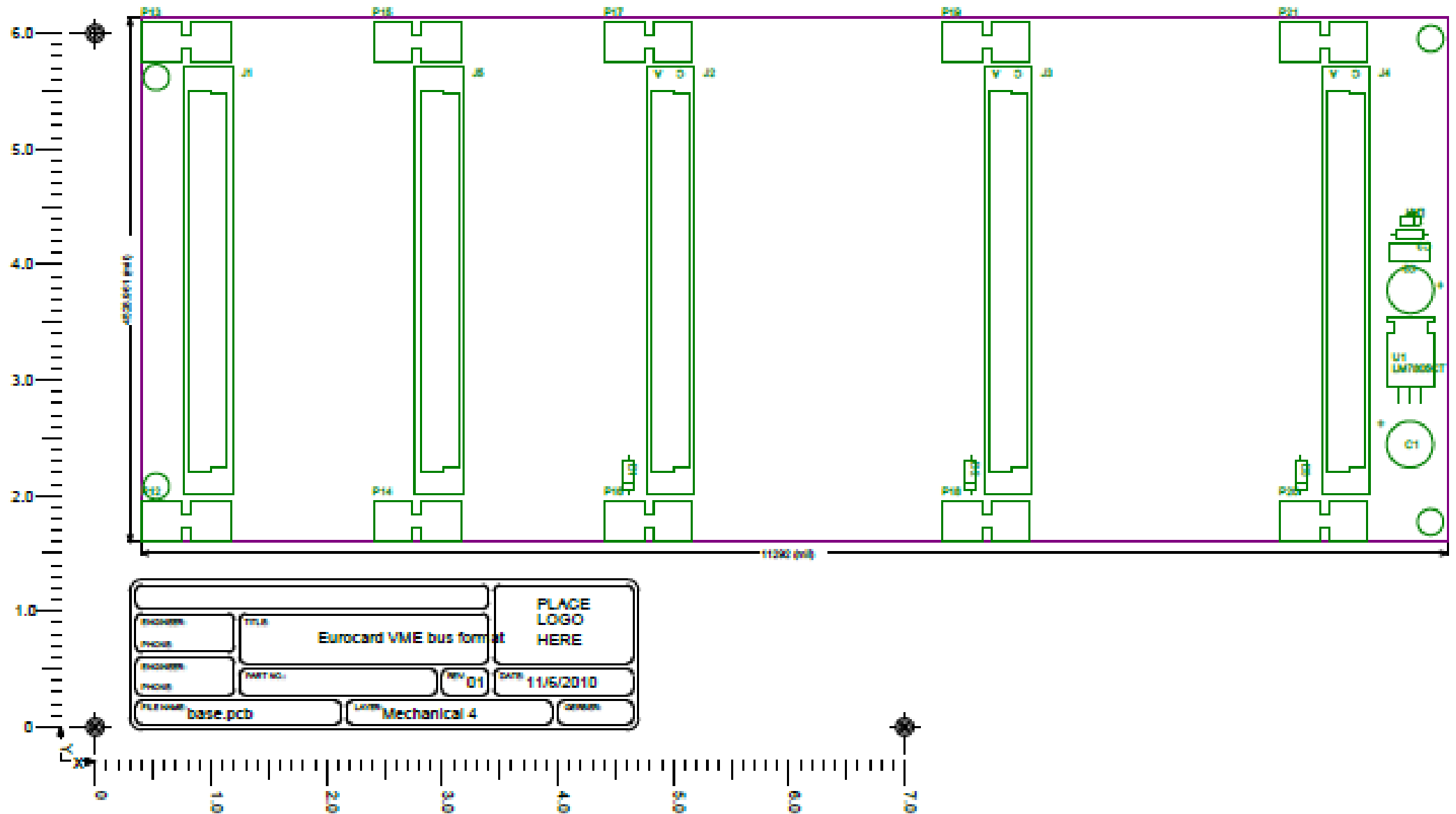
(a) Σχέδια πλακετών (Κεντρική Πλακέτα)





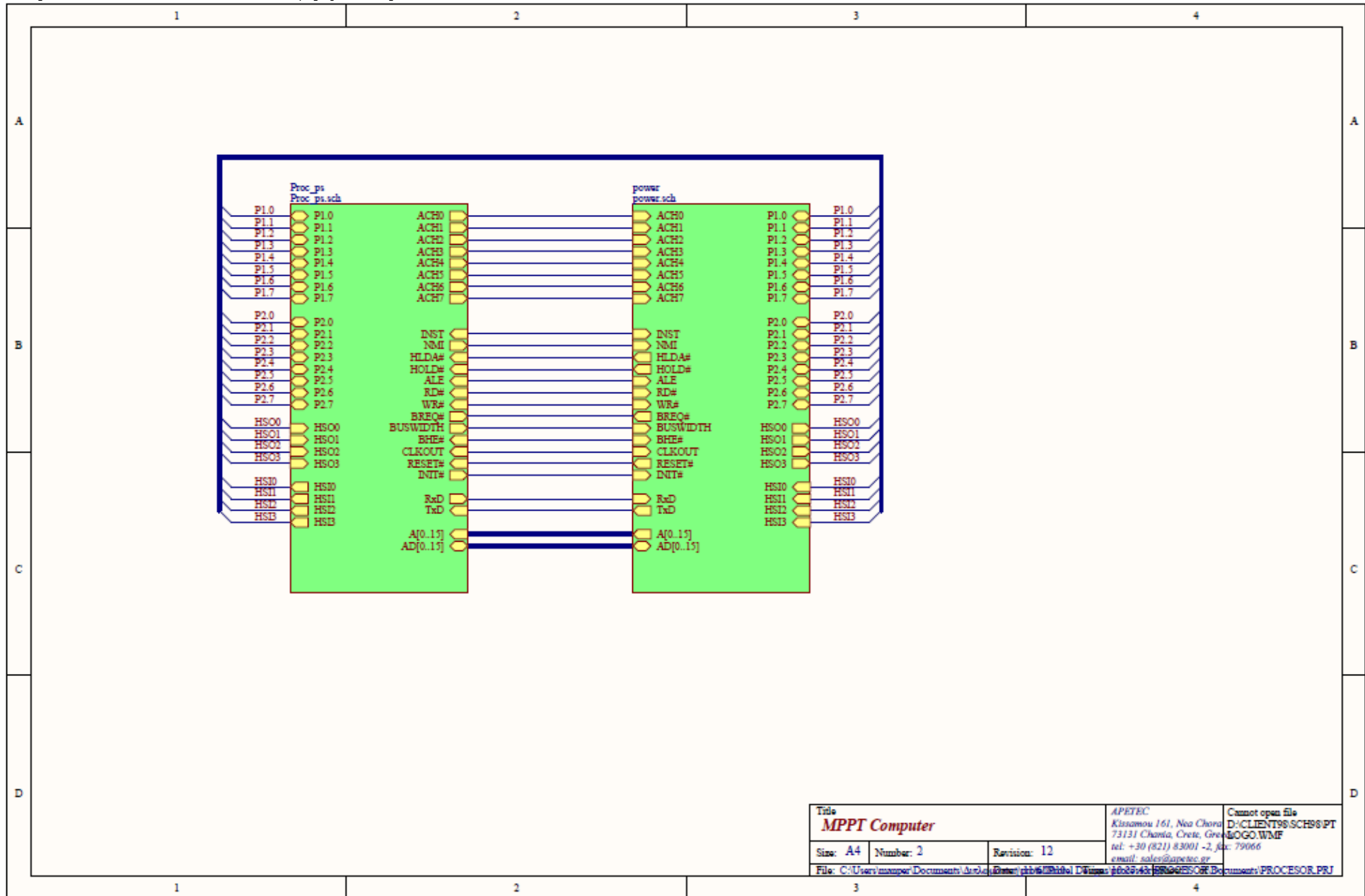


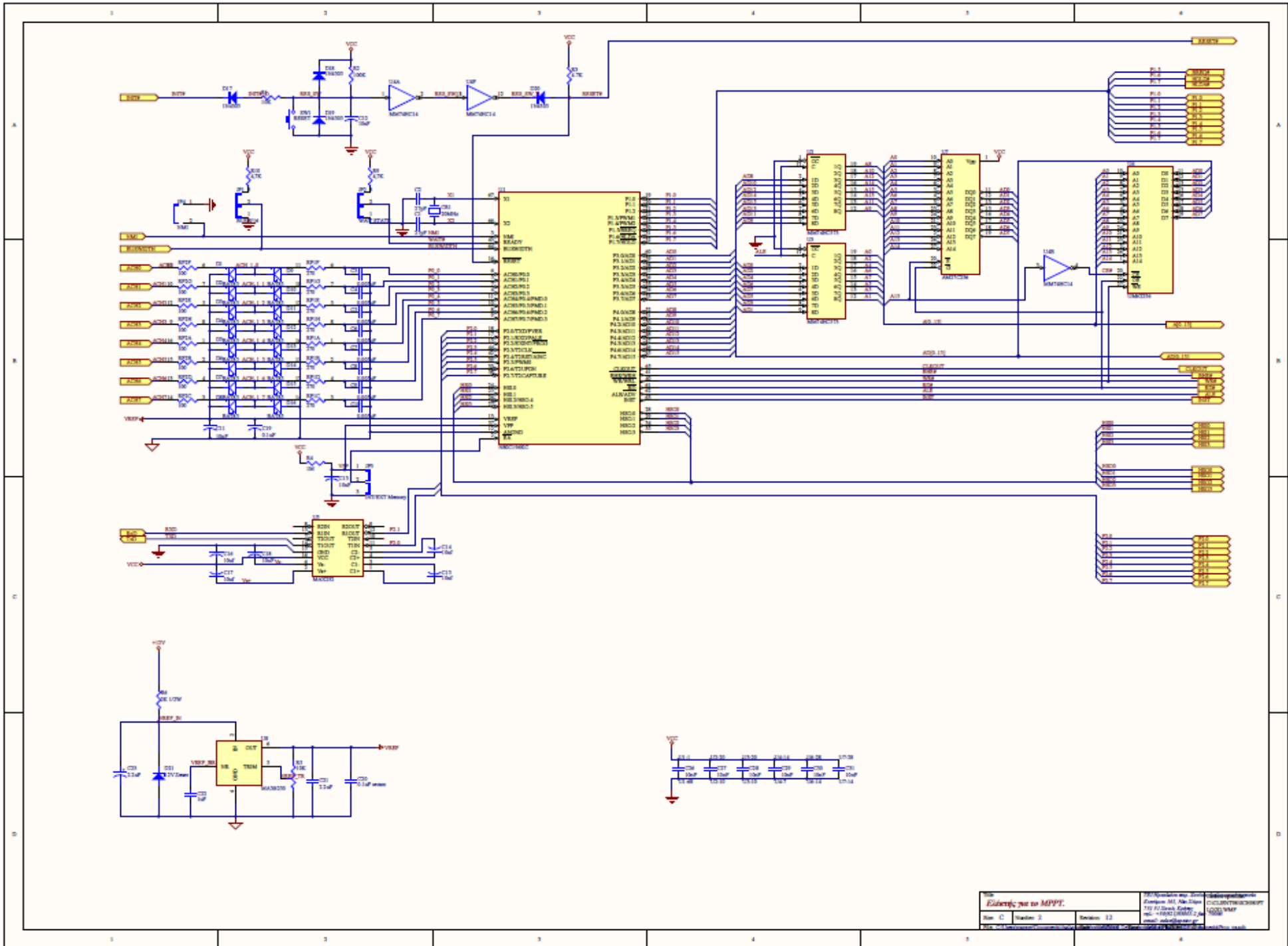
(b) Τοποθέτηση εξαρτημάτων (Κεντρική πλακέτα)



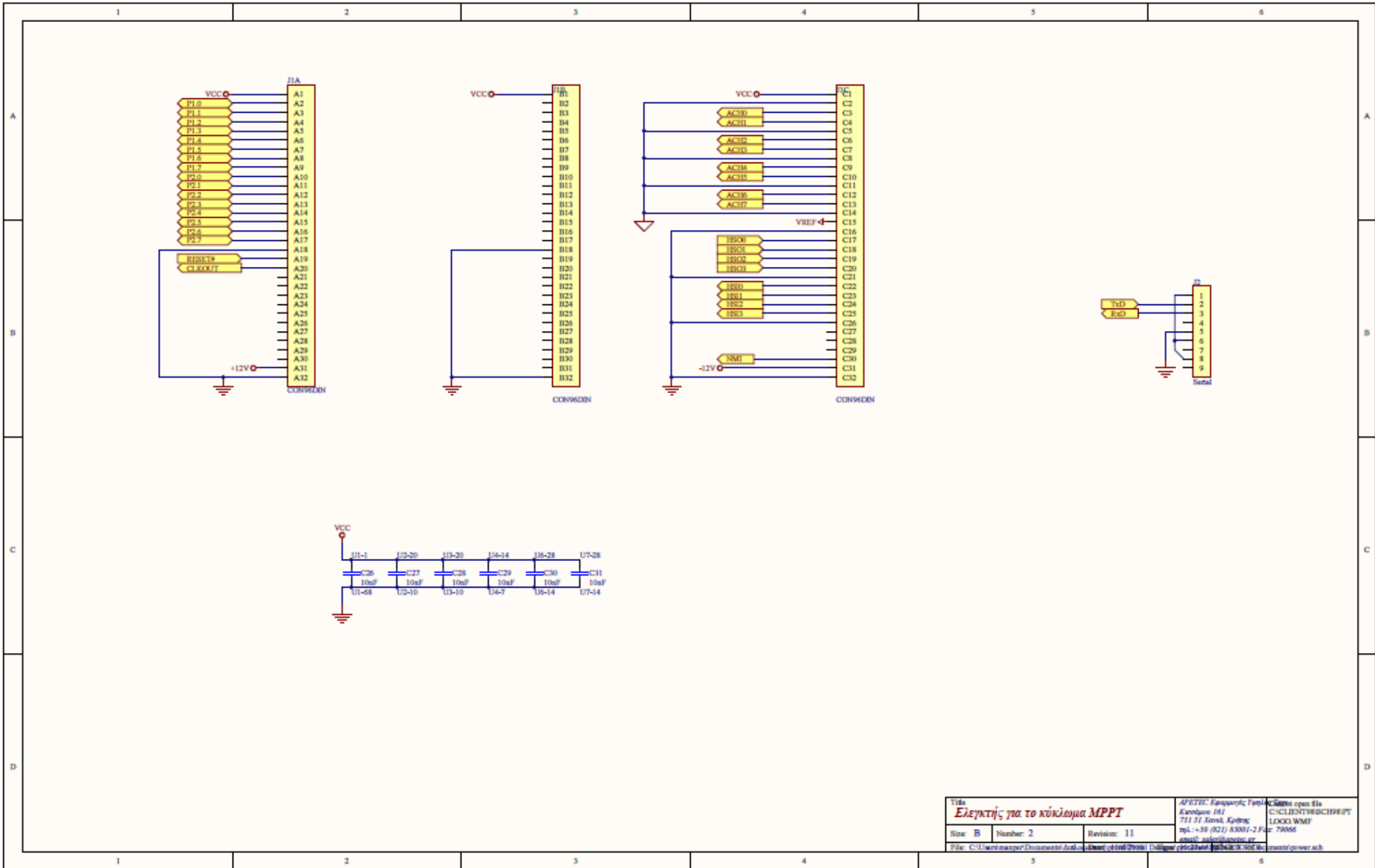
Bill of Materials						Base board
Source Data From:		Base Board.PrjPcb				
Project:		Base Board.PrjPcb				
Variant:		None				
Creation Date:		11/8/2010	12:14:02 πμ			
Print Date:		40340	40340,0098			
Footprint	Comment	LibRef	Designator	Description	Quantity	
rad0.2	10uF	CAPACITOR	C1, C2		2	
DIODE0.4	D1N4001	POL DIODE	D1, D2, D3		3	
LED0.1	LED RED	LED	D4		1	
DIN98	CON98DIN	CON98DIN	J1, J5	Euro connector	2	
DIN98AC	CON98DIN	CON98DIN	J2, J3, J4	Euro connector	3	
axial0.4	8200hm	RES1	R1		1	
TO-220	LM7805CT	LM2830S5.0(3)	U1	1A LOW DROPOUT REGULATOR FOR 5V TO 3.3V CONVERSION	1	
					13	
Approved		Notes				

Ενότητα 7.02 Πλακέτα Επεξεργαστή



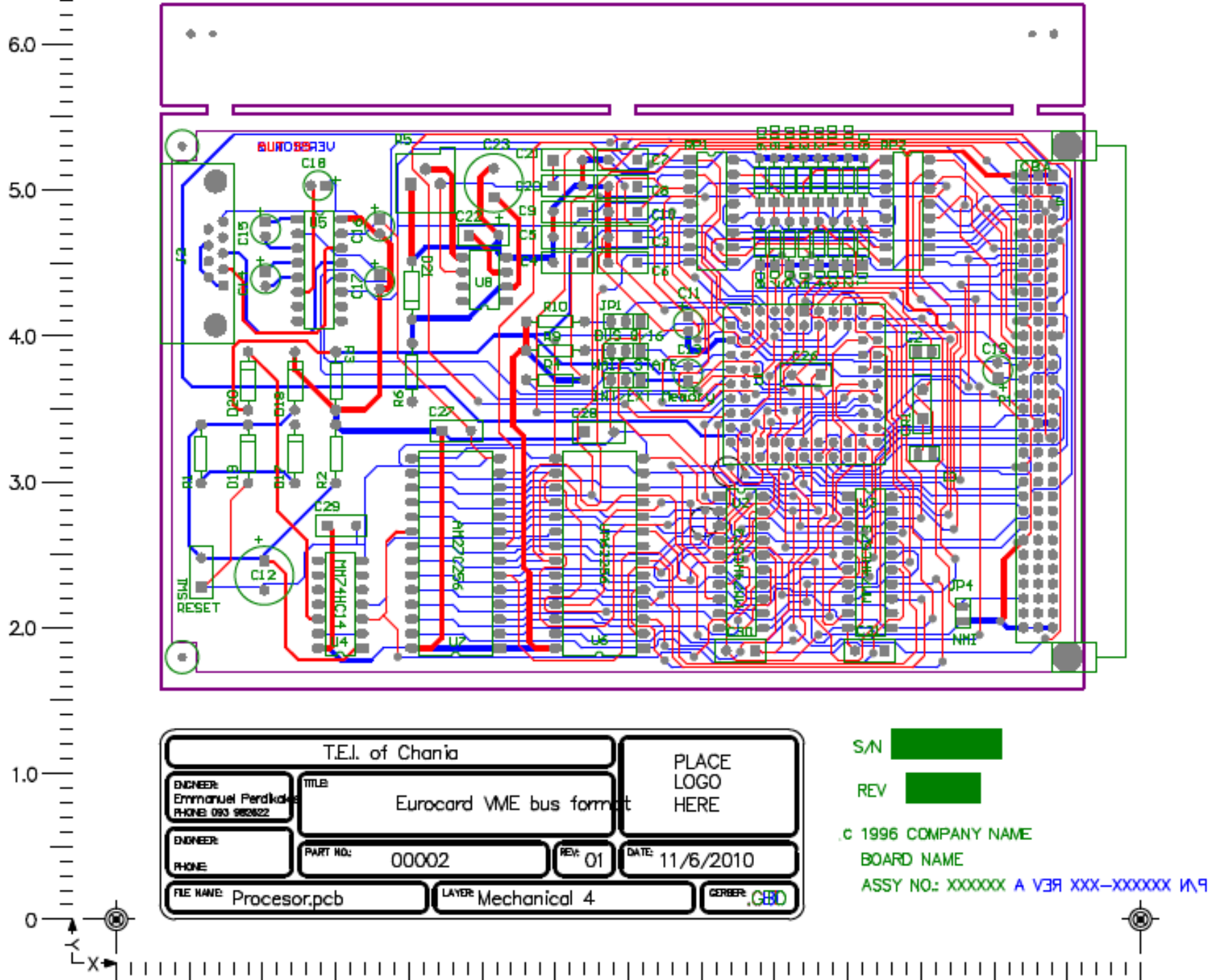


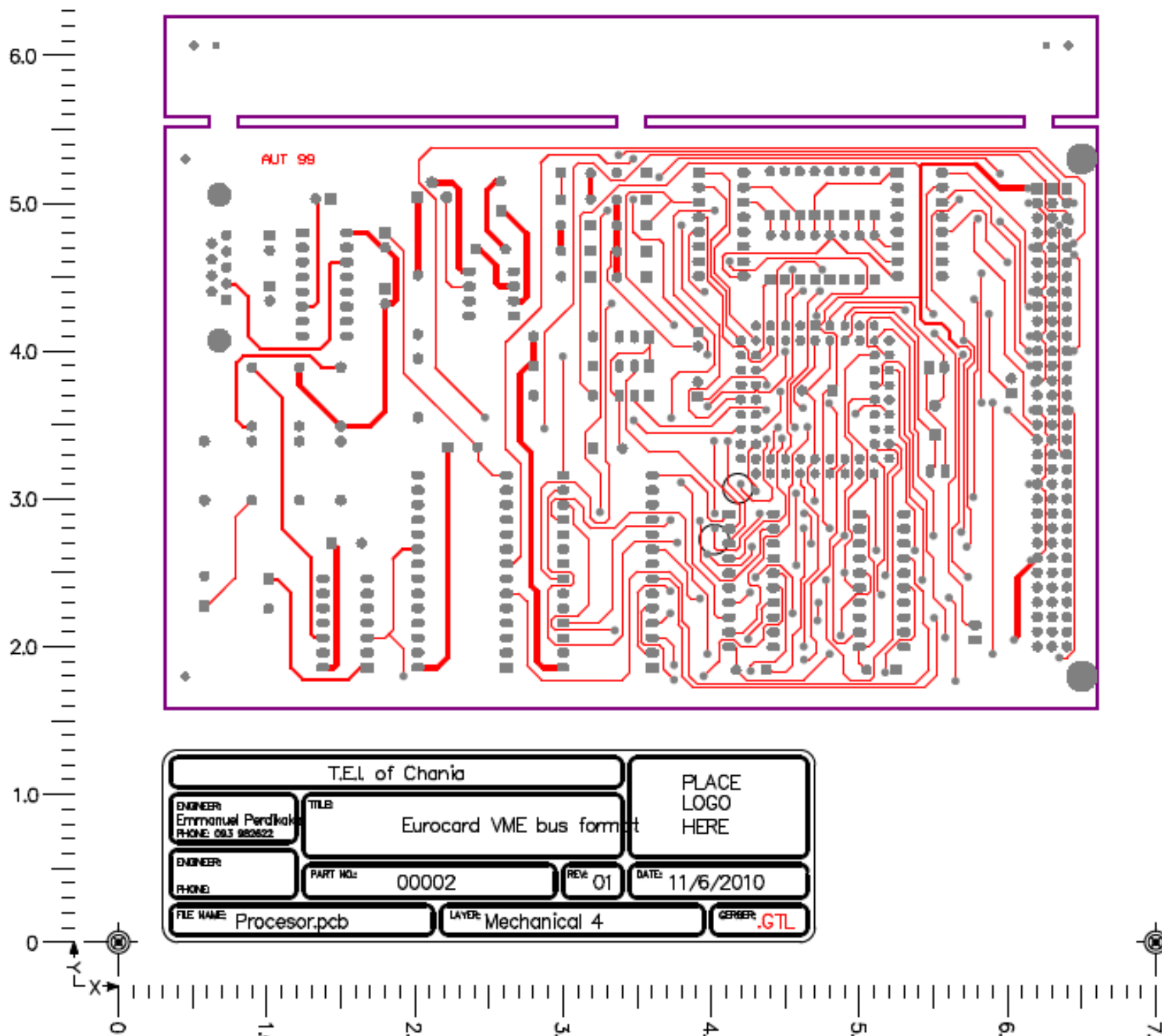
<p>Επίσημο για το AVR.</p>		<p>Από: [unclear] [unclear] [unclear] [unclear]</p>	<p>Επίσημο για το AVR. [unclear] [unclear] [unclear]</p>
<p>Rev C</p>	<p>Version 2</p>	<p>Revision 13</p>	<p>1000 VMP [unclear] [unclear]</p>



Τίτλος Ελεγκτής για το κύκλωμα MPPT		ΔΟΥΛΕΙΑ: Εφαρμογές Υψηλής Κατάστασης 161 711 51 Κοτσά, Κρήτης τηλ: +30 (821) 83001-2 Fax: 79066 email: info@powerlab.gr www.powerlab.gr	Σχεδιαστής: powerlab C:\CLIENTS\98\CH198\PT LOGO.WMF 79066
Size: B	Number: 2	Revision: 11	
File: C:\Users\powerlab\Documents\Autocad\powerlab\CH198\CH198_2_02.dwg		Date: 20/02/2016 10:58:32 AM	User: powerlab

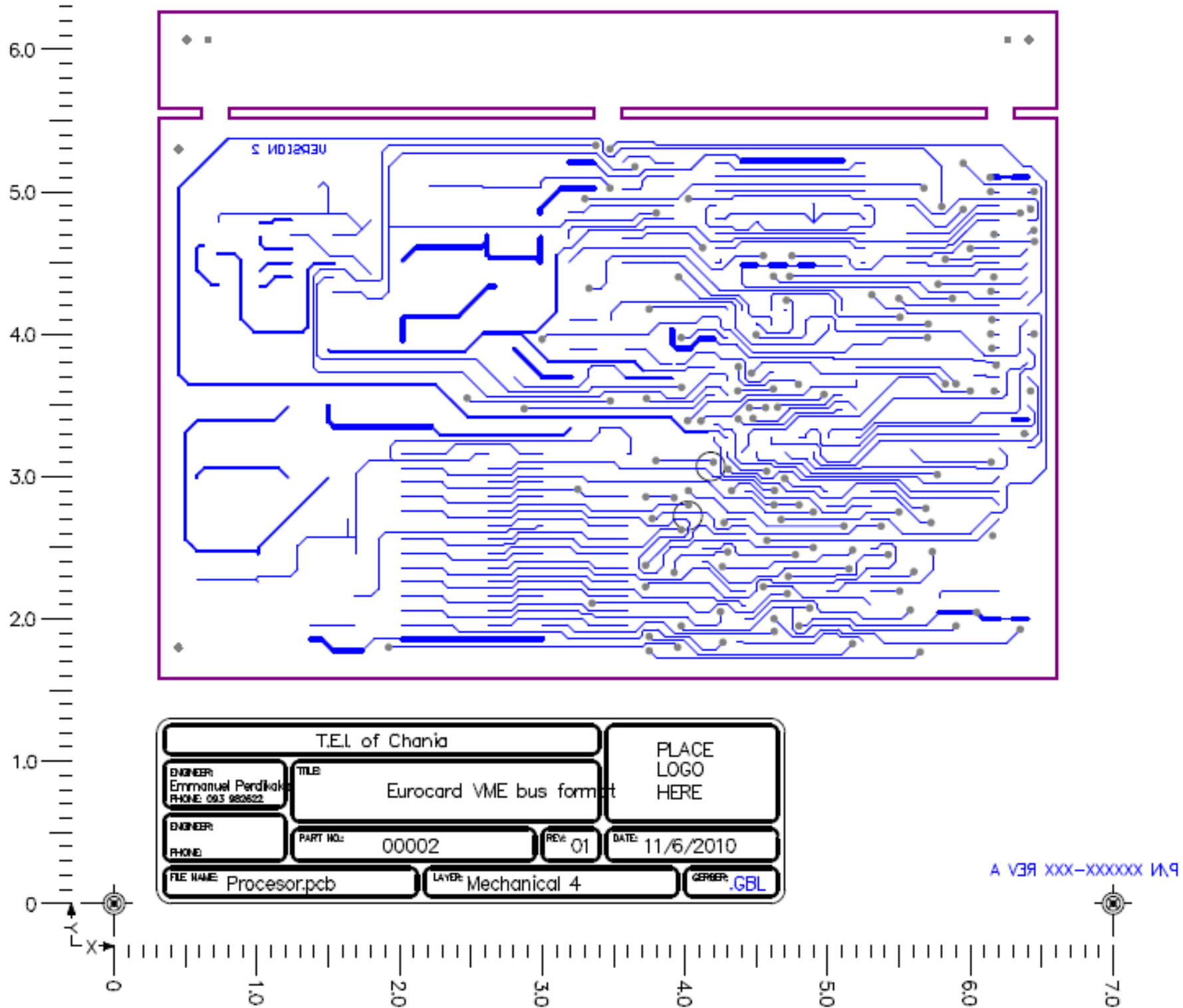
(a) Σχέδια Πλακετών (Πλακέτα Επεξεργαστή)



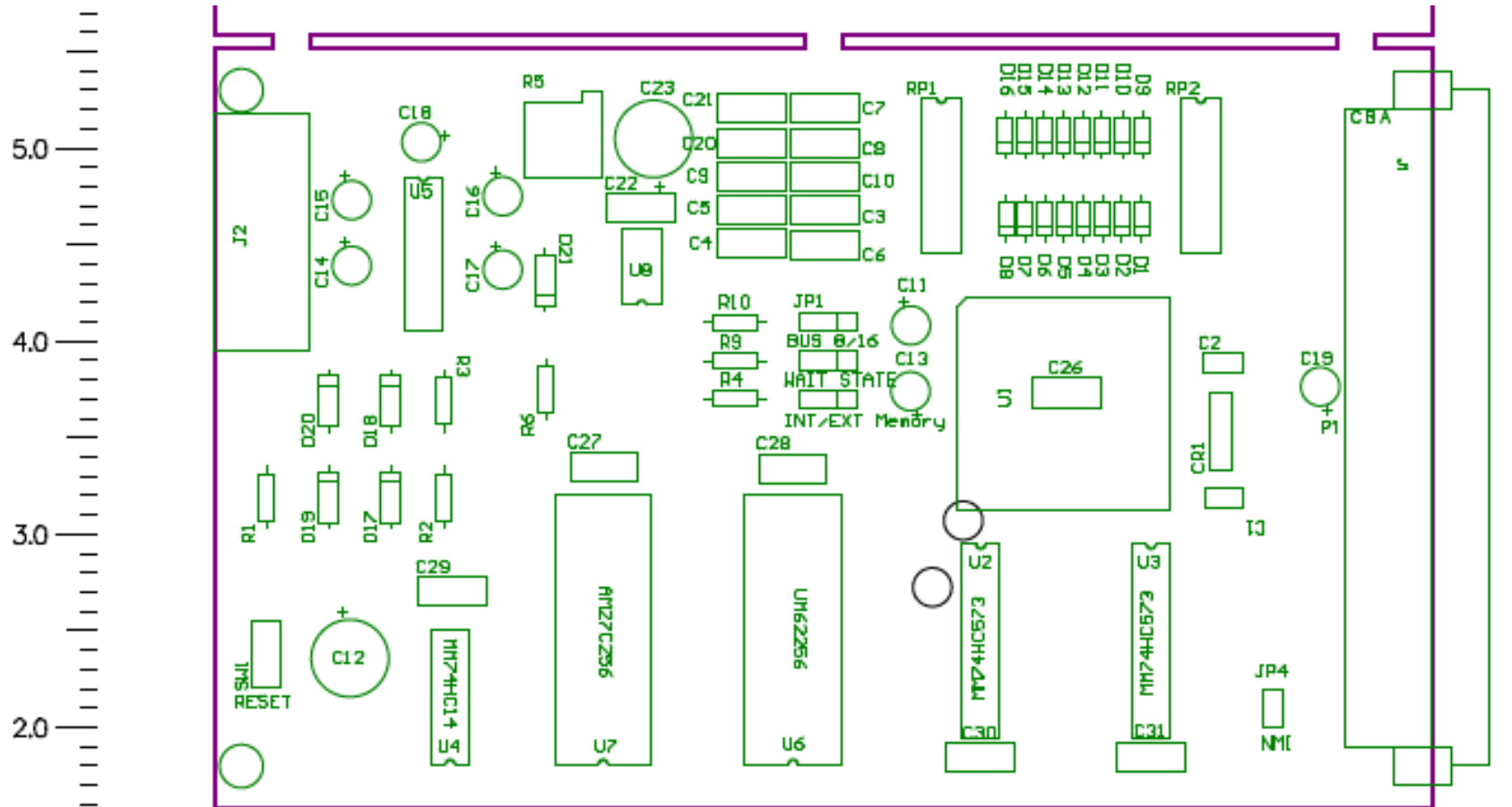


AUT 99

T.E.I. of Chania		PLACE LOGO HERE	
ENGINEER Emmanuel Perdikis PHONE: 093 920622	TITLE Eurocard VME bus format		
ENGINEER PHONE:	PART NO: 00002	REV: 01	DATE: 11/6/2010
FILE NAME: Procesor.pcb	LAYER: Mechanical 4	GERBER: .GTL	



(b) Τοποθέτηση Εξαρτημάτων (Πλακέτα Επεξεργαστή)



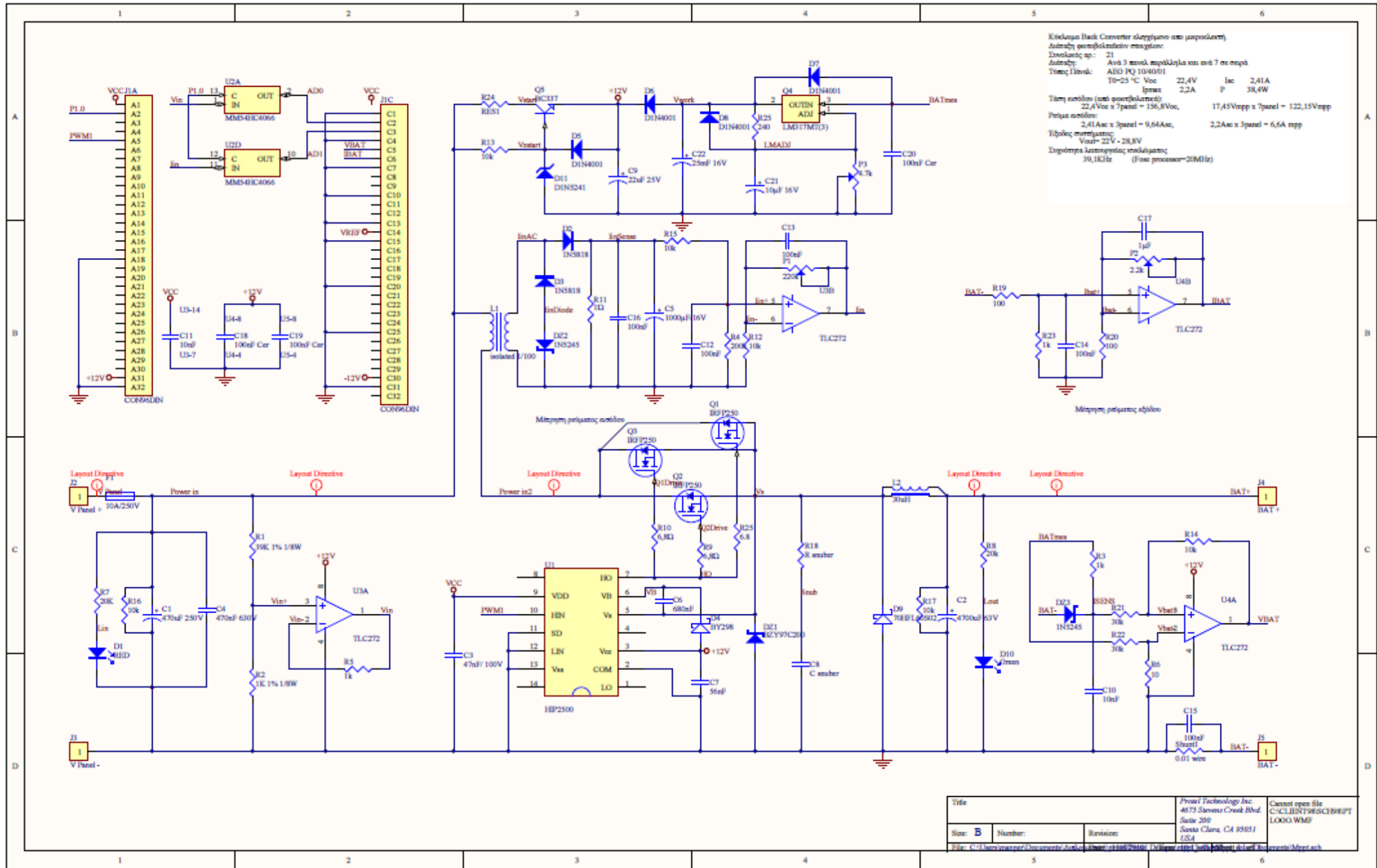
T.E.I. of Chania		PLACE LOGO HERE	
ENGINEER: Emmanuel Perdikaki PHONE: 093 982622	TITLE: Eurocard VME bus format		
ENGINEER: PHONE:	PART NO.: 00002	REV: 01	DATE: 11/6/2010
FILE NAME: Procesor.pcb	LAYER: Mechanical 4	DESIGNER: .GTO	

S/N [REDACTED]
 REV [REDACTED]
 © 1996 COMPANY NAME
 BOARD NAME
 ASSY NO.: XXXXXX

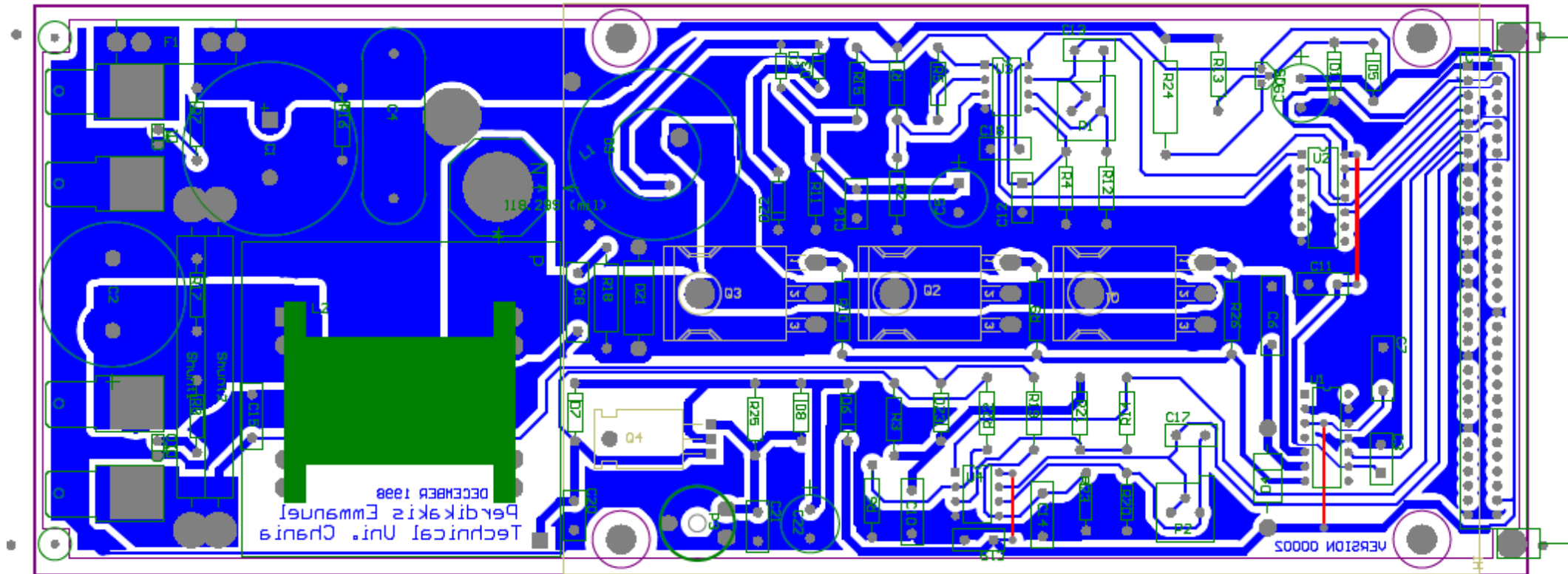
(c) Λίστα Υλικών (Πλακέτα Επεξεργαστή)

Comment	Description	Designator	Footprint	LibRef	Quantity
27pF		C1, C2	rad0.1	CAP	2
0.005uF		C3, C4, C5, C6, C7, C8, C9, C10	rad0.2	CAP	8
10uF		C11, C13, C14, C15, C16, C17, C18	ra.1/ 2	CAPACITOR	7
10uF		C12	ra.2/ 4	CAPACITOR	1
0.1uF		C19	ra.1/ 2	CAPACITOR	1
0.1uF ceramic		C20	rad0.2	CAP	1
2.2uF		C21	rad0.2	CAP	1
1uF		C22	rad0.2	CAP	1
2.2uF		C23	RB1/ 4	CAPACITOR POL	1
10nF		C25, C27, C28, C29, C30, C31	rad0.2	CAP	6
20MHz		CR1	xtal1	CRYSTAL	1
1N4305		D1, D2, D3, D4, D5, D6, D7, D8, D9, D10, D11, D12, D13, D14, D15, D16	diode0.3	DIODE SCHOTTKY	16
1N4305		D17, D18, D19, D20	diode0.4	DIODE	4
12V Zener	Zener Diode	D21	DIODE0.4	ZENER1	1
CONN6DIIN	Euro connector	J1	DIN96RA	CONN6DIIN	1
Serial		J2	db9tail	CONN	1
BUS 8/16		JP1	SIP3	JUMP_2	1
WAIT STATE		JP2	SIP3	JUMP_2	1
INT/EXT Memory		JP3	SIP3	JUMP_2	1
NMI		JP4	RAD0.1	JUMPER	1
10K		R1	axial0.4	RES1	1
100K		R2	axial0.4	RES1	1
4.7K		R3	axial0.4	RES1	1
1M		R4	axial0.4	RES1	1
10K		R5	VR4	RESISTOR TAPPED	1
2K 1/2W		R6	axial0.4	RES1	1
4.7K		R9, R10	AXIAL0.4	RES1	2
270		RP1	DIP16	RESPACK1	1
100		RP2	DIP16	RESPACK1	1
RESET		SW1	rad0.2	SW-PB	1
N80C196KC		U1	PLCC-pg88	N80C196KC	1
	DIGITAL D-TYPE TRANSPARENT LCH 350	U2, U3	DIP20	MM74HC573	2
MM74HC573		U4	DIP14	74AC14	1
MAX232	Hex Inverter SCH DRIVER/RECEIVE R	U5	DIP16	MAX232	1
UM62256	32Kx8 CMOS SRAM	U6	DIP28	UM62256	1
	262 144-BIT UV ERASABLE PROGRAMMABLE READ-ONLY MEMORY	U7	DIP28	AM27C256	1
MAX6250	Maxim Low-Noise, P	U8	DIP8	MAX6250	1

Ενότητα 7.03 Πλακέτα Ισχύος

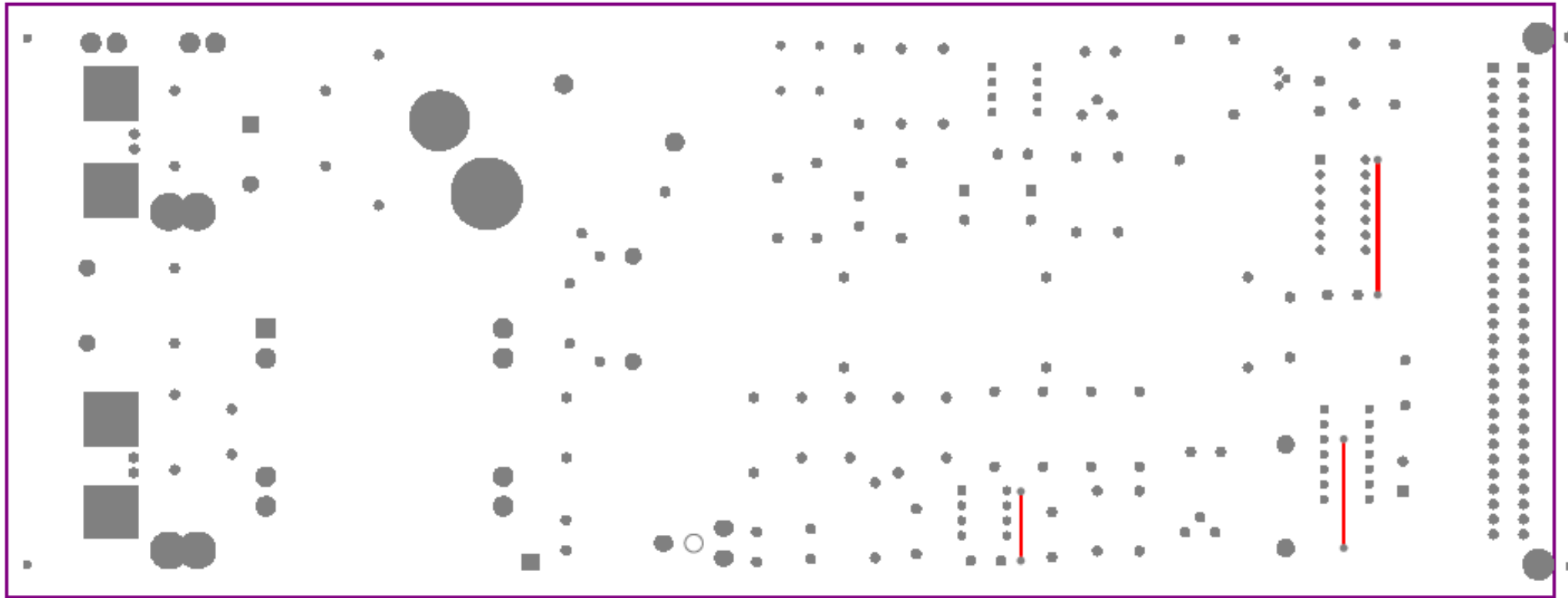


(a) Σχέδια Πλακετών (Πλακέτα Ισχύος)



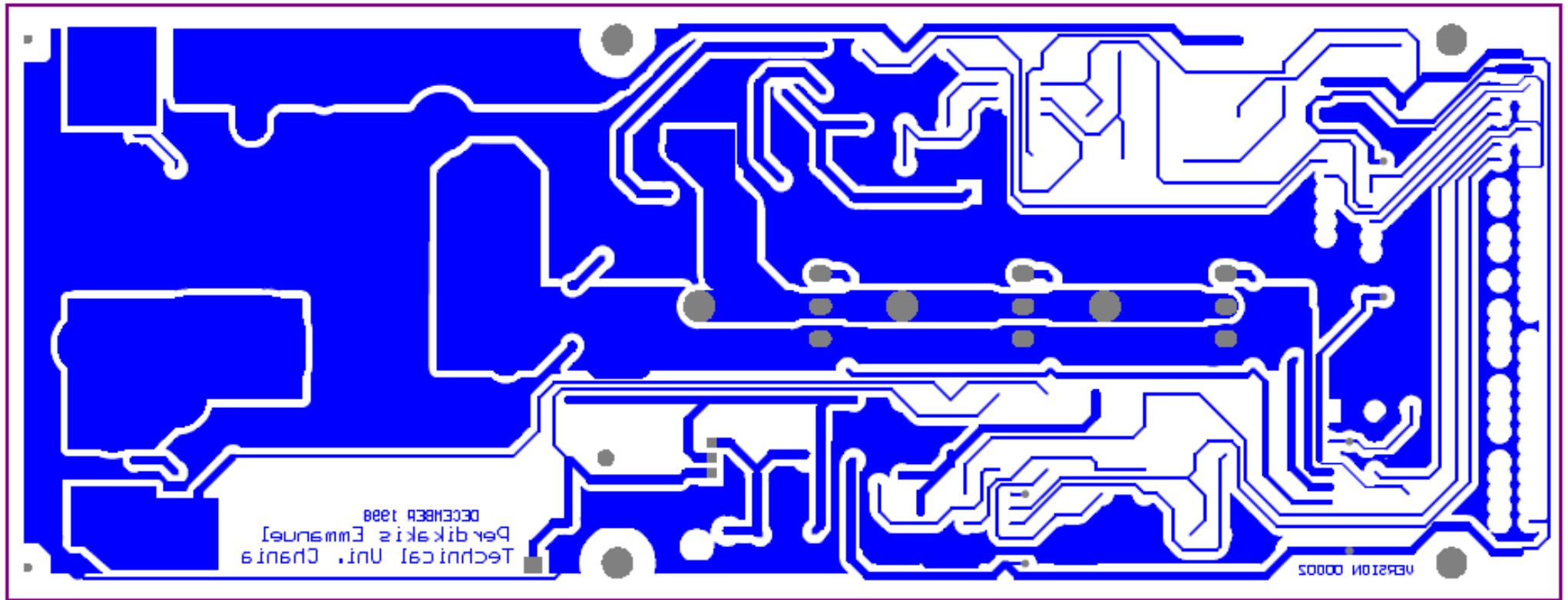
T.E.I Chania
 ENGINEER: Emmanuel Perdikakis TITLE: Eurocard VME bus format
 PHONE: +30 (821) 90029
 ENGINEER: PART NO: 1
 PHONE: REV: 01 DATE: 11/6/2010
 FILE NAME: Mppt.pcb LAYER: Mechanical 4
 PLACE LOGO HERE
 DATE: 11/6/2010
 DATE: 11/6/2010
 DATE: 11/6/2010

S/N [REDACTED]
 REV [REDACTED]
 © 1998 COMPANY NAME
 BOARD NAME
 ASSY NO.: XXXXXX A VER XXX-XXXXX INP



T.E.I Chania
ENGINEER Emmanuil Ferdikakis TITLE
PHONE +30 (821) 90029
ENGINEER
PHONE
FILE NAME Mppt.pcb
PART NO: 1
REV: 01 DATE: 11/6/2010
LAYER: Mechanical 4
GENDER: .GTL
PLACE LOGO HERE

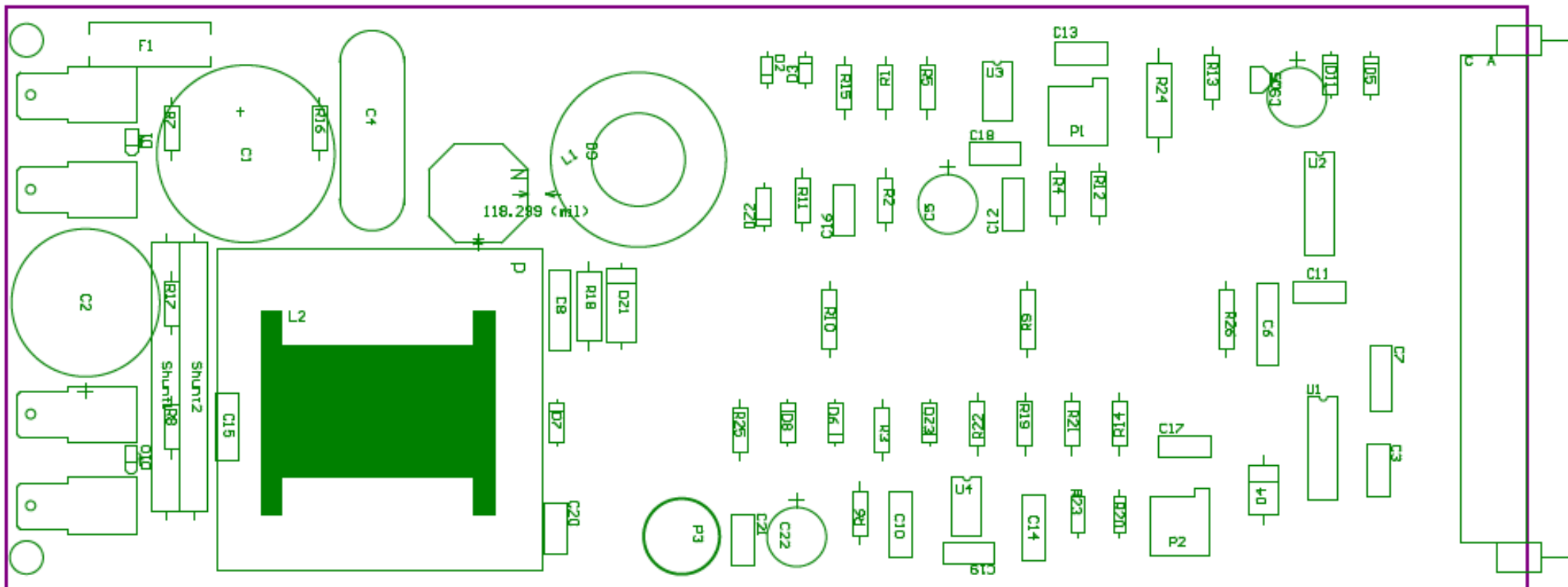




T.E.I Chania
 ENGINEER: Emmanuel Perdikakis
 PHONE: +30 (821) 90029
 TITLE: Eurocard VME bus format
 PART NO: 1
 REV: 01
 DATE: 11/6/2010
 LAYER: Mechanical 4
 FILE NAME: Mppt.pcb
 PLACE LOGO HERE
 GERBER: .GBL

P:\N XXX-XXXXX\REV A

(b) Τοποθέτηση Εξαρτημάτων (Πλακέτα Ισχύος)



T.E.I Chania
ENGINEER Emmanuel Perdikakis PHONE +30 (821) 90029
ENGINEER PHONE
FILE NAME Mppt.pcb

TIME
PART NO: 1

PLACE LOGO HERE

REV: 01 DATE: 11/6/2010
LAYER Mechanical 4

S/N
REV
© 1998 COMPANY NAME
BOARD NAME
ASSY NO.: XXXXXX

(c) Λίστα Υλικών (Πλακέτα Ισχύος)

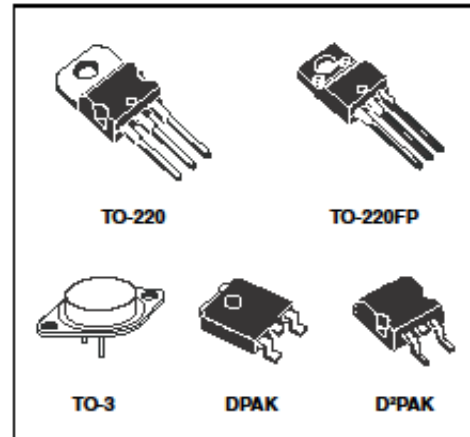
Comment	Description	Designator	Footprint	LibRef	Quantity
470uF 250V		C1	RS_4/1.2	CAPACITOR POL	1
4700uF 63V		C2	RS_5/1.0	CAPACITOR POL	1
47uF7 100V		C3	rad0.2	CAP	1
470nF 630V		C4	rad1.0	CAP	1
1000uF7 16V		C5	RS_2/ 4	CAPACITOR POL	1
560nF		C6	rad0.4	CAP	1
56nF		C7	rad0.3	CAP	1
Capacitor		C8	rad0.3	CAP	1
22uF 25V		C9	RS_1/ 2	CAPACITOR POL	1
10nF		C10	rad0.3	CAP	1
10nF		C11	rad0.2	CAP	1
100nF		C12, C13, C14, C15, C16	RAD0.2	CAP	5
1uF		C17	RAD0.2	CAP	1
100nF/Cer		C18, C19, C20	rad0.2	CAP	3
10uF 16V		C21	rad0.2	CAPACITOR POL	1
25nF 16V		C22	RS_2/ 4	CAPACITOR POL	1
RED		D1	LED0.1	LED	1
1N5818		D2, D3	diode0.3	DIODE	2
BY208		D4	diode0.8	DIODE 8CHOTTRY	1
D1N4001		D5, D6, D7, D8	diode0.4	DIODE	4
70HFL0802		D9	DC-5	DIODE 8CHOTTRY	1
Green		D10	LED0.1	LED	1
D1N5241		D11	diode0.4	ZENER3	1
BZY97C200		D21	DIODE0.4	ZENER2	1
1N6245		D22, D23	diode0.4	ZENER2	2
10A/250V		F1	FUSE1	FUSE1	1
CONRODIN	Euro connector	J1	DIN6acRA	CONRODIN	1
V Pinrail +		J2	pinrail	CON1	1
V Pinrail -		J3	pinrail	CON1	1
BAT +		J4	pinrail	CON1	1
BAT -		J5	pinrail	CON1	1
isolated 1/100		L1	TR-CUR	TRANS1	1
30uH		L2	RS/38/21	COIL1	1
220k		P1	vr4	POT1	1
2.2k		P2	vr4	POT1	1
4.7k		P3	rt0v	POT1	1
IRFP250	N-Channel MOSFET	Q1, Q2, Q3	TC347h	IRFP250	3
LM317MT(3)	1.2V To 37V Voltage Regulator	Q4	ls-220	LM317MT(3)	1
BC537		Q5	ls-40a	NPN1	1
30K 1% 1/8W		R1	AXIAL0.5	RES1	1
1K 1% 1/8W		R2	AXIAL0.5	RES1	1
1k	Resistor	R3, R5, R23	AXIAL0.5	RES, RES1	3
200k		R4	AXIAL0.5	RES1	1
10		R6	AXIAL0.5	RES1	1
20K		R7, R8	axial0.5	RES1	2
5.6K		R9, R10	axial0.5	RES1	2
10		R11	AXIAL0.5	RES1	1
10k		R12, R13, R14, R15, R16, R17	AXIAL0.5	RES1	6
R number	Resistor	R18	AXIAL0.8	RES	1
100		R19, R20	AXIAL0.5	RES1	2
30k		R21, R22	AXIAL0.5	RES1	2
RES1		R24	axial0.8	RES1	1
240		R25	axial0.5	RES1	1
0.01 white		Shunt1	RS-HUNT	RES1	1
IRFP250	High Voltage Bridge Driver	U1	DIP14	IR2110	1
MM54HC4068	QUAD ANALOG SWITCH MULTIPLEXER	U2	DIP14	MM54HC4068	1
TLC272		U3, U4	DIP8	LF353	2

Παράρτημα**Κεφάλαιο 1. Data sheets εξαρτημάτων**
**L78xx - L78xxC
L78xxAB - L78xxAC**
Positive voltage regulators
Features

- Output current up to 1.5 A
- Output voltages of 5; 6; 8; 8.5; 9; 12; 15; 18; 24 V
- Thermal overload protection
- Short circuit protection
- Output transition SOA protection
- 2 % output voltage tolerance (A version)
- Guaranteed in extended temperature range (A version)

Description

The L78xx series of three-terminal positive regulators is available in TO-220, TO-220FP, TO-3, D²PAK and DPAK packages and several fixed output voltages, making it useful in a wide range of applications. These regulators can provide local on-card regulation, eliminating the distribution problems associated with single point regulation. Each type employs internal current limiting, thermal shut-down and safe area protection, making it essentially indestructible. If adequate heat sinking is provided, they can deliver over 1 A output current. Although designed primarily as fixed voltage regulators, these devices can be used with external components to obtain adjustable voltage and currents.

**Table 1. Device summary**

Part numbers			
L7805	L7806AC	L7809AB	L7815AB
L7805C	L7808C	L7809AC	L7815AC
L7805AB	L7808AB	L7812C	L7818C
L7805AC	L7808AC	L7812AB	L7824C
L7806C	L7885C	L7812AC	L7824AB
L7806AB	L7809C	L7815C	L7824AC

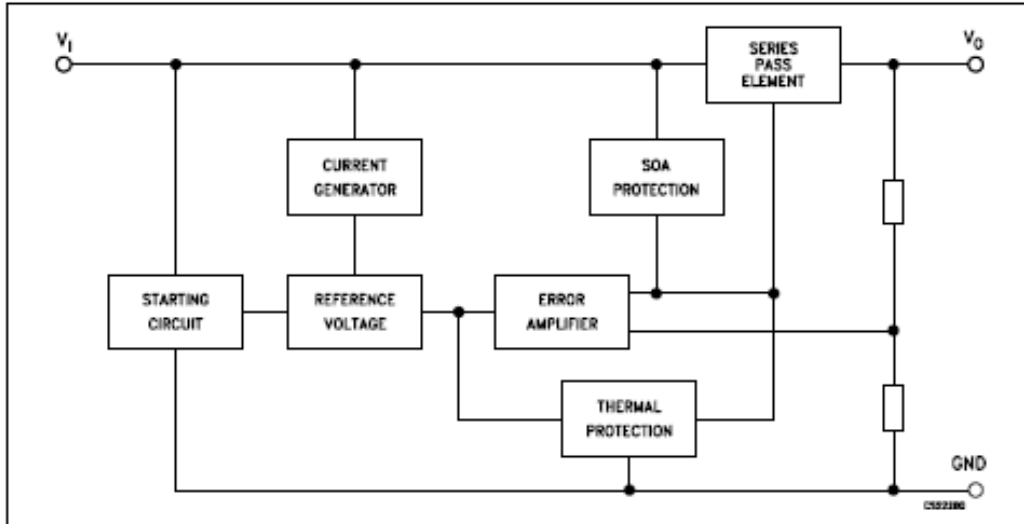
March 2010

Doc ID 2143 Rev 21

1/58

www.st.com

Figure 1. Block diagram



2 Pin configuration

Figure 2. Pin connections (top view)

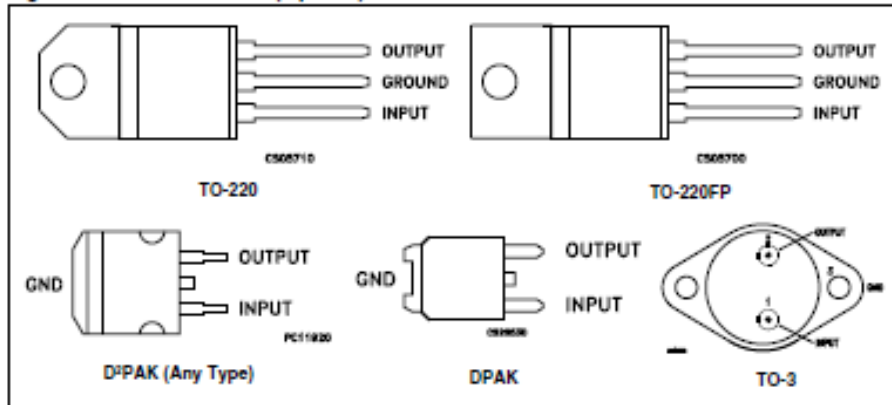
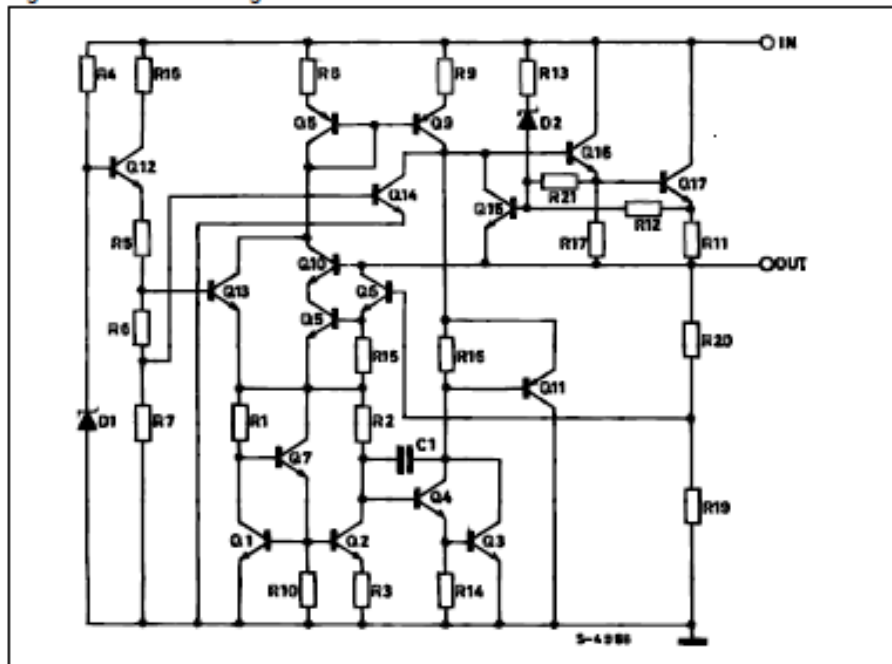


Figure 3. Schematic diagram



3 Maximum ratings

Table 2. Absolute maximum ratings

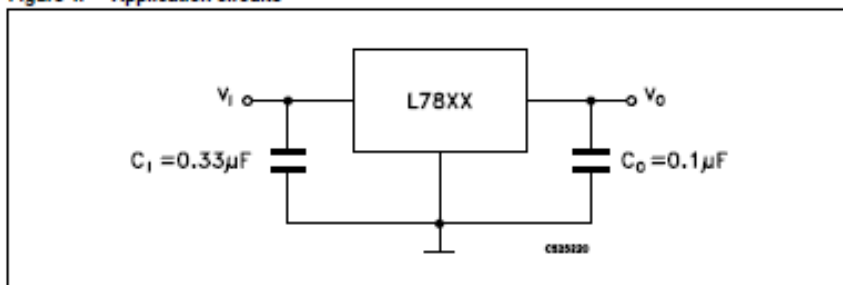
Symbol	Parameter	Value	Unit	
V_I	DC input voltage	for $V_O = 5$ to 18 V	35	V
		for $V_O = 20, 24$ V	40	
I_O	Output current	Internally limited		
P_D	Power dissipation	Internally limited		
T_{STG}	Storage temperature range	-65 to 150	°C	
T_{OP}	Operating junction temperature range	for L78xx	-55 to 150	°C
		for L78xxC, L78xxAC	0 to 125	
		for L78xxAB	-40 to 125	

Note: Absolute maximum ratings are those values beyond which damage to the device may occur. Functional operation under these condition is not implied.

Table 3. Thermal data

Symbol	Parameter	D ² PAK	PAK	TO-220	TO-220FP	TO-3	Unit
$R_{\theta JC}$	Thermal resistance junction-case	3	8	5	5	4	°C/W
$R_{\theta JA}$	Thermal resistance junction-ambient	62.5	100	50	60	35	°C/W

Figure 4. Application circuits



5 Electrical characteristics

Refer to the test circuits, $T_J = -55$ to 150 °C, $V_I = 10$ V, $I_O = 500$ mA, $C_1 = 0.33$ μF, $C_O = 0.1$ μF unless otherwise specified.

Table 4. Electrical characteristics of L7805

Symbol	Parameter	Test conditions	Min.	Typ.	Max.	Unit
V_O	Output voltage	$T_J = 25^\circ\text{C}$	4.8	5	5.2	V
V_O	Output voltage	$I_O = 5$ mA to 1 A, $V_I = 8$ to 20 V	4.65	5	5.35	V
$\Delta V_O^{(1)}$	Line regulation	$V_I = 7$ to 25 V, $T_J = 25^\circ\text{C}$		3	50	mV
		$V_I = 8$ to 12 V, $T_J = 25^\circ\text{C}$		1	25	
$\Delta V_O^{(1)}$	Load regulation	$I_O = 5$ mA to 1.5 A, $T_J = 25^\circ\text{C}$			100	mV
		$I_O = 250$ to 750 mA, $T_J = 25^\circ\text{C}$			25	
I_Q	Quiescent current	$T_J = 25^\circ\text{C}$			6	mA
ΔI_Q	Quiescent current change	$I_O = 5$ mA to 1 A			0.5	mA
		$V_I = 8$ to 25 V			0.8	
$\Delta V_O/\Delta T$	Output voltage drift	$I_O = 5$ mA		0.6		mV/°C
a_N	Output noise voltage	B = 10 Hz to 100 kHz, $T_J = 25^\circ\text{C}$			40	$\mu\text{V}/V_O$
SVR	Supply voltage rejection	$V_I = 8$ to 18 V, $f = 120$ Hz	68			dB
V_d	Dropout voltage	$I_O = 1$ A, $T_J = 25^\circ\text{C}$		2	2.5	V
R_O	Output resistance	$f = 1$ kHz		17		mΩ
I_{sc}	Short circuit current	$V_I = 35$ V, $T_J = 25^\circ\text{C}$		0.75	1.2	A
I_{scp}	Short circuit peak current	$T_J = 25^\circ\text{C}$	1.3	2.2	3.3	A

1. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

7 Typical performance

Figure 33. Dropout voltage vs. junction temperature

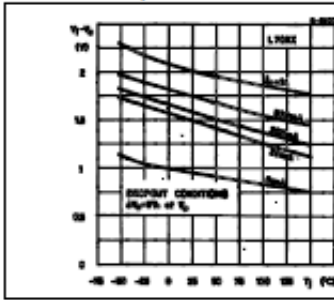


Figure 34. Peak output current vs. Input/output differential voltage

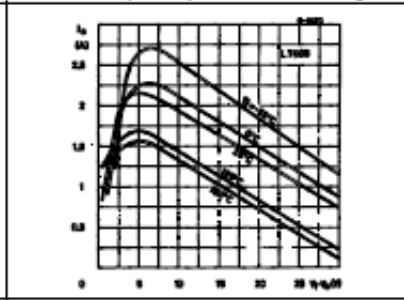


Figure 35. Supply voltage rejection vs. frequency

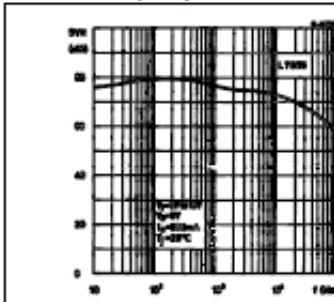


Figure 36. Output voltage vs. junction temperature

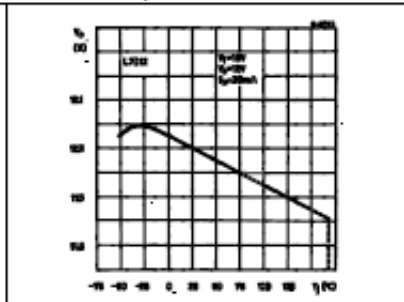


Figure 37. Output impedance vs. frequency

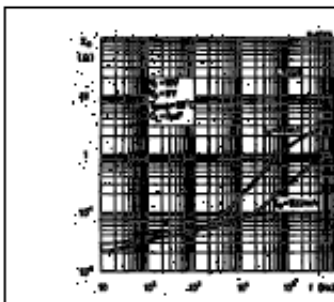


Figure 38. Quiescent current vs. junction temp.

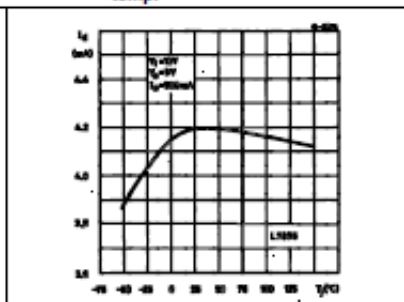


Figure 39. Load transient response

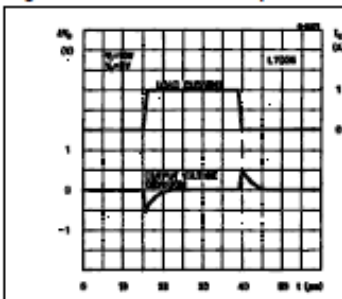


Figure 40. Line transient response

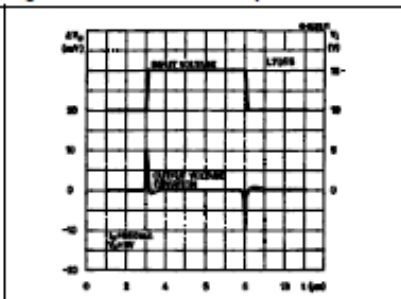
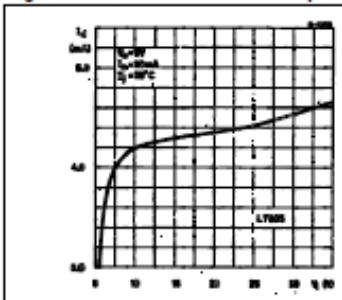


Figure 41. Quiescent current vs. input voltage



MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

 Order this document
 by 1N4001/D

Axial Lead Standard Recovery Rectifiers

This data sheet provides information on subminiature size, axial lead mounted rectifiers for general-purpose low-power applications.

Mechanical Characteristics

- Case: Epoxy, Molded
- Weight: 0.4 gram (approximately)
- Finish: All External Surfaces Corrosion Resistant and Terminal Leads are Readily Solderable
- Lead and Mounting Surface Temperature for Soldering Purposes: 220°C Max. for 10 Seconds, 1/16" from case
- Shipped in plastic bags, 1000 per bag.
- Available Tape and Reeled, 5000 per reel, by adding a "RL" suffix to the part number
- Polarity: Cathode Indicated by Polarity Band
- Marking: 1N4001, 1N4002, 1N4003, 1N4004, 1N4005, 1N4006, 1N4007

**1N4001
thru
1N4007**

 1N4004 and 1N4007 are
 Motorola Preferred Devices

**LEAD MOUNTED
RECTIFIERS
50-1000 VOLTS
DIFFUSED JUNCTION**


MAXIMUM RATINGS

Rating	Symbol	1N4001	1N4002	1N4003	1N4004	1N4005	1N4006	1N4007	Unit
*Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	V _{RRM} V _{RWM} V _R	50	100	200	400	600	800	1000	Volts
*Non-Repetitive Peak Reverse Voltage (halfwave, single phase, 60 Hz)	V _{RSM}	60	120	240	480	720	1000	1200	Volts
*RMS Reverse Voltage	V _{R(RMS)}	35	70	140	280	420	560	700	Volts
*Average Rectified Forward Current (single phase, resistive load, 60 Hz, see Figure 8, T _A = 75°C)	I _O	1.0							Amp
*Non-Repetitive Peak Surge Current (surge applied at rated load conditions, see Figure 2)	I _{FSM}	30 (for 1 cycle)							Amp
Operating and Storage Junction Temperature Range	T _J T _{stg}	- 65 to + 175							°C

ELECTRICAL CHARACTERISTICS*

Rating	Symbol	Typ	Max	Unit
Maximum Instantaneous Forward Voltage Drop (I _F = 1.0 Amp, T _J = 25°C) Figure 1	v _F	0.93	1.1	Volts
Maximum Full-Cycle Average Forward Voltage Drop (I _O = 1.0 Amp, T _L = 75°C, 1 inch leads)	V _{F(AV)}	—	0.8	Volts
Maximum Reverse Current (rated dc voltage) (T _J = 25°C) (T _J = 100°C)	I _R	0.05 1.0	10 50	μA
Maximum Full-Cycle Average Reverse Current (I _O = 1.0 Amp, T _L = 75°C, 1 inch leads)	I _{R(AV)}	—	30	μA

*Indicates JEDEC Registered Data

Preferred devices are Motorola recommended choices for future use and best overall value.

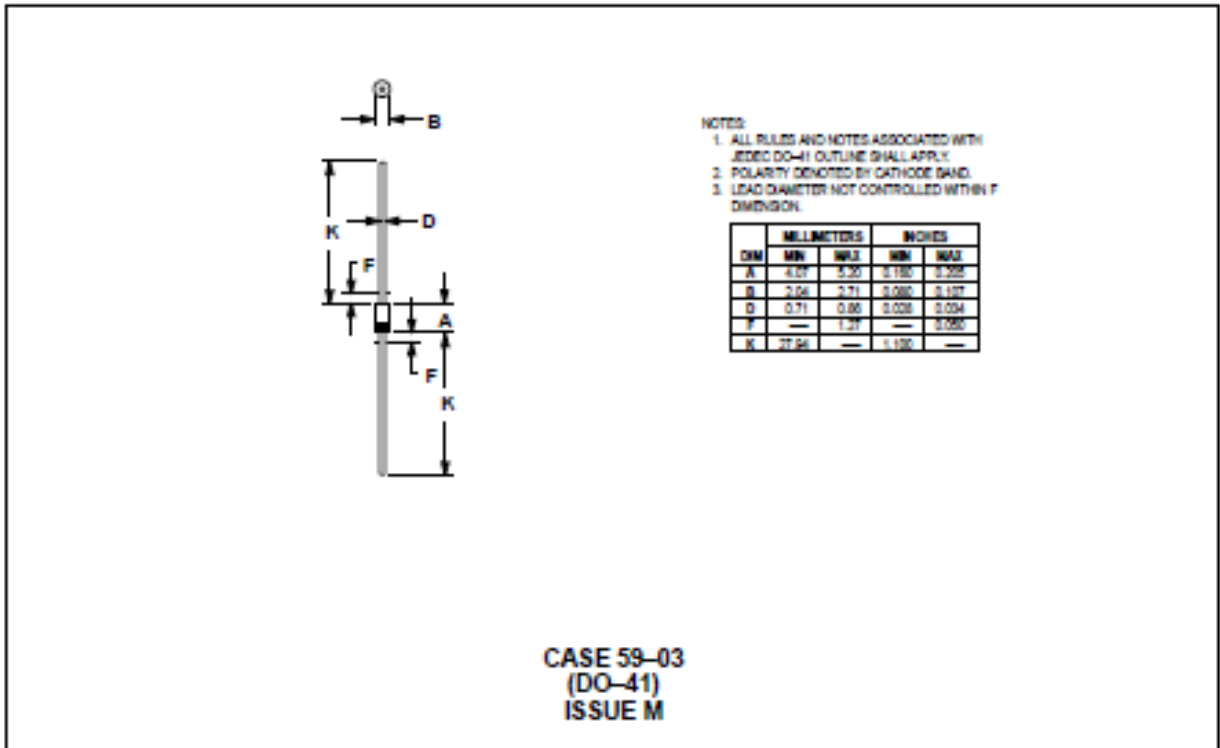
Rev 5

© Motorola, Inc. 1998



1N4001 thru 1N4007

PACKAGE DIMENSIONS



Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mflex is a trademark of Motorola, Inc.

How to reach us:
 USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
 P.O. Box 5405, Denver, Colorado 80217. 303-875-2140 or 1-800-441-3447

JAPAN: Nippon Motorola Ltd.: SPD, Strategic Planning Office, 4-30-1,
 Nishi-Gotanda, Shinagawa-ku, Tokyo 141, Japan. 81-3-5487-8488

Mflex™: RMFAXD@email.sps.mot.com - TOUCHTONE 800-244-8600
 - US & Canada ONLY 1-800-774-1848

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 6B Tai Ping Industrial Park,
 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26620298

INTERNET <http://motorola.com/lpe>



1N4001/D

Hex inverting Schmitt trigger

74HC/HCT14

FEATURES

- Output capability: standard
- I_{CC} category: SSI

GENERAL DESCRIPTION

The 74HC/HCT14 are high-speed SI-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT14 provide six inverting buffers with Schmitt-trigger action. They are capable of transforming slowly changing input signals into sharply defined, jitter-free output signals.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; t_r = t_f = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay nA to nY	$C_L = 15$ pF; $V_{CC} = 5$ V	12	17	ns
C_i	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per gate	notes 1 and 2	7	8	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μ W):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = Input frequency in MHz

f_o = output frequency in MHz

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

$\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

2. For HC the condition is $V_i = \text{GND to } V_{CC}$
For HCT the condition is $V_i = \text{GND to } V_{CC} - 1.5$ V

ORDERING INFORMATION

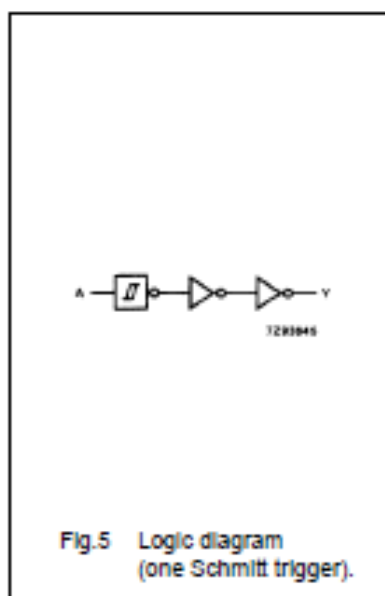
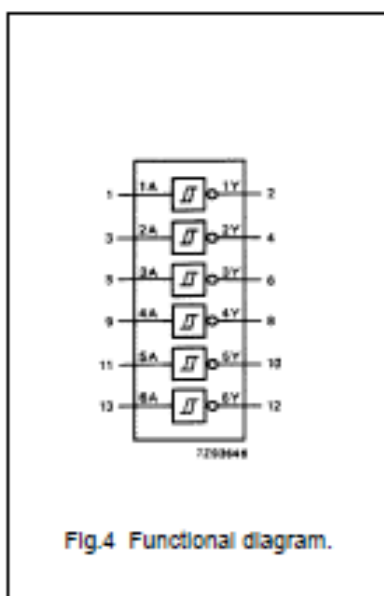
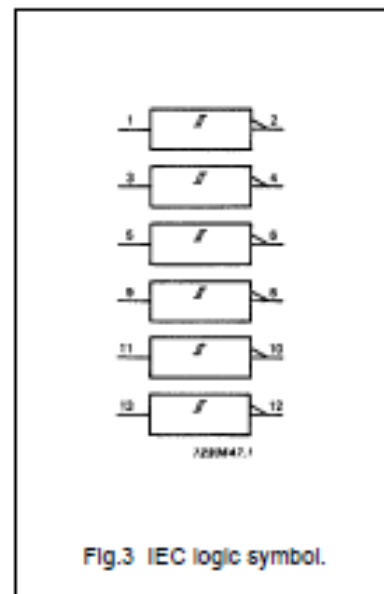
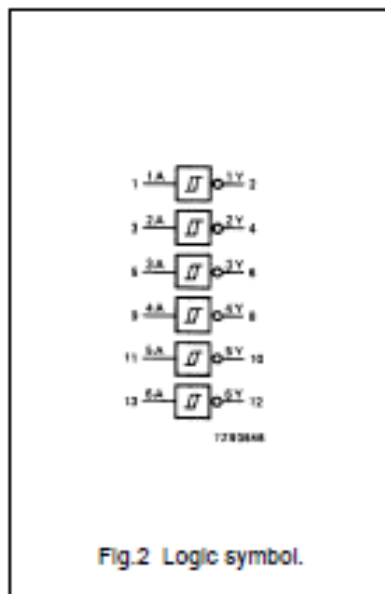
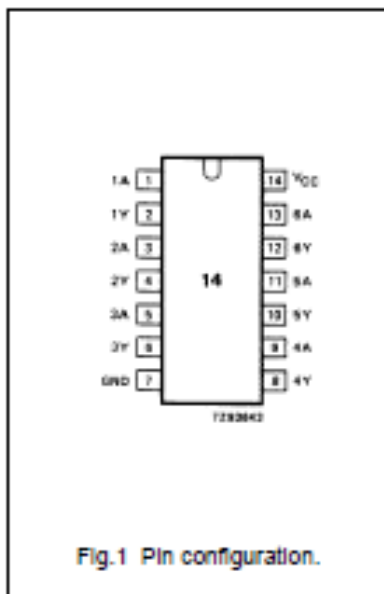
See *"74HC/HCT/HCU/HCMOS Logic Package information"*.

Hex inverting Schmitt trigger

74HC/HCT14

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 3, 5, 9, 11, 13	1A to 6A	data inputs
2, 4, 6, 8, 10, 12	1Y to 6Y	data outputs
7	GND	ground (0 V)
14	V _{CC}	positive supply voltage



FUNCTION TABLE

INPUT	OUTPUT
nA	nY
L	H
H	L

Notes

- H = HIGH voltage level
L = LOW voltage level

APPLICATIONS

- Wave and pulse shapers
- Astable multivibrators
- Monostable multivibrators

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*. Transfer characteristics are given below.

Output capability: standard

I_{CC} category: SSI

Transfer characteristics for 74HC

Voltages are referenced to GND (ground = 0 V)

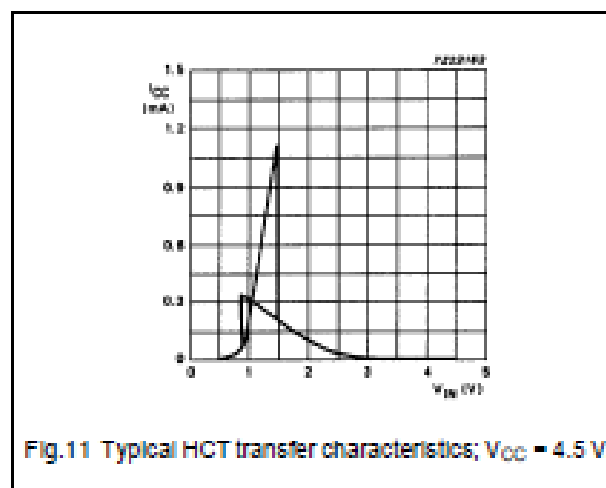
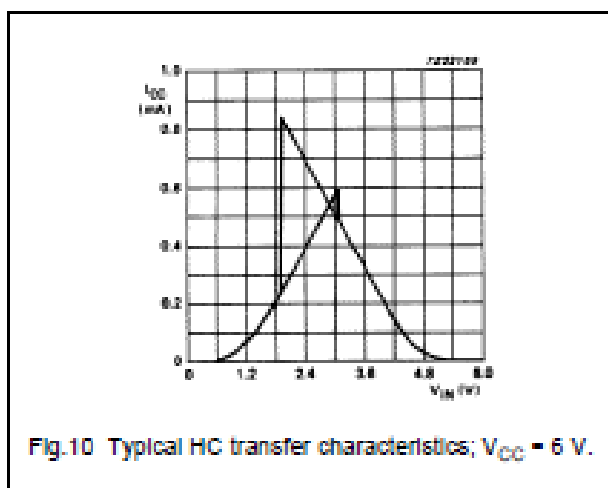
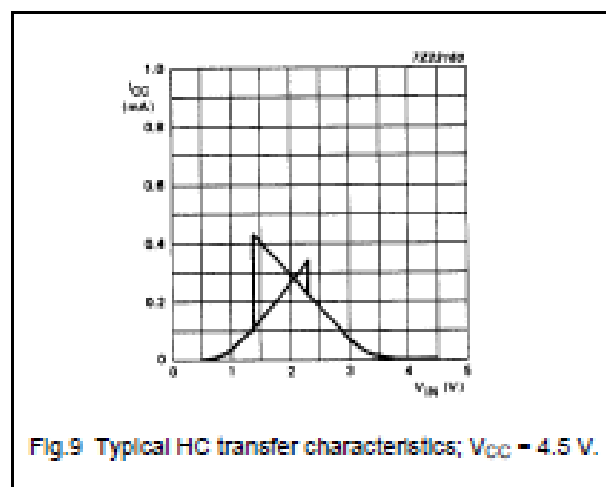
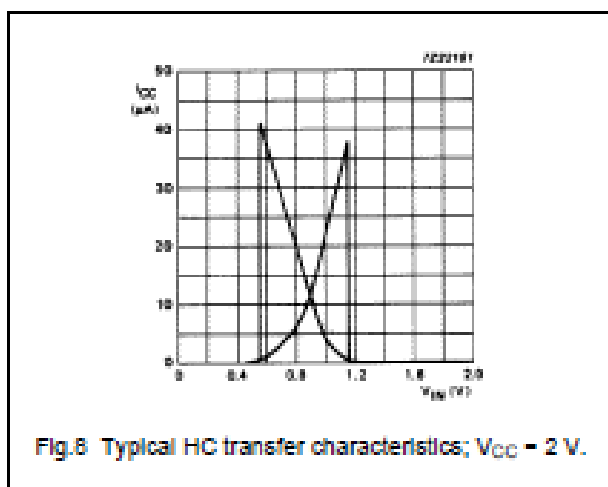
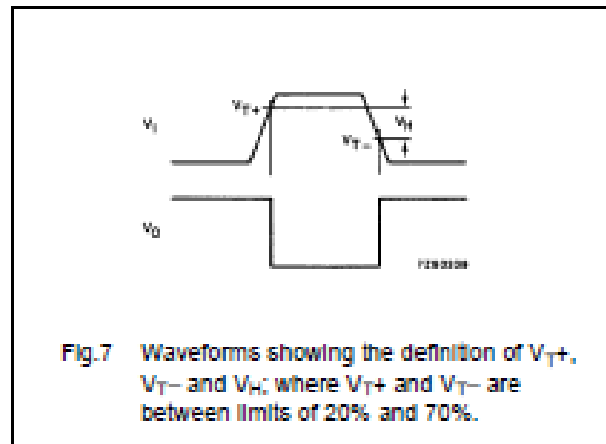
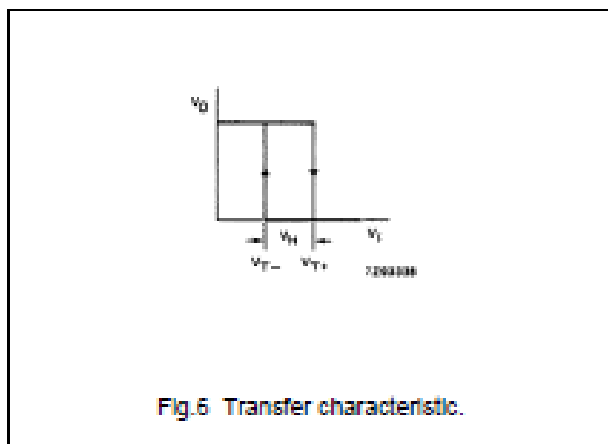
SYMBOL	PARAMETER	T_{amb} (°C)								UNIT	TEST CONDITIONS	
		74HC									V_{CC} (V)	WAVEFORMS
		+25			-40 to +85		-40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
V_{T+}	positive-going threshold	0.7 1.7 2.1	1.18 2.38 3.14	1.5 3.15 4.2	0.7 1.7 2.1	1.5 3.15 4.2	0.7 1.7 2.1	1.5 3.15 4.2	V	2.0 4.5 6.0	Figs 6 and 7	
V_{T-}	negative-going threshold	0.3 0.9 1.2	0.52 1.40 1.89	0.90 2.00 2.60	0.3 0.90 1.20	0.90 2.00 2.60	0.30 0.90 1.2	0.90 2.00 2.60	V	2.0 4.5 6.0	Figs 6 and 7	
V_H	hysteresis ($V_{T+} - V_{T-}$)	0.2 0.4 0.6	0.66 0.98 1.25	1.0 1.4 1.6	0.2 0.4 0.6	1.0 1.4 1.6	0.2 0.4 0.6	1.0 1.4 1.6	V	2.0 4.5 6.0	Figs 6 and 7	

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)								UNIT	TEST CONDITIONS	
		74HC									V_{CC} (V)	WAVEFORMS
		+25			-40 to +85		-40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
t_{PHL} / t_{PLH}	propagation delay nA to nY		41 15 12	125 25 21		155 31 26		190 38 32	ns	2.0 4.5 6.0	Fig.8	
t_{THL} / t_{TLH}	output transition time		19 7 6	75 15 13		95 19 15		110 22 19	ns	2.0 4.5 6.0	Fig.8	

TRANSFER CHARACTERISTIC WAVEFORMS



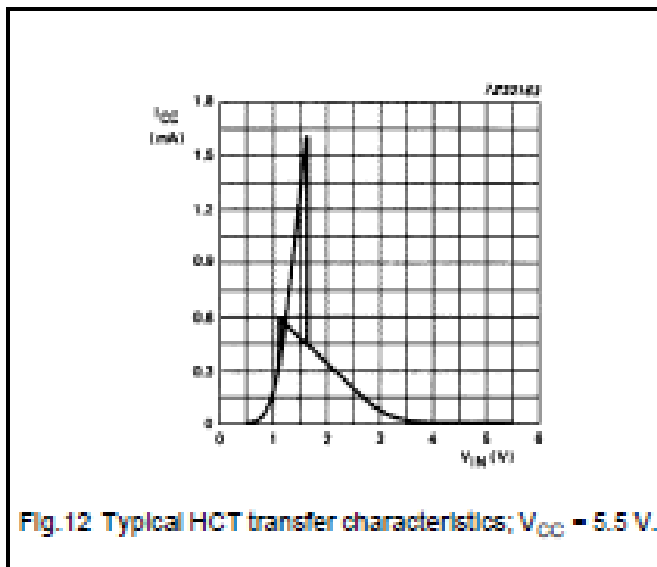
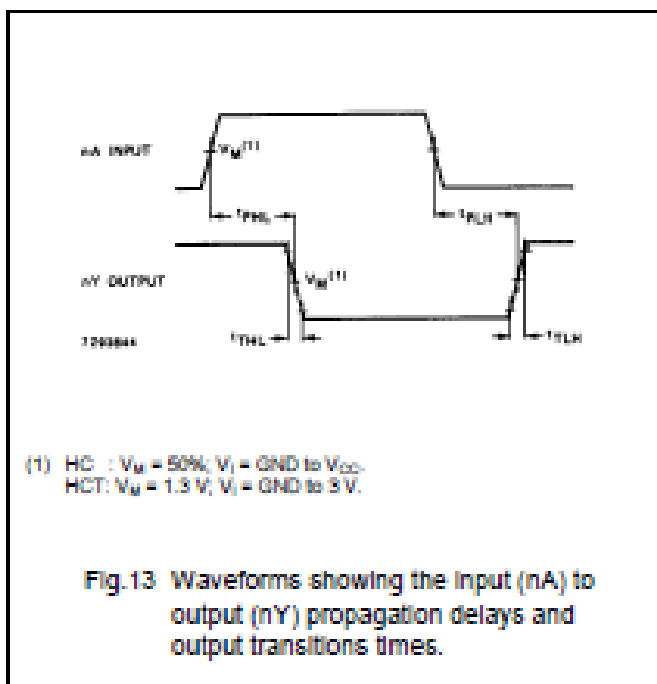


Fig.12 Typical HCT transfer characteristics; $V_{CC} = 5.5$ V.

AC WAVEFORMS



(1) HC : $V_M = 50\%$; $V_L = \text{GND to } V_{CC}$.
 HCT: $V_M = 1.3$ V; $V_L = \text{GND to } 3$ V.

Fig.13 Waveforms showing the Input (nA) to output (nV) propagation delays and output transitions times.

APPLICATION INFORMATION

The slow input rise and fall times cause additional power dissipation, this can be calculated using the following formula:

$$P_{ed} = f_i \times (t_r \times I_{CCa} + t_f \times I_{CCa}) \times V_{CC}$$

Where:

- P_{ed} - additional power dissipation (μW)
- f_i - input frequency (MHz)
- t_r - input rise time (μs); 10% – 90%
- t_f - input fall time (μs); 10% – 90%
- I_{CCa} - average additional supply current (μA)

Average I_{CCa} differs with positive or negative input transitions, as shown in Figs 14 and 15.

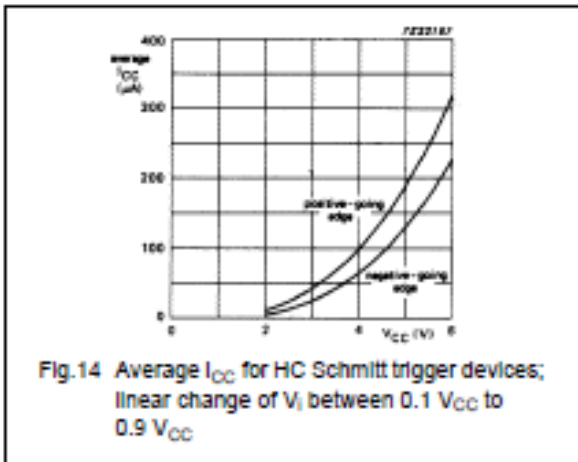


Fig.14 Average I_{CC} for HC Schmitt trigger devices; linear change of V_i between $0.1 V_{CC}$ to $0.9 V_{CC}$

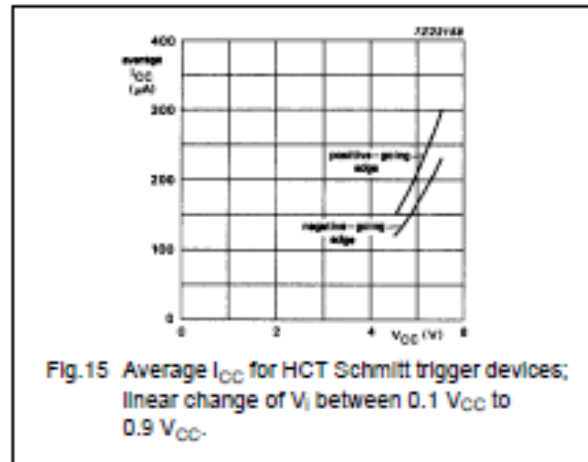


Fig.15 Average I_{CC} for HCT Schmitt trigger devices; linear change of V_i between $0.1 V_{CC}$ to $0.9 V_{CC}$

HC/HCT14 used in a relaxation oscillator circuit, see Fig.16.

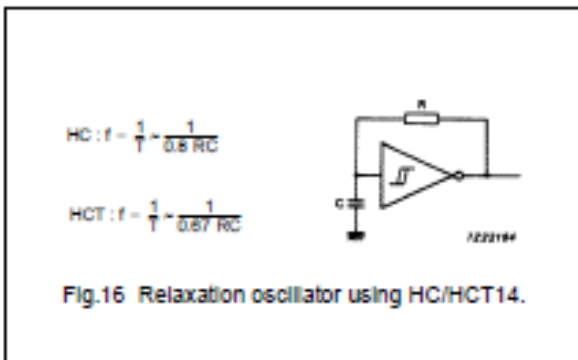


Fig.16 Relaxation oscillator using HC/HCT14.

Note to Application Information

All values given are typical unless otherwise specified.

PACKAGE OUTLINES

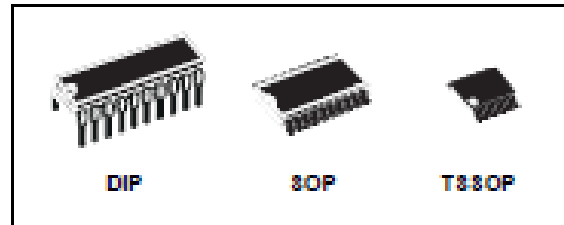
See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.



M74HC573

OCTAL D-TYPE LATCH WITH 3 STATE OUTPUT NON INVERTING

- HIGH SPEED:
 $t_{PD} = 13ns$ (TYP.) at $V_{CC} = 5V$
- LOW POWER DISSIPATION:
 $I_{CC} = 4\mu A$ (MAX.) at $T_A = 25^\circ C$
- HIGH NOISE IMMUNITY:
 $V_{NIH} = V_{NIL} = 28\% V_{CC}$ (MIN.)
- SYMMETRICAL OUTPUT IMPEDANCE:
 $|I_{OH}| = I_{OL} = 6mA$ (MIN)
- BALANCED PROPAGATION DELAYS:
 $t_{PLH} = t_{PHL}$
- WIDE OPERATING VOLTAGE RANGE:
 V_{CC} (OPR) = 2V to 6V
- PIN AND FUNCTION COMPATIBLE WITH 74 SERIES 573



ORDER CODES

PACKAGE	TUBE	T & R
DIP	M74HC573B1R	
SOP	M74HC573M1R	M74HC573RM13TR
TSSOP		M74HC573TTR

DESCRIPTION

The M74HC573 is an high speed CMOS OCTAL LATCH WITH 3-STATE OUTPUTS fabricated with silicon gate C²MOS technology.

This 8-BIT D-Type latches is controlled by a latch enable Input (LE) and output enable Input (\overline{OE}).

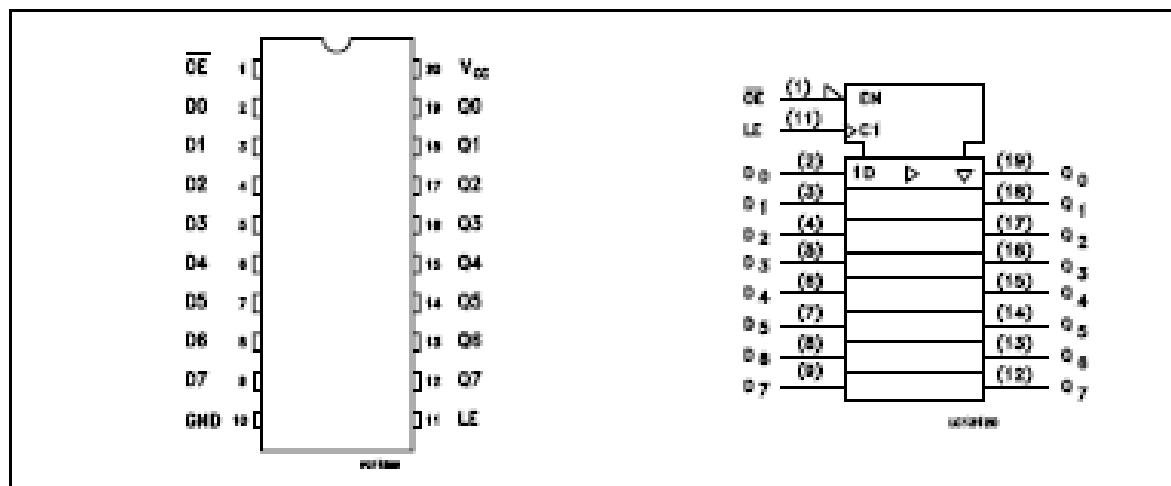
While the LE Input is held at a high level, the Q outputs will follow the data Input precisely. When LE is taken low, the Q outputs will be latched precisely at the logic level of D Input data.

While the \overline{OE} Input is at low level, the eight outputs will be in a normal logic state (high or low logic level) and while is at high level the outputs will be in a high Impedance state.

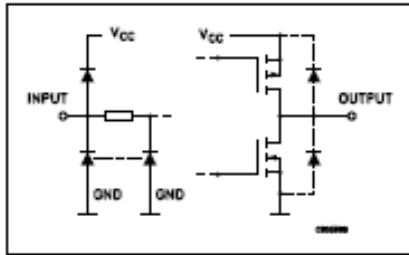
The 3-State output configuration and the wide choice of outline make bus organized system simple.

All inputs are equipped with protection circuits against static discharge and transient excess voltage.

PIN CONNECTION AND IEC LOGIC SYMBOLS



INPUT AND OUTPUT EQUIVALENT CIRCUIT



PIN DESCRIPTION

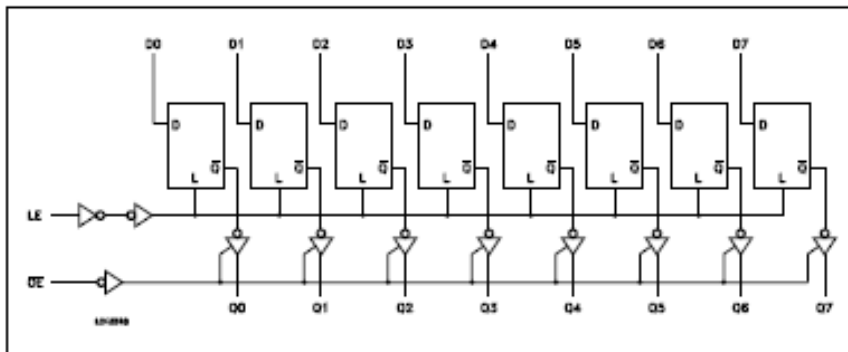
PIN No	SYMBOL	NAME AND FUNCTION
1	OE	3 State Output Enable Input (Active LOW)
2, 3, 4, 5, 6, 7, 8, 9	D0 to D7	Data Inputs
12, 13, 14, 15, 16, 17, 18, 19	Q0 to Q7	3 State Latch Outputs
11	LE	Latch Enable Input
10	GND	Ground (0V)
20	V _{CC}	Positive Supply Voltage

TRUTH TABLE

INPUTS			OUTPUTS
OE	LE	D	Q
H	X	X	Z
L	L	X	NO CHANGE (*)
L	H	L	L
L	H	H	H

X: Don't Care
 Z: High Impedance
 (*): Q Outputs are latched at the time when the LE input is taken low logic level.

LOGIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V _{CC}	Supply Voltage	-0.5 to +7	V
V _I	DC Input Voltage	-0.5 to V _{CC} + 0.5	V
V _O	DC Output Voltage	-0.5 to V _{CC} + 0.5	V
I _{IK}	DC Input Diode Current	± 20	mA
I _{OK}	DC Output Diode Current	± 20	mA
I _O	DC Output Current	± 35	mA
I _{CC} or I _{GND}	DC V _{CC} or Ground Current	± 70	mA
P _D	Power Dissipation	500(*)	mW
T _{stg}	Storage Temperature	-65 to +150	°C
T _L	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these conditions is not implied.
 (*) 500mW at 85 °C; derate to 300mW by 10mW/°C from 85°C to 125°C

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit	
V _{CC}	Supply Voltage	2 to 6	V	
V _I	Input Voltage	0 to V _{CC}	V	
V _O	Output Voltage	0 to V _{CC}	V	
T _{op}	Operating Temperature	-55 to 125	°C	
t _r , t _f	Input Rise and Fall Time	V _{CC} = 2.0V	0 to 1000	ns
		V _{CC} = 4.5V	0 to 500	ns
		V _{CC} = 6.0V	0 to 400	ns

DC SPECIFICATIONS

Symbol	Parameter	Test Condition		Value						Unit	
		V _{CC} (V)		T _A = 25°C			-40 to 85°C		-65 to 125°C		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
V _{IH}	High Level Input Voltage	2.0		1.5			1.5		1.5	V	
		4.5		3.15			3.15		3.15		
		6.0		4.2			4.2		4.2		
V _{IL}	Low Level Input Voltage	2.0				0.5		0.5	0.5	V	
		4.5				1.35		1.35	1.35		
		6.0				1.8		1.8	1.8		
V _{OH}	High Level Output Voltage	2.0	I _O = -20 μA	1.9	2.0		1.9		1.9	V	
		4.5	I _O = -20 μA	4.4	4.5		4.4		4.4		
		6.0	I _O = -20 μA	5.9	6.0		5.9		5.9		
		4.5	I _O = -6.0 mA	4.18	4.31		4.13		4.10		
		6.0	I _O = -7.8 mA	5.68	5.8		5.63		5.60		
V _{OL}	Low Level Output Voltage	2.0	I _O = 20 μA		0.0	0.1		0.1		0.1	V
		4.5	I _O = 20 μA		0.0	0.1		0.1		0.1	
		6.0	I _O = 20 μA		0.0	0.1		0.1		0.1	
		4.5	I _O = 6.0 mA		0.17	0.26		0.33		0.40	
		6.0	I _O = 7.8 mA		0.18	0.26		0.33		0.40	
I _I	Input Leakage Current	6.0	V _I = V _{CC} or GND			± 0.1		± 1		± 1	μA
I _{OZ}	High Impedance Output Leakage Current	6.0	V _I = V _{IH} or V _{IL} V _O = V _{CC} or GND			± 0.5		± 5		± 10	μA
I _{CC}	Quiescent Supply Current	6.0	V _I = V _{CC} or GND			4		40		80	μA

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6ns)

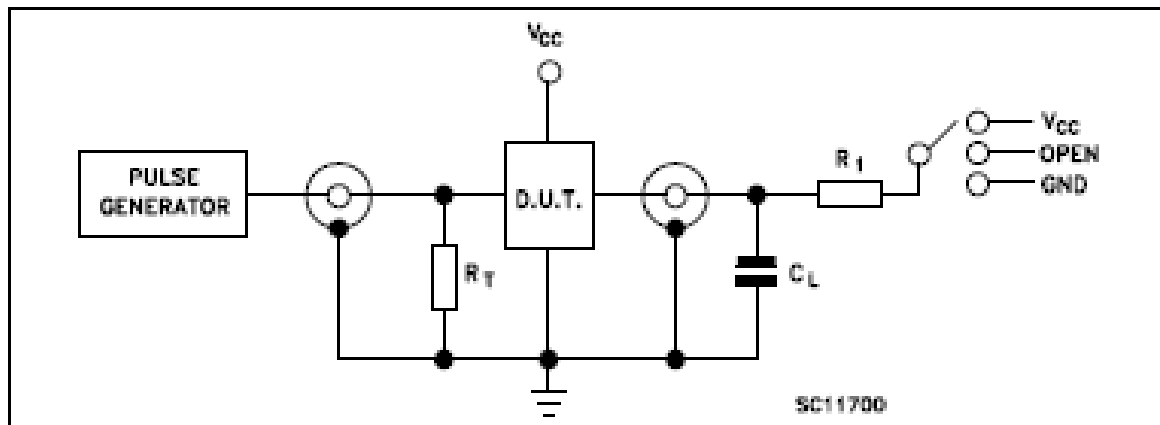
Symbol	Parameter	Test Condition		Value						Unit	
		V _{CC} (V)	C _L (pF)	T _A = 25°C			-40 to 85°C		-65 to 125°C		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
t _{TU} t _{THL}	Output Transition Time	2.0			25	60		75		90	ns
		4.5	50		7	12		15		18	
		6.0			6	10		13		15	
t _{PLH} t _{PHL}	Propagation Delay Time (LE - Q)	2.0			50	115		145		175	ns
		4.5	50		15	23		29		35	
		6.0			13	20		25		30	
		2.0			60	155		195		235	
		4.5	150		20	31		39		47	
		6.0			17	26		33		40	
t _{PLH} t _{PHL}	Propagation Delay Time (D - Q)	2.0			42	110		140		165	ns
		4.5	50		14	22		28		33	
		6.0			12	19		24		28	
		2.0			57	150		190		225	
		4.5	150		19	30		38		45	
		6.0			16	26		32		38	
t _{PZL} t _{PZH}	High Impedance Output Enable Time	2.0			55	140		175		210	ns
		4.5	50	R _L = 1 kΩ	17	28		35		42	
		6.0			14	24		30		36	
		2.0			66	180		225		270	
		4.5	150	R _L = 1 kΩ	22	36		45		54	
		6.0			19	31		38		46	
t _{PZL} t _{PZH}	High Impedance Output Disable Time	2.0			40	125		155		190	ns
		4.5	50	R _L = 1 kΩ	17	25		31		38	
		6.0			15	21		26		32	
t _{W(L)} t _{W(H)}	Minimum Pulse Width	2.0			40	75		95		110	ns
		4.5	50		8	15		19		22	
		6.0			7	13		16		19	
t _s	Minimum Set-up Time	2.0			16	50		65		75	ns
		4.5	50		5	10		13		15	
		6.0			3	9		11		13	
t _h	Minimum Hold Time	2.0				5		5		5	ns
		4.5	50			5		5		5	
		6.0				5		5		5	

CAPACITIVE CHARACTERISTICS

Symbol	Parameter	Test Condition			Value						Unit	
		V _{CC} (V)			T _A = 25°C			-40 to 85°C		-65 to 125°C		
			Min.	Typ.	Max.	Min.	Max.	Min.	Max.			
C _{IN}	Input Capacitance					5	10		10		10	pF
C _{OUT}	Output Capacitance					10						pF
C _{PD}	Power Dissipation Capacitance (note 1)					51						pF

1) C_{PD} is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load. (Refer to Test Circuit). Average operating current can be obtained by the following equation: I_{CC(OPER)} = C_{PD} × V_{CC} × f_{IN} + I_{CC}¹⁸ (per Flip Flop) and the C_{PD} when n pos of Flip Flop operate, can be gained by the following equation: C_{PD(TOTAL)} = 33 + 18 × n (pF)

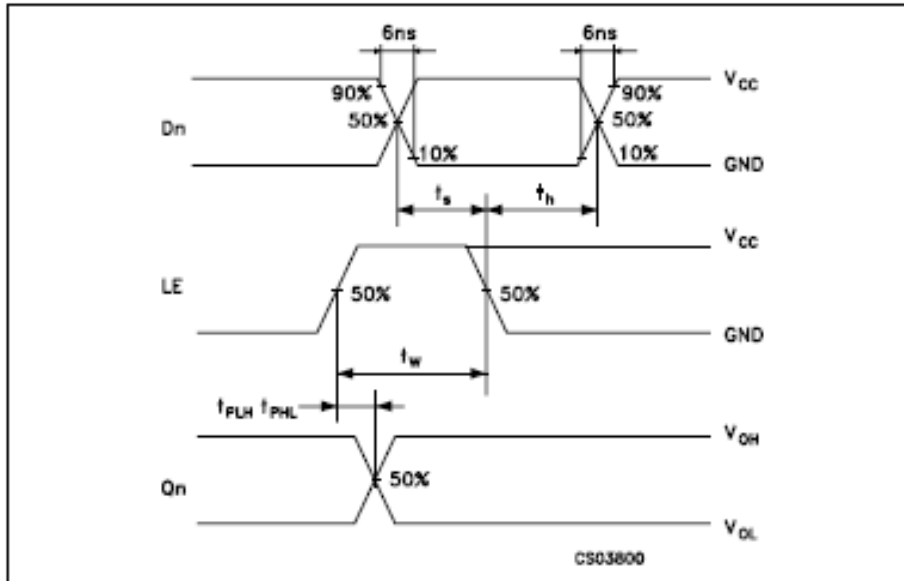
TEST CIRCUIT



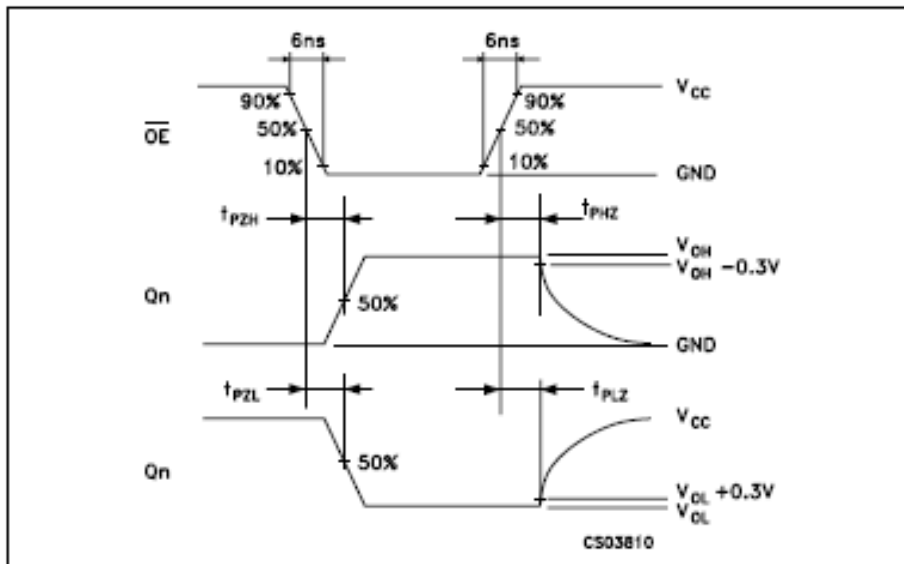
TEST	SWITCH
t _{PLH} , t _{FHL}	Open
t _{PZL} , t _{PLZ}	V _{CC}
t _{PZH} , t _{PHZ}	GND

C_L = 50pF/150pF or equivalent (includes jig and probe capacitance)
 R₁ = 1kΩ or equivalent
 R_T = Z_{OUT} of pulse generator (typically 50Ω)

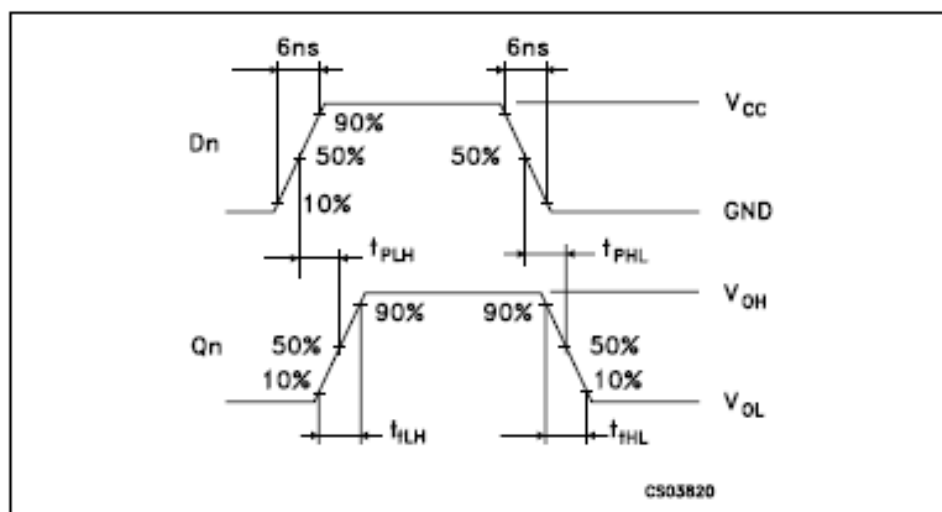
WAVEFORM 1: LE TO Qn PROPAGATION DELAYS, LE MINIMUM PULSE WIDTH, Dn TO LE SETUP AND HOLD TIMES (f=1MHz; 50% duty cycle)



WAVEFORM 2: OUTPUT ENABLE AND DISABLE TIMES (f=1MHz; 50% duty cycle)



WAVEFORM 3: PROPAGATION DELAY TIMES (f=1MHz; 50% duty cycle)



FINAL



Am27C256

256 Kilobit (32 K x 8-Bit) CMOS EPROM

DISTINCTIVE CHARACTERISTICS

- **Fast access time**
 - Speed options as fast as 45 ns
- **Low power consumption**
 - 20 μ A typical CMOS standby current
- **JEDEC-approved pinout**
- **Single +5 V power supply**
- **$\pm 10\%$ power supply tolerance standard**
- **100% Flashrite™ programming**
 - Typical programming time of 4 seconds
- **Latch-up protected to 100 mA from -1 V to $V_{CC} + 1$ V**
- **High noise immunity**
- **Versatile features for simple interfacing**
 - Both CMOS and TTL input/output compatibility
 - Two line control functions
- **Standard 28-pin DIP, PDIP, and 32-pin PLCC packages**

GENERAL DESCRIPTION

The Am27C256 is a 256-Kbit, ultraviolet erasable programmable read-only memory. It is organized as 32K words by 8 bits per word, operates from a single +5 V supply, has a static standby mode, and features fast single address location programming. Products are available in windowed ceramic DIP packages, as well as plastic one time programmable (OTP) PDIP and PLCC packages.

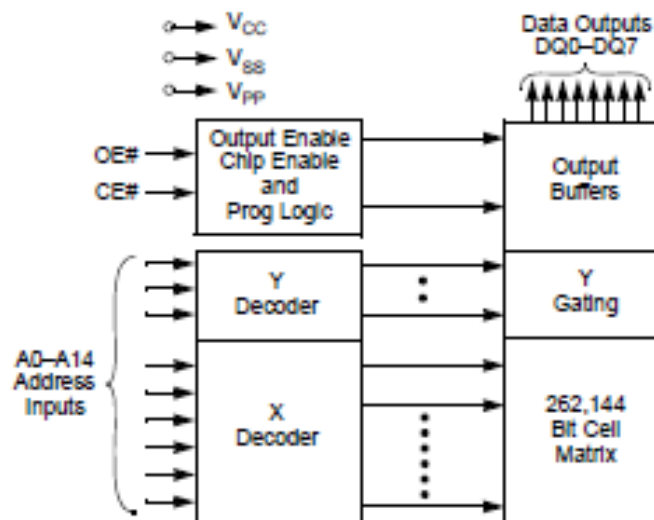
Data can be typically accessed in less than 55 ns, allowing high-performance microprocessors to operate without any WAIT states. The device offers separate Output Enable (OE#) and Chip Enable (CE#) controls,

thus eliminating bus contention in a multiple bus micro-processor system.

AMD's CMOS process technology provides high speed, low power, and high noise immunity. Typical power consumption is only 80 mW in active mode, and 100 μ W in standby mode.

All signals are TTL levels, including programming signals. Bit locations may be programmed singly, in blocks, or at random. The device supports AMD's Flashrite programming algorithm (100 μ s pulses), resulting in a typical programming time of 4 seconds.

BLOCK DIAGRAM



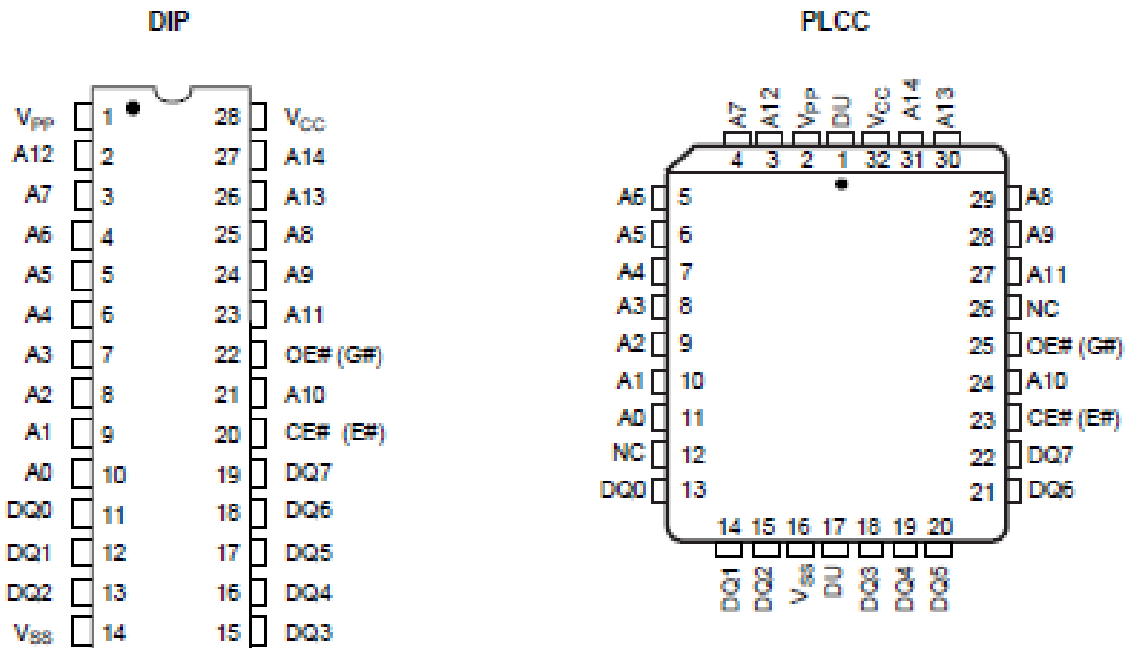
080071-1

PRODUCT SELECTOR GUIDE

Family Part Number		Am27C256							
Speed Options	$V_{CC} = 5.0 V \pm 5\%$								-255
	$V_{CC} = 5.0 V \pm 10\%$	-45	-55	-70	-90	-120	-150	-200	
Max Access Time (ns)		45	55	70	90	120	150	200	250
CE# (E#) Access (ns)		45	55	70	90	120	150	200	250
OE# (G#) Access (ns)		30	35	40	40	50	50	50	50

CONNECTION DIAGRAMS

Top View



080071-2

080071-3

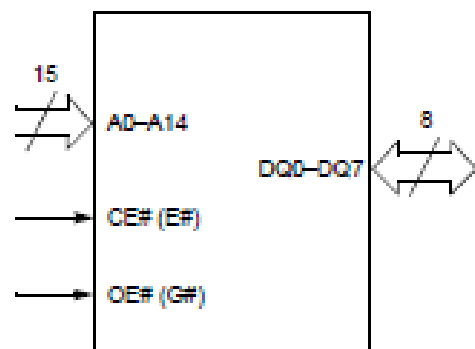
Notes:

1. JEDEC nomenclature is in parenthesis.
2. Don't use (DU) for PLCC.

PIN DESIGNATIONS

- A0-A14 = Address Inputs
- CE# (E#) = Chip Enable Input
- DQ0-DQ7 = Data Input/Outputs
- OE# (G#) = Output Enable Input
- V_{CC} = V_{CC} Supply Voltage
- V_{PP} = Program Voltage Input
- V_{SS} = Ground
- NC = No Internal Connection

LOGIC SYMBOL

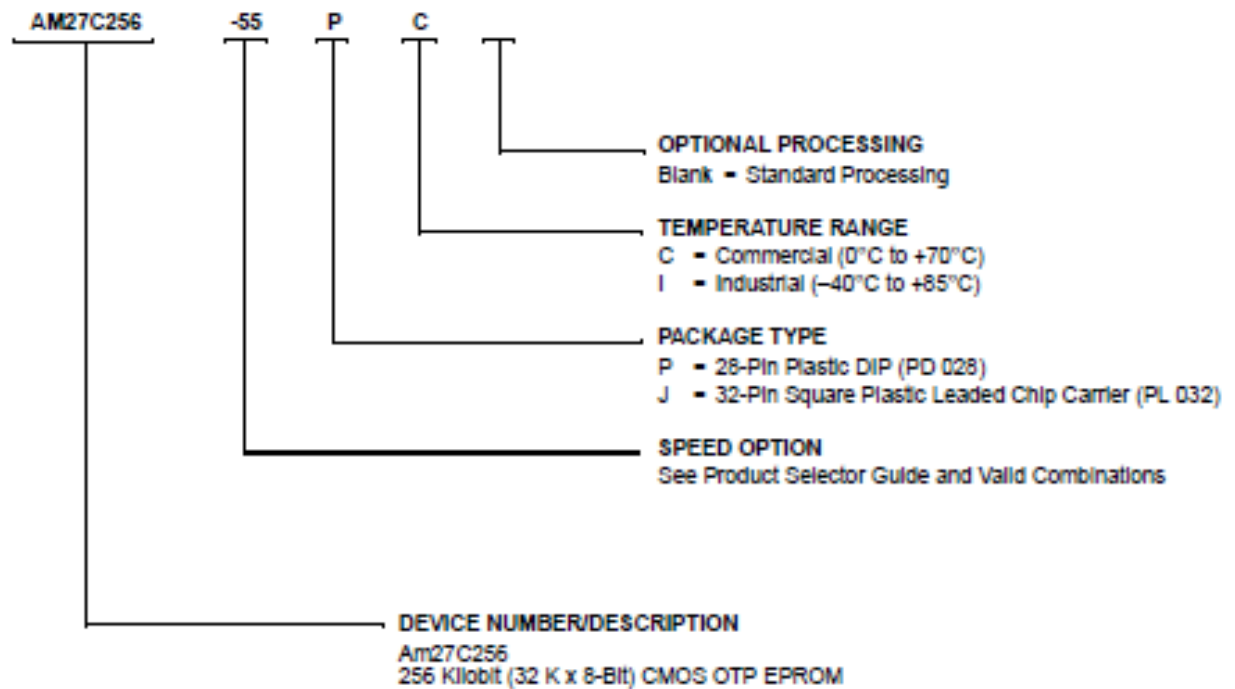


080071-4

ORDERING INFORMATION

OTP EPROM Products

AMD standard products are available in several packages and operating ranges. The order number (Valid Combination) is formed by a combination of the following:



Valid Combinations	
AM27C256-55	JC, PC
AM27C256-70	JC, PC, JI, PI
AM27C256-90	
AM27C256-120	
AM27C256-150	
AM27C256-200	
AM27C256-255	

Valid Combinations

Valid Combinations list configurations planned to be supported in volume for this device. Consult the local AMD sales office to confirm availability of specific valid combinations and to check on newly released combinations.

FUNCTIONAL DESCRIPTION

Device Erasure

In order to clear all locations of their programmed contents, the device must be exposed to an ultraviolet light source. A dosage of 15 W seconds/cm² is required to completely erase the device. This dosage can be obtained by exposure to an ultraviolet lamp—wavelength of 2537 Å—with intensity of 12,000 μW/cm² for 15 to 20 minutes. The device should be directly under and about one inch from the source, and all filters should be removed from the UV light source prior to erasure.

Note that all UV erasable devices will erase with light sources having wavelengths shorter than 4000 Å, such as fluorescent light and sunlight. Although the erasure process happens over a much longer time period, exposure to any light source should be prevented for maximum system reliability. Simply cover the package window with an opaque label or substance.

Device Programming

Upon delivery, or after each erasure, the device has all of its bits in the "ONE", or HIGH state. "ZEROS" are loaded into the device through the programming procedure.

The device enters the programming mode when 12.75 V ± 0.25 V is applied to the V_{PP} pin, OE# is at V_{IH} and CE# is at V_{IL}.

For programming, the data to be programmed is applied 8 bits in parallel to the data pins.

The flowchart in the Programming section of the EPROM Products Data Book (Section 5, Figure 5-1) shows AMD's Flashrite algorithm. The Flashrite algorithm reduces programming time by using a 100 μs programming pulse and by giving each address only as many pulses to reliably program the data. After each pulse is applied to a given address, the data in that address is verified. If the data does not verify, additional pulses are given until it verifies or the maximum pulses allowed is reached. This process is repeated while sequencing through each address of the device. This part of the algorithm is done at V_{CC} = 6.25 V to assure that each EPROM bit is programmed to a sufficiently high threshold voltage. After the final address is completed, the entire EPROM memory is verified at V_{CC} = V_{PP} = 5.25 V.

Please refer to Section 5 of the EPROM Products Data Book for additional programming information and specifications.

Program Inhibit

Programming different data to multiple devices in parallel is easily accomplished. Except for CE#, all like inputs of the devices may be common. A TTL low-level program pulse applied to one device's CE# input with

V_{PP} = 12.75 V ± 0.25 V and OE# HIGH will program that particular device. A high-level CE# input inhibits the other devices from being programmed.

Program Verify

A verification should be performed on the programmed bits to determine that they were correctly programmed. The verify should be performed with OE# at V_{IL}, CE# at V_{IH}, and V_{PP} between 12.5 V and 13.0 V.

Autoselect Mode

The autoselect mode provides manufacturer and device identification through identifier codes on DQ0–DQ7. This mode is primarily intended for programming equipment to automatically match a device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range that is required when programming the device.

To activate this mode, the programming equipment must force V_H on address line A9. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 from V_{IL} to V_{IH} (that is, changing the address from 00h to 01h). All other address lines must be held at V_{IL} during the autoselect mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code, and Byte 1 (A0 = V_{IH}), the device identifier code. Both codes have odd parity, with DQ7 as the parity bit.

Read Mode

To obtain data at the device outputs, Chip Enable (CE#) and Output Enable (OE#) must be driven low. CE# controls the power to the device and is typically used to select the device. OE# enables the device to output data, independent of device selection. Addresses must be stable for at least t_{ACC}–t_{OE}. Refer to the Switching Waveforms section for the timing diagram.

Standby Mode

The device enters the CMOS standby mode when CE# is at V_{CC} ± 0.3 V. Maximum V_{CC} current is reduced to 100 μA. The device enters the TTL-standby mode when CE# is at V_{IH}. Maximum V_{CC} current is reduced to 1.0 mA. When in either standby mode, the device places its outputs in a high-impedance state, independent of the OE# input.

Output OR-Tieing

To accommodate multiple memory connections, a two-line control function provides:

- Low memory power dissipation, and
- Assurance that output bus contention will not occur.

CE# should be decoded and used as the primary device-selecting function, while OE# be made a common

connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low-power standby mode and that the output pins are only active when data is desired from a particular memory device.

System Applications

During the switch between active and standby conditions, transient current peaks are produced on the rising and falling edges of Chip Enable. The magnitude of

these transient current peaks is dependent on the output capacitance loading of the device. At a minimum, a 0.1 μF ceramic capacitor (high frequency, low inherent inductance) should be used on each device between V_{CC} and V_{SS} to minimize transient effects. In addition, to overcome the voltage drop caused by the inductive effects of the printed circuit board traces on EPROM arrays, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and V_{SS} for each eight devices. The location of the capacitor should be close to where the power supply is connected to the array.

MODE SELECT TABLE

Mode	CE#	OE#	A0	A9	V_{PP}	Outputs
Read	V_{IL}	V_{IL}	X	X	X	D_{OUT}
Output Disable	X	V_{IH}	X	X	X	High Z
Standby (TTL)	V_{IH}	X	X	X	X	High Z
Standby (CMOS)	$V_{\text{CC}} \pm 0.3 \text{ V}$	X	X	X	X	High Z
Program	V_{IL}	X	X	X	V_{PP}	D_{IN}
Program Verify	V_{IL}	V_{IL}	X	X	V_{PP}	D_{OUT}
Program Inhibit	V_{IH}	V_{IH}	X	X	V_{PP}	High Z
Autoselect (Note 3)	Manufacturer Code	V_{IL}	V_{IL}	V_{H}	X	01h
	Device Code	V_{IL}	V_{IL}	V_{H}	X	10h

Notes:

- $V_{\text{H}} = 12.0 \text{ V} \pm 0.5 \text{ V}$.
- X = Either V_{IH} or V_{IL} .
- A1–A8 and A10–14 = V_{IL} .
- See DC Programming Characteristics for V_{PP} voltage during programming.

ABSOLUTE MAXIMUM RATINGS

Storage Temperature
 OTP Products -65°C to $+125^{\circ}\text{C}$
 All Other Products -65°C to $+150^{\circ}\text{C}$
 Ambient Temperature
 with Power Applied -55°C to $+125^{\circ}\text{C}$
 Voltage with Respect to V_{SS}
 All pins except A0, V_{PP} , V_{CC} .. -0.6 V to $V_{\text{CC}} + 0.6 \text{ V}$
 A9 and V_{PP} (Note 2) -0.6 V to 13.5 V
 V_{CC} (Note 1) -0.6 V to 7.0 V

Notes:

- Minimum DC voltage on input or I/O pins -0.5 V . During voltage transitions, the input may overshoot V_{SS} to -2.0 V for periods of up to 20 ns. Maximum DC voltage on input and I/O pins is $V_{\text{CC}} + 5 \text{ V}$. During voltage transitions, input and I/O pins may overshoot to $V_{\text{CC}} + 2.0 \text{ V}$ for periods up to 20 ns.
- Minimum DC input voltage on A9 is -0.5 V . During voltage transitions, A9 and V_{PP} may overshoot V_{SS} to -2.0 V for periods of up to 20 ns. A9 and V_{PP} must not exceed $+13.5 \text{ V}$ at any time.

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure of the device to absolute maximum ratings for extended periods may affect device reliability.

OPERATING RANGES

Commercial (C) Devices
 Ambient Temperature (T_{A}) 0°C to $+70^{\circ}\text{C}$
 Industrial (I) Devices
 Ambient Temperature (T_{A}) -40°C to $+85^{\circ}\text{C}$
 Extended (E) Devices
 Ambient Temperature (T_{A}) -55°C to $+125^{\circ}\text{C}$
 Supply Read Voltages
 V_{CC} for $\pm 5\%$ devices $+4.75 \text{ V}$ to $+5.25 \text{ V}$
 V_{CC} for $\pm 10\%$ devices $+4.50 \text{ V}$ to $+5.50 \text{ V}$
 Operating ranges define those limits between which the functionality of the device is guaranteed.

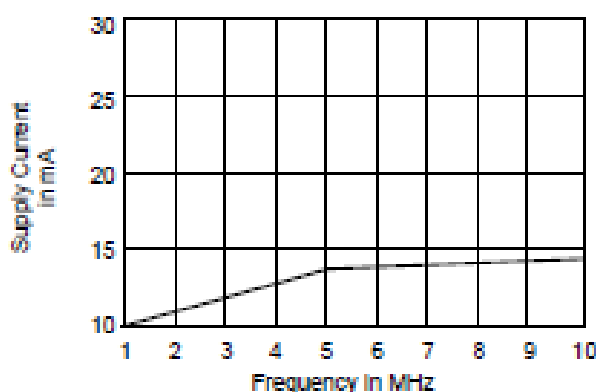
DC CHARACTERISTICS over operating range (unless otherwise specified)

Parameter Symbol	Parameter Description	Test Conditions	Min	Max	Unit
V_{OH}	Output HIGH Voltage	$I_{OH} = -400 \mu A$	2.4		V
V_{OL}	Output LOW Voltage	$I_{OL} = 2.1 \text{ mA}$		0.45	V
V_{IH}	Input HIGH Voltage		2.0	$V_{CC} + 0.5$	V
V_{IL}	Input LOW Voltage		-0.5	+0.8	V
I_{II}	Input Load Current	$V_{IN} = 0 \text{ V to } V_{CC}$		1.0	μA
I_{LO}	Output Leakage Current	$V_{OUT} = 0 \text{ V to } V_{CC}$	CII Devices	1.0	μA
			E Devices	5.0	
I_{CC1}	V_{CC} Active Current (Note 2)	$OE\# = V_{IL}, f = 10 \text{ MHz}, I_{OUT} = 0 \text{ mA}$		25	mA
I_{CC2}	V_{CC} TTL Standby Current	$OE\# = V_{IH}$		1.0	mA
I_{CC3}	V_{CC} CMOS Standby Current	$OE\# = V_{CC} + 0.3 \text{ V}$		100	μA
I_{PP1}	V_{PP} Supply Current (Read)	$OE\# = OE\# = V_{IL}, V_{PP} = V_{CC}$		100	μA

Caution: The device must not be removed from (or inserted into) a socket when V_{CC} or V_{PP} is applied.

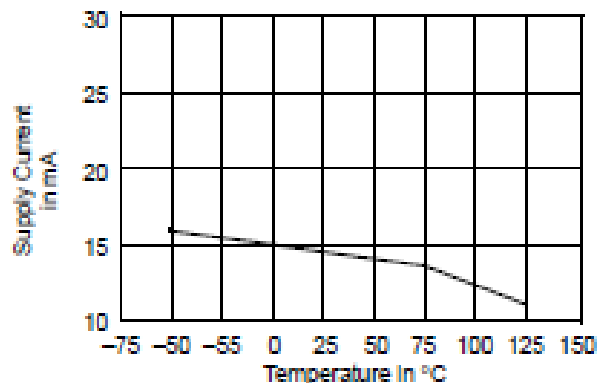
Notes:

- V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP} .
- I_{CC1} is tested with $OE\# = V_{IH}$ to simulate open outputs.
- Minimum DC input voltage is -0.5 V. During transitions, the inputs may overshoot to -2.0 V for periods less than 20 ns. Maximum DC voltage on output pins is $V_{CC} + 0.5 \text{ V}$, which may overshoot to $V_{CC} + 2.0 \text{ V}$ for periods less than 20 ns.



080071-5

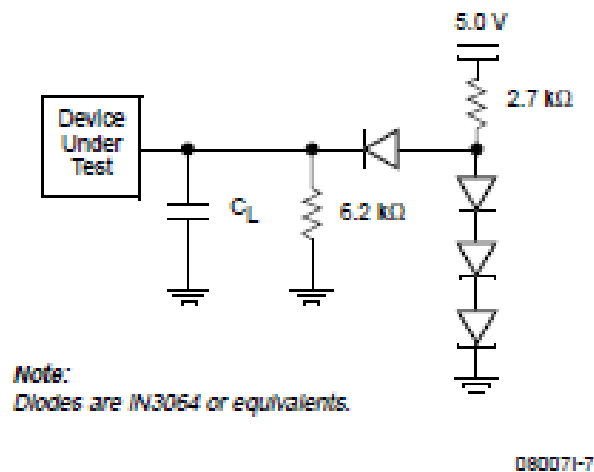
Figure 1. Typical Supply Current vs. Frequency
 $V_{CC} = 5.5 \text{ V}, T = 25^\circ \text{C}$



080071-6

Figure 2. Typical Supply Current vs. Temperature
 $V_{CC} = 5.5 \text{ V}, f = 10 \text{ MHz}$

TEST CONDITIONS



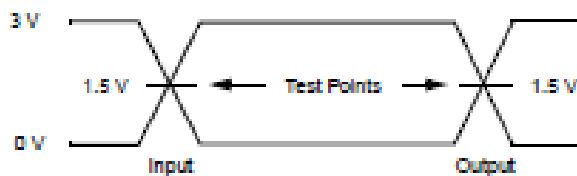
Note:
Diodes are 1N3064 or equivalents.

Figure 3. Test Setup

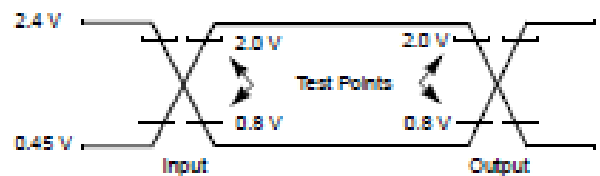
Table 1. Test Specifications

Test Condition	-45, -55 and -70	All others	Unit
Output Load	1 TTL gate		
Output Load Capacitance, C_L (including jig capacitance)	30	100	pF
Input Rise and Fall Times	≤ 20		ns
Input Pulse Levels	0.0–3.0	0.45–2.4	V
Input timing measurement reference levels	1.5	0.8, 2.0	V
Output timing measurement reference levels	1.5	0.8, 2.0	V

SWITCHING TEST WAVEFORM



Note: For $C_L = 30$ pF.



Note: For $C_L = 100$ pF.

080071-8

KEY TO SWITCHING WAVEFORMS

WAVEFORM	INPUTS	OUTPUTS
		Steady
		Changing from H to L
		Changing from L to H
	Don't Care, Any Change Permitted	Changing, State Unknown
	Does Not Apply	Center Line is High Impedance State (High Z)

KS000010-FAL

AC CHARACTERISTICS

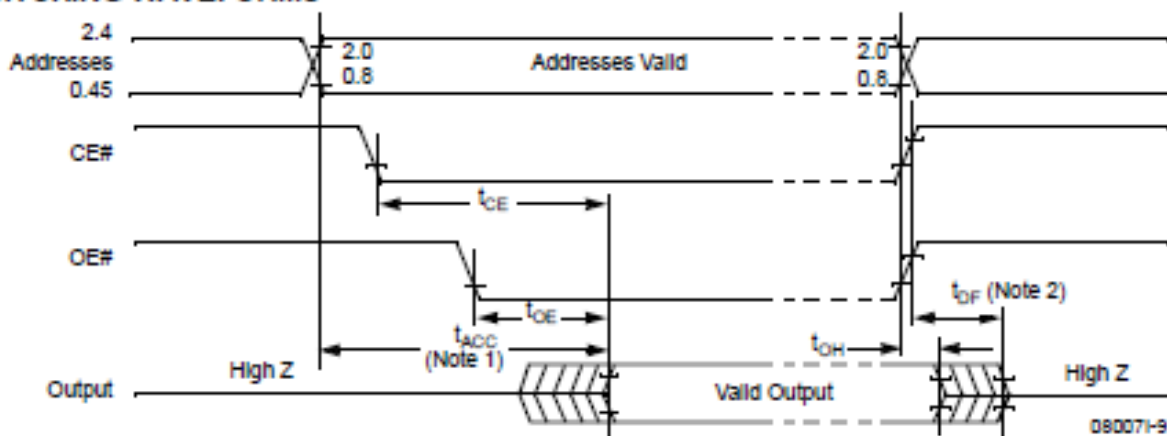
Parameter Symbols		Description	Test Setup	Am27C256									Unit
JEDEC	Standard			-45	-55	-70	-90	-120	-150	-200	-255		
t_{AVOQ}	t_{ACC}	Address to Output Delay	CE#, OE# = V_{IL}	Max	45	55	70	90	120	150	200	250	ns
t_{ELOV}	t_{CE}	Chip Enable to Output Delay	OE# = V_{IL}	Max	45	55	70	90	120	150	200	250	ns
t_{OLOV}	t_{OE}	Output Enable to Output Delay	CE# = V_{IL}	Max	30	35	40	40	50	50	50	50	ns
t_{EHQZ} t_{OHQZ}	t_{DF} (Note 2)	Chip Enable High or Output Enable High to Output High Z, Whichever Occurs First		Max	25	25	25	25	30	30	30	30	ns
t_{AXQX}	t_{OH}	Output Hold Time from Addresses, CE# or OE#, Whichever Occurs First		Min	0	0	0	0	0	0	0	0	ns

Caution: Do not remove the device from (or insert it into) a socket or board that has V_{PP} or V_{CC} applied.

Notes:

- V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}
- This parameter is sampled and not 100% tested.
- Switching characteristics are over operating range, unless otherwise specified.
- See Figure 3 and Table 1 for test specifications.

SWITCHING WAVEFORMS



Notes:

- OE# may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of the addresses without impact on t_{ACC} .
- t_{DF} is specified from OE# or CE#, whichever occurs first.

PACKAGE CAPACITANCE

Parameter Symbol	Parameter Description	Test Conditions	CDV028		PL 032		PD 028		Unit
			Typ	Max	Typ	Max	Typ	Max	
C_{IN}	Input Capacitance	$V_{IN} = 0$	8	12	8	12	6	10	pF
C_{OUT}	Output Capacitance	$V_{OUT} = 0$	8	12	8	12	8	10	pF

Notes:

- This parameter is only sampled and not 100% tested.
- $T_A = +25^\circ C, f = 1 MHz.$



T-46-23-14
UM62256 Series

32Kx8 CMOS SRAM

Features

- Single +5 volt power supply
- Access times: 100/120/150 ns (max.)
- Current:
 - Standard version: Operating: 70 mA (max.)
Standby: 2 mA (max.)
 - Low power version: Operating: 70 mA (max.)
Standby: 100 µA (max.)

- Fully static operation, no clock or refreshing required
- Directly TTL compatible: All inputs and outputs
- Common I/O using three-state output.
- Data retention voltage: 2V (min.) for low power version
- Available in 28 pin DIP or SOP packages (See ordering information)



General Description

The UM62256 is a high-speed, low-power 262,144-bit static random access memory organized as 32,768 words by 8 bits and operates on a single 5-volt power supply. It is built using UMC's high performance CMOS process.

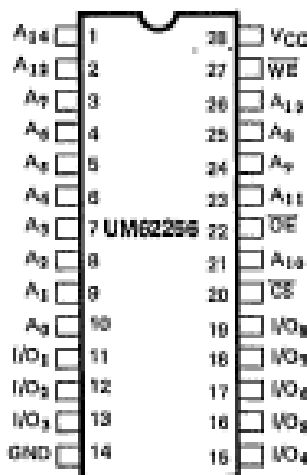
Inputs and three-state outputs are TTL compatible and allow for direct interfacing with common system bus structures.

structures.

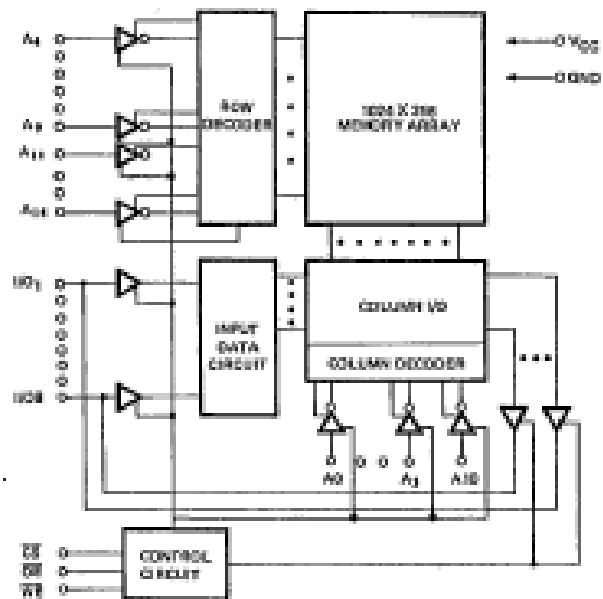
Minimum standby power is drawn by this device when CS is at a high level, independent of the other input levels.

Data retention is guaranteed at a power supply voltage as low as 2V for the low power version.

Pin Configuration



Block Diagram



Pin Description

Designation	Description
A ₀ - A ₁₄	Address Input
WE	Write Enable
OE	Output Enable
CS	Chip Select
I/O ₁ - I/O ₈	Data Input/Output
V _{CC}	Power Supply (+5V)
GND	Ground

Recommended DC Operating Conditions

(T_A = 0°C to +70°C)

Symbol	Parameter	Min.	Typ.	Max.	Unit
V _{CC}	Supply Voltage	4.5	5.0	5.5	V
GND	Ground	0	0	0	V
V _{IH}	Input High Voltage	2.2	3.5	V _{CC} + 0.5V	V
V _{IL}	Input Low Voltage	-0.3	0	+0.8	V
C _L	Output Load	-	-	100	pF
TTL	Output Load	-	-	1	-

Absolute Maximum Ratings*

V_{CC} to GND -0.5V to +7.0V
 IN, IN/OUT Volt to GND -0.5V to V_{CC} +0.5V
 Operating Temperature, T_{OP} 0°C to +70°C
 Storage Temperature, T_{stg} -65°C to +125°C
 Temperature Under Bias, T_{bias} -10°C to +85°C
 Power Dissipation, P_T 1.0W/SOP 0.7W
 Soldering Temp. & Time 205°C, 10 sec

***Comments**

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only. Functional operation of this device at these or any other conditions above those indicated in the operational sections of this specification is not implied and exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Electrical Characteristics (T_A = 0°C to +70°C, V_{CC} = 5V ± 10%, GND = 0V)

Symbol	Parameter	UM62256-10/ 12/15		UM62256-10L/ 12L/15L		Unit	Test Conditions
		Min.	Max.	Min.	Max.		
I _{I(L)}	Input Leakage Current	-	2	-	2	μA	V _{IH} = GND to V _{CC}
I _{I(O)}	Output Leakage Current	-	2	-	2	μA	CS = V _{IH} or OE = V _{IH} or WE = V _{IL} V _{I/O} = GND to V _{CC}
I _{CC}	Active Power Supply Current	-	70	-	70	mA	CS = V _{IL} , I _{I/O} = 0 mA
I _{CC1}	Dynamic Operating Current	-	70	-	70	mA	Min. Cycle, Duty = 100% CS = V _{IL} , I _{I/O} = 0 mA
I _{ss}	Standby Power Supply Current	-	5	-	3	mA	CS = V _{IH}
I _{ss1}		-	2	-	0.1	mA	CS ≥ V _{CC} - 0.2, V _{IH} ≥ V _{CC} - 0.2V or V _{IH} ≤ 0.2V
V _{OL}	Output Low Voltage	-	0.4	-	0.4	V	I _{OL} = 4 mA
V _{OH}	Output High Voltage	2.4	-	2.4	-	V	I _{OH} = -1.0 mA

Truth Table

Mode	CS	OE	WE	I/O Operation	Supply Current
Standby	H	X	X	High Z	I_{SB}, I_{SB1}
Output Disable	L	H	H	High Z	I_{OD}, I_{OD1}
Read	L	L	H	D_{OUT}	I_{CC}, I_{CC1}
Write	L	X	L	D_{IN}	I_{CC}, I_{CC1}

Note: X: H or L

Capacitance ($T_A = 25^\circ\text{C}$, $f = 1.0\text{ MHz}$)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
C_{IN}^*	Input Capacitance		6	pF	$V_{IN} = 0V$
$C_{I/O}^*$	Input/Output Capacitance		8	pF	$V_{I/O} = 0V$

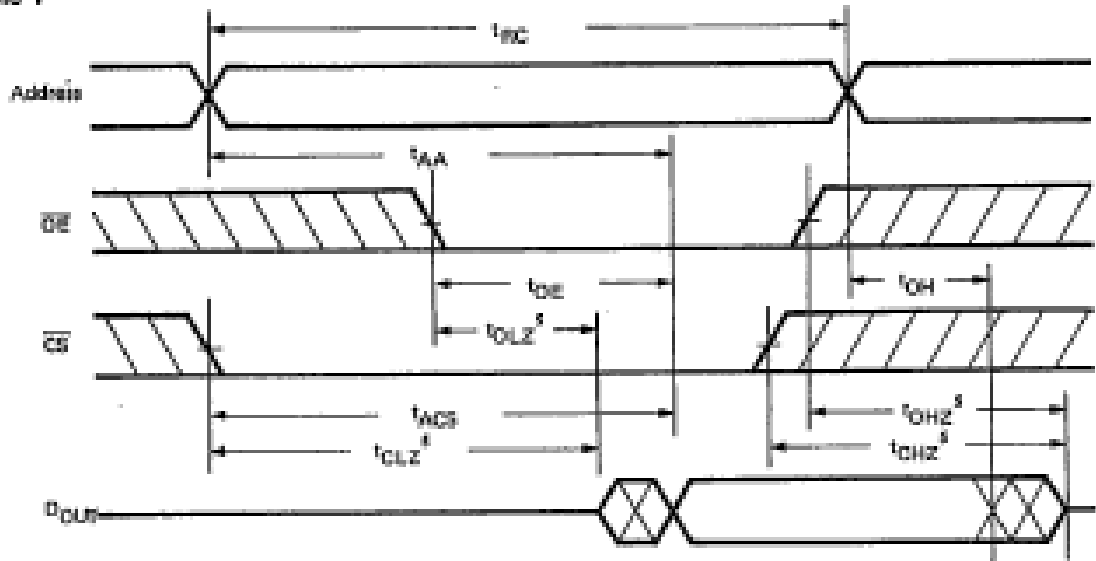
* This parameter is sampled and not 100% tested.

AC Characteristics ($T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{CC} = 5V \pm 10\%$)

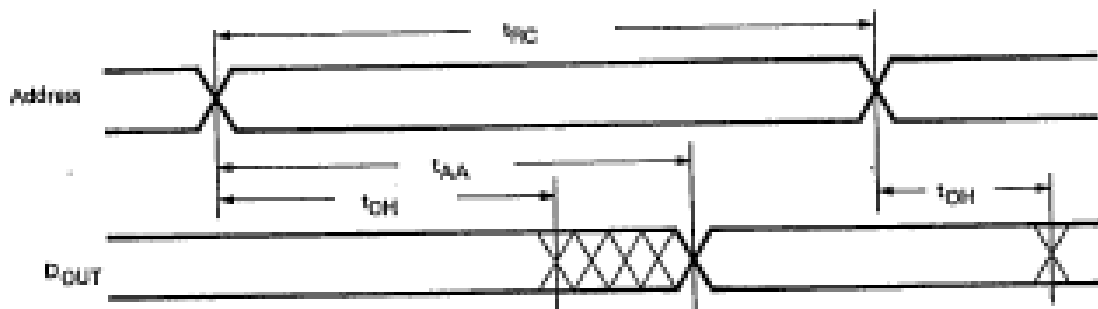
Symbol	Parameter	UM62256-10 UM62256-10L		UM62256-12 UM62256-12L		UM62256-15 UM62256-15L		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	
Read Cycle								
t_{RC}	Read Cycle Time	100	—	120	—	150	—	ns
t_{AA}	Address Access Time	—	100	—	120	—	150	ns
t_{ACS}	Chip Select Access Time	—	100	—	120	—	150	ns
t_{OE}	Output Enable to Output Valid	—	50	—	60	—	70	ns
t_{OLZ}	Chip Selection to Output in Low Z	10	—	10	—	10	—	ns
t_{OLZ}	Output Enable to Output in Low Z	5	—	5	—	5	—	ns
t_{CHZ}	Chip Deselection to Output in High Z	0	35	0	40	0	50	ns
t_{OHZ}	Output Disable to Output in High Z	0	35	0	40	0	50	ns
t_{OH}	Output Hold from Address Change	10	—	10	—	10	—	ns
Write Cycle								
t_{WC}	Write Cycle Time	100	—	120	—	150	—	ns
t_{CW}	Chip Selection to End of Write	80	—	85	—	100	—	ns
t_{AS}	Address Set up Time	0	—	0	—	0	—	ns
t_{AW}	Address Valid to End of Write	80	—	85	—	100	—	ns
t_{WP}	Write Pulse Width	60	—	70	—	90	—	ns
t_{WR}	Write Recovery Time	0	—	0	—	0	—	ns
t_{WHZ}	Write to Output in High Z	0	35	0	40	0	50	ns
t_{OW}	Data to Write Time Overlap	40	—	50	—	60	—	ns
t_{OH}	Data Hold from Write Time	0	—	0	—	0	—	ns
t_{OHZ}	Output Disable to Output in High Z	0	35	0	40	0	50	ns
t_{OW}	Output Active from End of Write	10	—	10	—	10	—	ns

Timing Waveforms

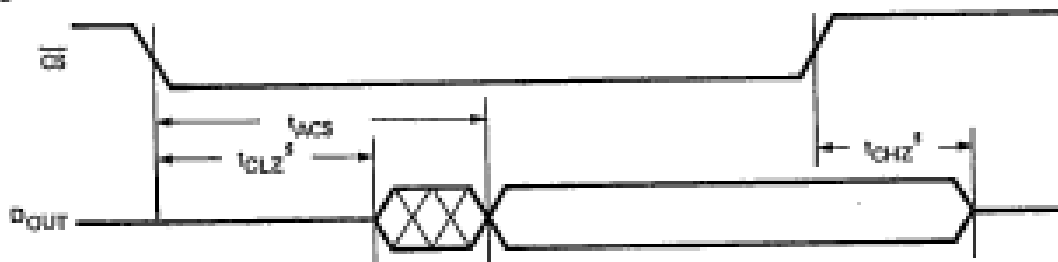
Read Cycle 1⁽¹⁾



Read Cycle 2^(1, 2, 4)



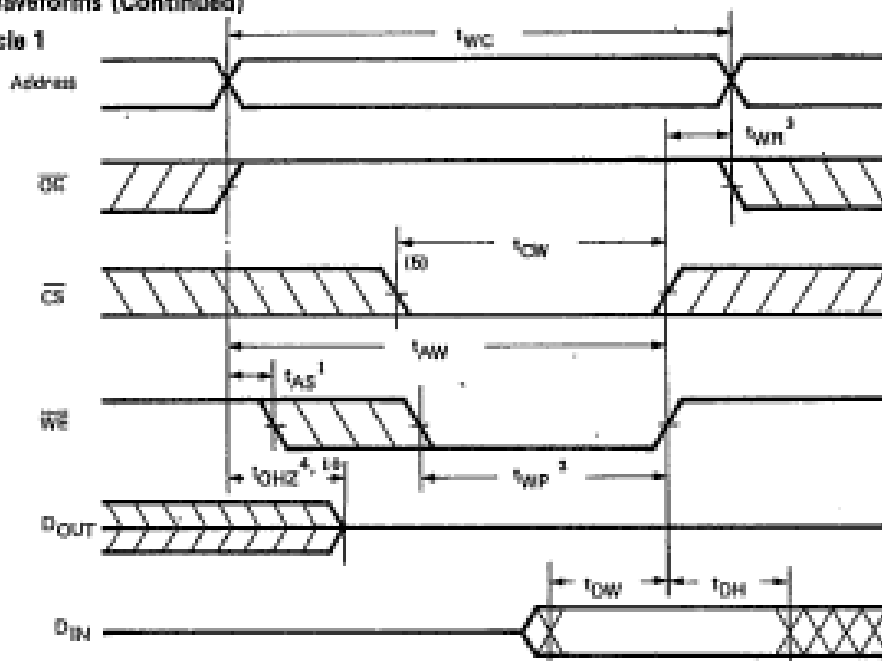
Read Cycle 3^(1, 3, 4)



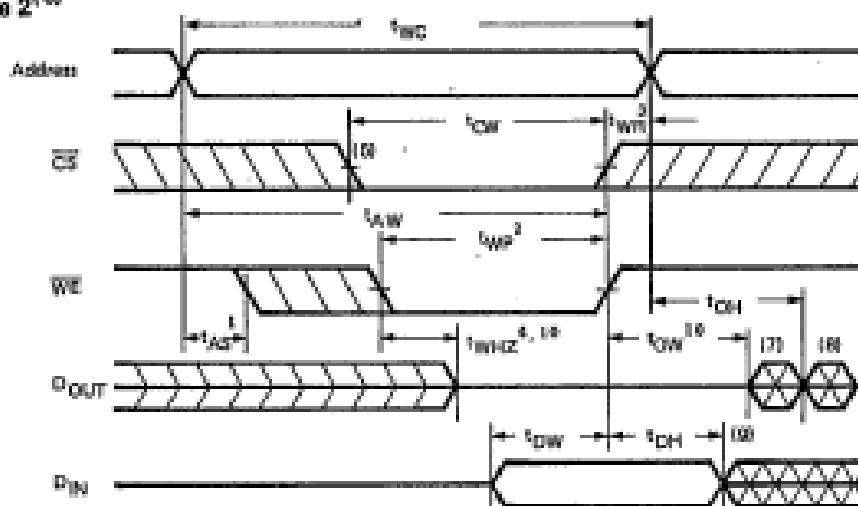
- Notes:
1. \overline{WE} is High for Read Cycle.
 2. Device is continuously selected, $\overline{CS} = V_{IL}$.
 3. Address valid prior to or coincident with \overline{CS} transition low.
 4. $\overline{OE} = V_{IL}$.
 5. Transition is measured $\pm 800mV$ from steady state. This parameter is sampled and not 100% tested.

Timing Waveforms (Continued)

Write Cycle 1



Write Cycle 2⁽⁶⁾



- Notes:
1. t_{AS} is measured from the address valid to the beginning of write.
 2. A write occurs during the overlap [t_{WP}] of a low CS and a low WE.
 3. t_{WH} is measured from the earlier of CS or WE going high to the end of write cycle.
 4. During this period, I/O pins are in the output state so that the input signals of opposite phase to the outputs must not be applied.
 5. If the CS low transition occurs simultaneously with the WE low transition or after the WE transition, outputs remain in a high impedance state.
 6. OE is continuously low (OE = V_{IL}).
 7. DOUT is the same phase of write data of this write cycle.
 8. DOUT is the read data of next address.
 9. If CS is low during this period, I/O pins are in the output state. Data input signals of opposite phase to the outputs must not be applied to I/O pins.
 10. Transition is measured $\pm 500mV$ from steady state. This parameter is sampled and not 100% tested.

AC Test Conditions

Input Pulse Levels	0.8V to 2.2V
Input Rise and Fall Times	5 ns
Input and Output Timing Reference Levels	1.5V
Output Load	See Fig. 1, 2

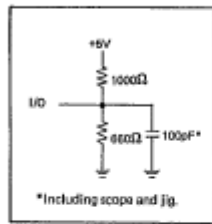


Figure 1. Output Load

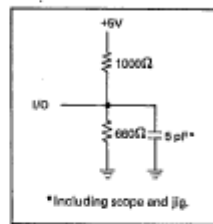


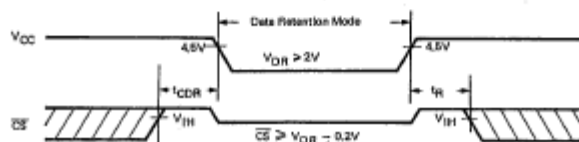
Figure 2. Output Load for t_{OLZ} , t_{CHZ} , t_{OHZ} , t_{WHZ} and t_{OW}

Data Retention Characteristics ($T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$; L version only)

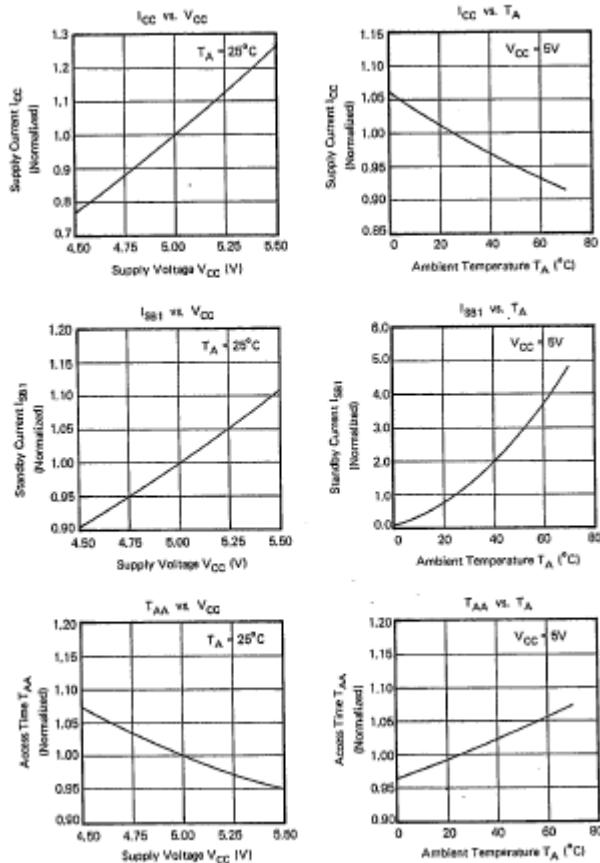
Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{DR}	V_{CC} for Data Retention	2.0	5.5	V	$\overline{CS} \geq V_{CC} - 0.2\text{V}$
I_{CCDR}	Data Retention Current	—	50	μA	$V_{CC} = 3.0\text{V}$, $\overline{CS} \geq V_{CC} - 0.2\text{V}$ $V_{IN} \geq V_{CC} - 0.2\text{V}$ or $V_{IN} \leq 0.2\text{V}$
t_{CDR}	Chip Deselect to Data Retention Time	0	—	ns	See Retention
t_R	Operation Recovery Time	t_{RC}^*	—	ns	Waveform

* t_{RC} = Read Cycle Time

Timing Waveform Low V_{CC} Data Retention Waveform



Characteristic Curves



Ordering Information

Part No.	Access Time (ns)	Operating Current Max. (mA)	Standby Current Max. (mA)	Package
UM62256-10	100 ns	70	2	28L DIP
UM62256-10L	100 ns	70	0.1	28L DIP
UM62256M-10	100 ns	70	2	28L SOP
UM62256M-10L	100 ns	70	0.1	28L SOP
UM62256-12	120 ns	70	2	28L DIP
UM62256-12L	120 ns	70	0.1	28L DIP
UM62256M-12	120 ns	70	2	28L SOP
UM62256M-12L	120 ns	70	0.1	28L SOP
UM62256-15	150 ns	70	2	28L DIP
UM62256-15L	150 ns	70	0.1	28L DIP
UM62256M-15	150 ns	70	2	28L SOP
UM62256M-15L	150 ns	70	0.1	28L SOP

Philips Semiconductors

Product specification

Schottky barrier diode

BAT85

FEATURES

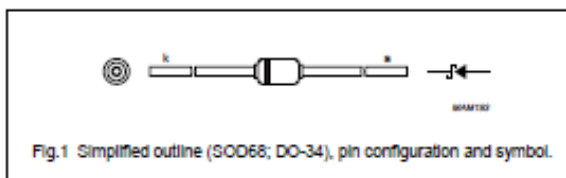
- Low forward voltage
- Guard ring protected
- Hermetically-sealed leaded glass package.

APPLICATIONS

- Ultra high-speed switching
- Voltage clamping
- Protection circuits
- Blocking diodes.

DESCRIPTION

Planar Schottky barrier diode with an integrated protection ring against static discharges, encapsulated in a hermetically-sealed subminiature SOD68 (DO-34) package. The diode is suitable for mounting on a 2 E (5.08 mm) pitch.



LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{R}	continuous reverse voltage		-	30	V
I_F	continuous forward current		-	200	mA
$I_{F(AV)}$	average forward current	PCB mounting, lead length = 4 mm; $V_{R(MM)} = 25$ V; $\alpha = 1.57$; $\delta = 0.5$; $T_{amb} = 50$ °C; see Fig.2	-	200	mA
$I_{F(RM)}$	repetitive peak forward current	$t_p \leq 1$ s; $\delta \leq 0.5$	-	300	mA
$I_{F(SM)}$	non-repetitive peak forward current	$t_p \leq 10$ ms	-	5	A
T_{stg}	storage temperature		-65	+150	°C
T_J	junction temperature		-	125	°C
T_{amb}	operating ambient temperature		-65	+125	°C

Schottky barrier diode

BAT85

ELECTRICAL CHARACTERISTICS

$T_{amb} = 25$ °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MAX.	UNIT
V_F	forward voltage	see Fig.3 $I_F = 0.1$ mA $I_F = 1$ mA $I_F = 10$ mA $I_F = 30$ mA $I_F = 100$ mA	240 320 400 500 600	mV mV mV mV mV
I_R	reverse current	$V_R = 25$ V; see Fig.4	2	μ A
t_{rr}	reverse recovery time	when switched from $I_F = 10$ mA to $I_R = 10$ mA; $R_L = 100$ Ω ; measured at $I_R = 1$ mA; see Fig.6	4	ns
C_d	diode capacitance	$f = 1$ MHz; $V_R = 1$ V; see Fig.5	10	pF

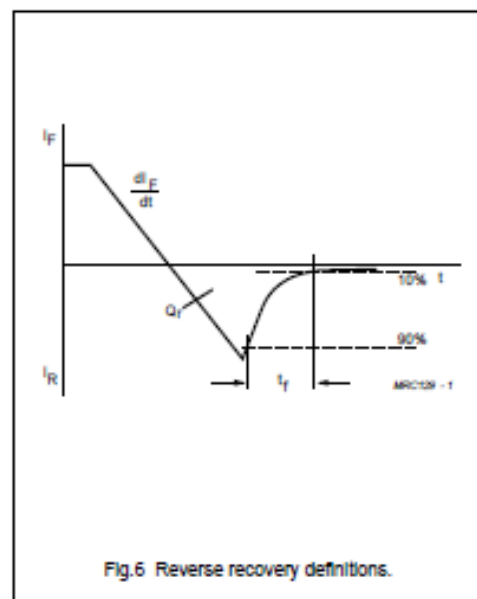
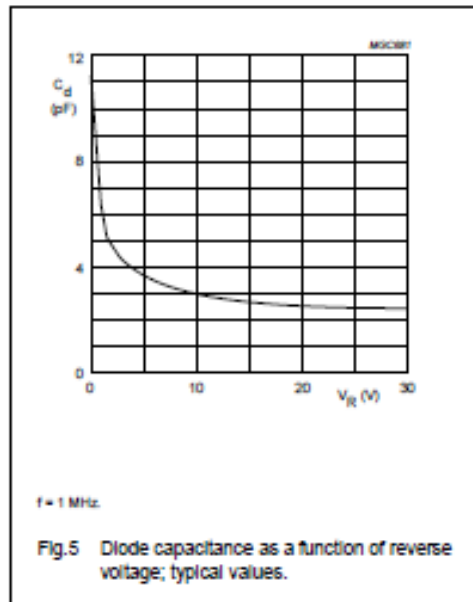
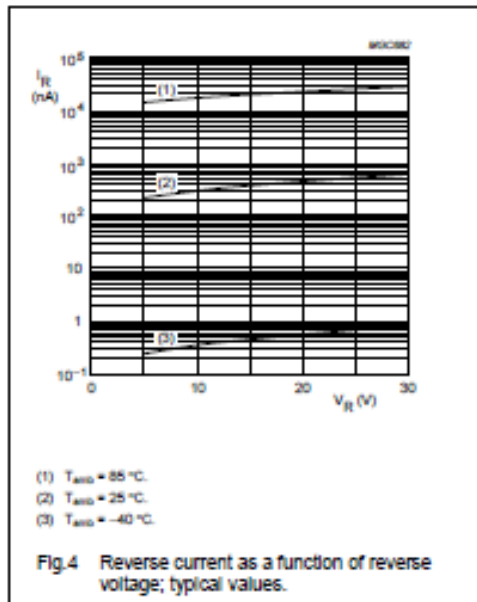
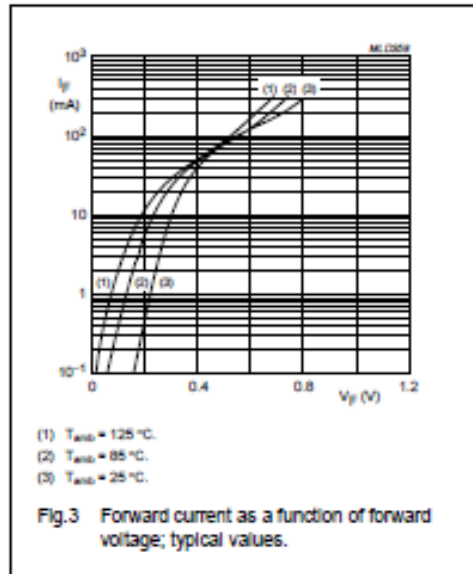
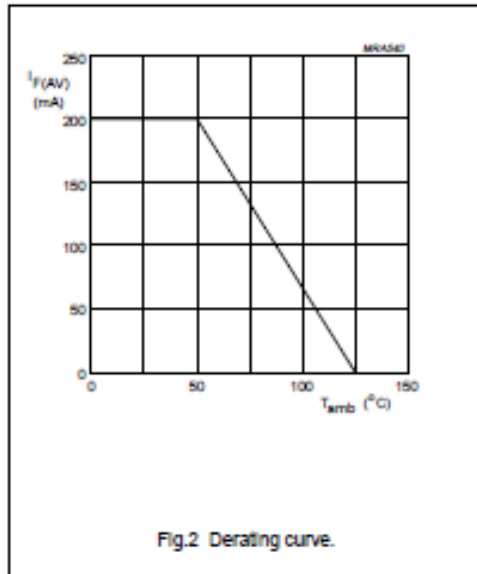
THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th(j-a)}$	thermal resistance from junction to ambient	note 1	320	K/W

Note

1. Refer to SOD68 standard mounting conditions.

GRAPHICAL DATA



19-2272; Rev 2, 1991



Complete, +5V-Powered, Isolated, Dual RS-232 Transceiver Module

MAX252

General Description

The MAX252 complete, electrically-isolated, dual RS-232 transmitter/receiver system requires no external components. By combining many functions in one package, the cost and complexity of an isolated digital interface are greatly reduced.

A single +5V supply powers both sides of the interface. Transceivers, optocouplers, and a transformer in one low-cost package provide a complete interface up to 9600 bits/sec. Additional pins provide low-power shutdown and a high-impedance state for both transmitter outputs.

The MAX252A withstands 130Vrms (continuous), 1260Vrms (1 min.) or 1520Vrms (1 sec.) and is intended for applications where very high transient voltages, differential ground potentials or noise may be encountered. The MAX252A is UL recognized. The MAX252B is intended for less stringent applications and is rated for 500Vrms (1 min.) or 600Vrms (1 sec.).

Receivers and line drivers (transmitters) meet EIA RS-232D and CCITT V.28 specifications. The MAX252 is supplied in 40-pin plastic DIP packages in commercial (0°C to +70°C) and extended (-40°C to +85°C) temperature ranges.

Features

- ◆ Isolated Data Interface
- ◆ No External Components
- ◆ Single +5V Supply
- ◆ 50µW Low-Power Shutdown
- ◆ Two Transmitters and Two Receivers
- ◆ UL Recognized (MAX252A) - File E118032 to UL1577

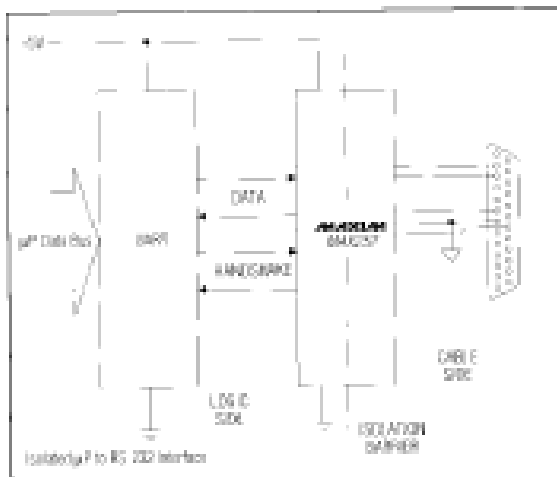
Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX252ACHL	0°C to +70°C	40 Plastic Module
MAX252BCHL	0°C to +70°C	40 Plastic Module
MAX252AEHL	-40°C to +85°C	40 Plastic Module
MAX252BEHL	-40°C to +85°C	40 Plastic Module

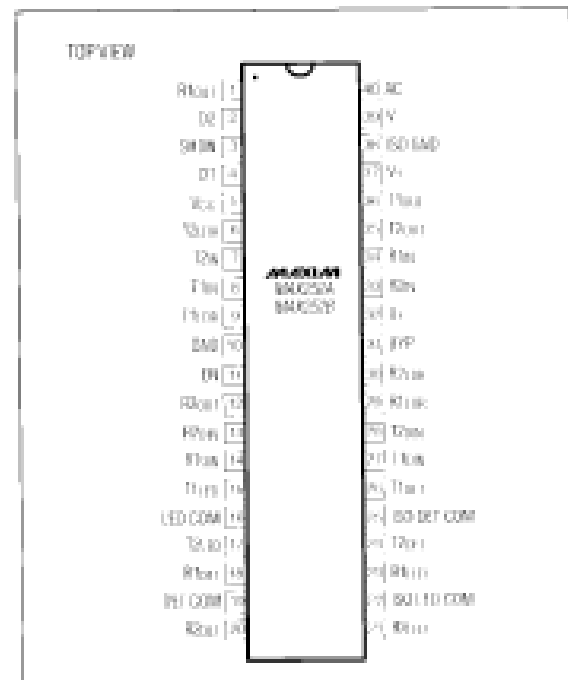
Applications

- High-Noise Environments
- Automatic Test Equipment
- Differential Ground Potentials

Typical Application



Pin Configuration



Maxim Integrated Products 1

Call toll free 1-800-998-8800 for free samples or literature.

MAX252

Complete, +5V-Powered, Isolated, Dual RS-232 Transceiver Module

ABSOLUTE MAXIMUM RATINGS

Voltages with respect to GND (pin 10)
 Supply Voltage, V_{CC} -0.3V to +6V
 Input Voltage
 Pins 3, 7, 8, 11, 13, 14, 18, 20 -0.3V to (V_{CC} + 0.3V)
 Voltages with respect to ISO GND (pin 38)
 RS-232 Input Voltage (pins 33, 34) -30V to +30V
 RS-232 Applied Output Voltage (pins 35, 36) -15V to +15V
 Pins 32, 37 (V₊) +15V
 Pins 24, 26, 31 V₊
 RS-232 Transmitter outputs may be shorted individually and indefinitely to ISO GND.

LED Forward Continuous Current (pins 15, 17, 21, 23) ... 30mA
 Power Dissipation
 Plastic DIP (derate 10mW/°C above +70°C) 650mW
 Operating Temperature Ranges:
 MAX252ADHL/BEHL 0°C to +70°C
 MAX252AEHL/BEHL -40°C to +85°C
 Storage Temperature Range -65°C to +150°C
 Lead Temperature (soldering, 10 sec.) +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational section of the specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +5V ±10%, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ISOLATION (Note 1)						
Test Voltage	V _{ISO}	T _A = +25°C MAX252A	1 sec.	1520		V _{RMS}
			1 min. (Note 2)	1200		
		MAX252B	Continuous (Note 2)	130		
			1 sec.	600		
Leakage Current		10 sec., V _{ISO} = 500V _{RMS} , 60Hz, T _A = +25°C		10	50	μA _{RMS}
Isolation Resistance		T _A = +25°C 500V _{DC}		10 ¹⁰		Ω
Capacitance		0V		10		pF
POWER SUPPLY						
Operating Supply Current	I _{CC}	T _A = +25°C, SHDN = 0V	T1IN, T2IN, R1IN, R2IN = V _{CC}	60	90	mA
			T1IN, T2IN, R1IN, R2IN = 0	8	15	
Shutdown Supply Current	I _{CS}	SHDN = V _{CC} , T _A = +25°C		1	10	μA
EN, SHDN Input Current	I _{EN} , I _{SHDN}	Input = GND to V _{CC}		0.001	1	μA
TTL/CMOS INPUTS/OUTPUTS						
TTL/CMOS Input Pull-Up Current	I _P	V _{IN} = 0V		4	20	μA
TTL/CMOS Output Voltage Low	V _{OL}	I _{OUT} = 3.2mA			0.4	V
TTL/CMOS Output Voltage High	V _{OH}	I _{OUT} = -1.0mA		3.5		V
Input Logic Threshold High	V _{IH}	T1IN, T2IN, EN, SHDN		1.8	2.4	V
Input Logic Threshold Low	V _{IL}	T1IN, T2IN, EN, SHDN		0.8	1.3	V
Input Hysteresis		T1IN, T2IN		0.5		V
Leakage Current Output Disabled	I _L	T1IN, T2IN; EN or SHDN = V _{CC}			10	μA
Input Capacitance	C _{IN}	T1IN, T2IN		5		pF

Note 1: Pins 1-20 tied together and pins 21-40 tied together.

Note 2: Value derived from 1 sec. test.

Complete, +5V-Powered, Isolated, Dual RS-232 Transceiver Module

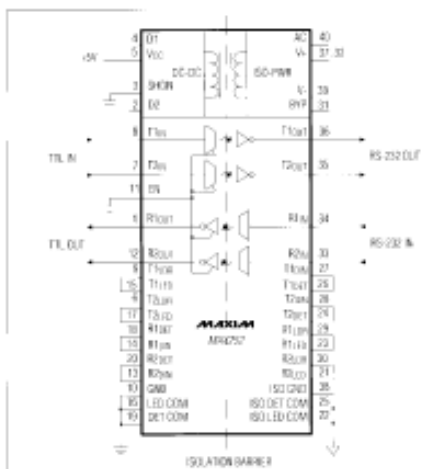
ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +5V ±10%, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RS-232 CHARACTERISTICS						
RS-232 Output Voltage Swing	V _{OUT}	T _{1OUT} , T _{2OUT} R _L = 3kΩ to 5Ω	±5	±7.2		V
RS-232 Output Leakage Current		V _A = V _V = 0V or SHDN = V _{CC} , T _{1OUT} , T _{2OUT} = +15V	-100		+100	μA
RS-232 Input Threshold High		R _{1IN} , R _{2IN}		1.8	3.0	V
RS-232 Input Threshold Low		R _{1IN} , R _{2IN}	0.6	1.2		V
RS-232 Input Hysteresis		R _{1IN} , R _{2IN}		0.6		V
RS-232 Input Resistance		R _{1IN} , R _{2IN} , T _A = +25°C	3		7	kΩ
Transmitter Output Slew Rate	SR	R _L = 3kΩ, C _L = 250pF Sample Tested Measured from +3v to -3V or -3V to +3V		3	30	V/μs
Propagation Delay	t _p	RS-232 to TTL		24		ns
	t _t	TTL to RS-232		20		ns
Transmission Rate		Sample Tested R _L = 3kΩ C _L = 250pF	9500	19200		Baud/sec

MAX252

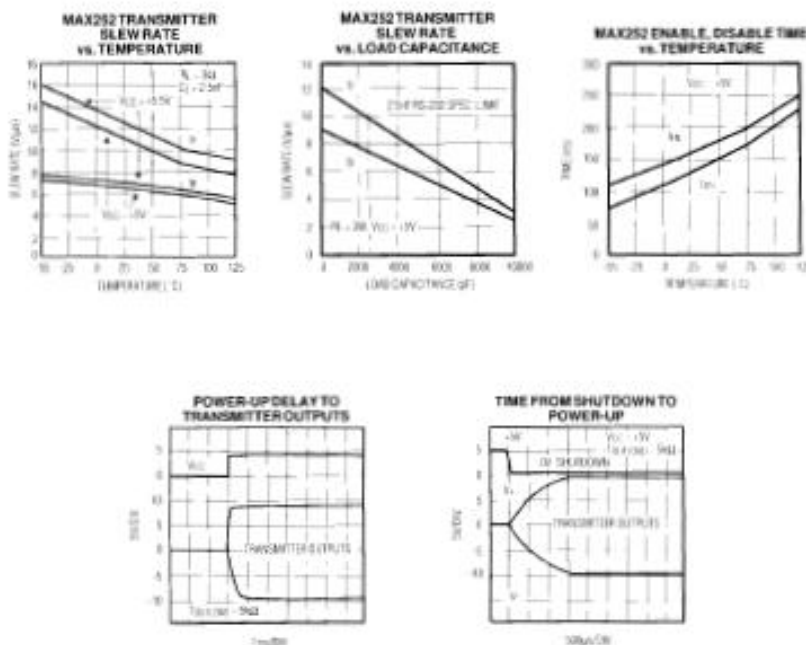
Typical Operating Circuit



Complete, +5V-Powered, Isolated, Dual RS-232 Transceiver Module

Typical Operating Characteristics

MAX252



Complete, +5V-Powered, Isolated, Dual RS-232 Transceiver Module

Pin Description

PIN #	NAME	FUNCTION	PIN #	NAME	FUNCTION
1	R1OUT	Receiver #1 Output. TTL/CMOS logic levels	21	R2_LED	R2 LED Cathode Input
2	D2	Internal Connection. Leave this pin unconnected. Do not ground.	22	ISO_LED_COM	Common R1_LED, R2_LED Cathode. Tie to Isolated Ground
3	SHDN	Shutdown. When high, turns off the oscillator and disconnects driver inputs. Ground for normal operation.	23	R1_LED	R1 LED Cathode Input
4	D1	Internal Connection. Leave this pin unconnected. Do not ground.	24	T2DET	T2 Photodiode Anode Output
5	VCC	+5V Supply Voltage	25	ISO_DET_COM	Common T1DET, T2DET LED Anode. Tie to Isolated Ground
6	T2DR	Transmitter #2 LED Driver	26	T1DET	T1 Photodiode Anode Output
7	T2IN	Transmitter #2 Input. TTL/CMOS logic levels	27	T1DN	Transmitter #1 Detector Input
8	T1IN	Transmitter #1 Input. TTL/CMOS logic levels	28	T2DN	Transmitter #2 Detector Input
9	T1DR	Transmitter #1 LED Driver	29	R1_DR	Receiver #1 LED Driver
10	GND	Ground	30	R2_DR	Receiver #2 LED Driver
11	EN	Output Enable. If High, T1_DR, T2_DR, R1_OUT, and R2_OUT go to high-impedance state. Ground for normal operation.	31	BYP	Internal Connection. Leave this pin unconnected. Do not ground.
12	R2OUT	Receiver #2 Output. TTL/CMOS logic levels	32	V+	Isolated Positive Supply
13	R2DN	Receiver #2 Detector Input	33	R2IN	RS-232 Receiver #2 Input
14	R1DN	Receiver #1 Detector Input	34	R1IN	RS-232 Receiver #1 Input
15	T1_LED	T1 LED Anode Input	35	T2OUT	RS-232 Transmitter #2 Output
16	LED_COM	Common T1_LED, T2_LED Cathode. Tie to Ground	36	T1OUT	RS-232 Transmitter #1 Output
17	T2_LED	T2 LED Anode Input	37	V+	Isolated Positive Supply
18	R1DET	R1 Photodiode Cathode Output	38	ISO_GND	Isolated Ground
19	DET_COM	Common R1DET, R2DET Anode. Tie to Ground	39	V-	Isolated Negative Supply Voltage
20	R2DET	R2 Photodiode Cathode Output	40	AC	Internal Connection. Leave this pin unconnected. Do not ground.

Complete, +5V-Powered, Isolated, Dual RS-232 Transceiver Module

Isolation Applications

The MAX252 is intended for industrial communications and control applications where voltage transients, differential ground potentials or high noise may be encountered. The MAX252A will withstand 130Vrms (continuous), 1260Vrms (1 min.) or 1620Vrms (1 sec.). For less stringent applications, the MAX252B is rated at 500Vrms (1 min.) or 600Vrms (1 sec.). For applications requiring higher isolation ratings or transmission rates greater than 9600 baud, Maxim recommends the MAX250 and MAX251 device set that uses external optocouplers and transformer.

Figure 1 shows the typical interconnection for a complete 9600 bit/sec. transceiver. Important layout considerations include:

* For maximum isolation, the isolation line through the center of Figure 1 should not be breached; connections from each side should be kept separate.

* Optocoupler outputs (pins 18, 20, 24, and 26) are high-impedance nodes, so connecting traces should be

as short as possible to minimize stray capacitance and maximize data transfer rate. Stray capacitance seen by each pin should not exceed 10pF.

The MAX252 pinout enables optimal printed circuit board layout by minimizing interconnect lengths and cross-overs. Figure 2 shows the preferred layout, which is strongly recommended for 9600 bit/sec. applications. Note the position of the ground traces, particularly the protection of pin 20 by the wrap-around from pin 19.

Isolation Example

Figure 3 illustrates how to isolate an existing RS-232 interface by inserting a MAX252 and MAX233 in series. Both devices invert while translating RS-232 to TTL, and TTL to RS-232 levels. Since there is no net inversion, the circuit functions like two plain pieces of wire, but with 1520Vrms (at 1 sec.) isolation between the ports.

Detailed Description

The MAX252 contains two integrated circuits, four optocouplers, four capacitors, two diodes, and a small transformer. Together, these provide a complete, isolated dual RS-232 transmitter and receiver. The non-isolated or logic side of the interface transfers logic signals to and from the optocouplers, while the isolated or cable side transfers data between the optocouplers and RS-232.

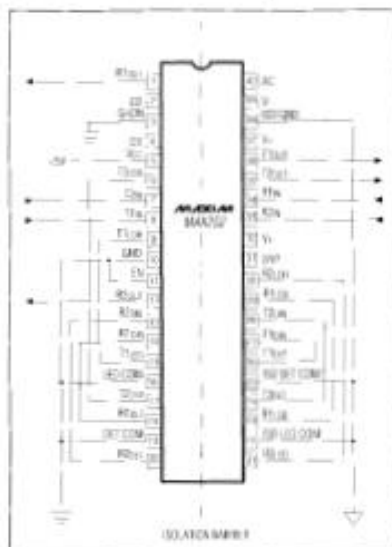


Figure 1. Typical Interconnection

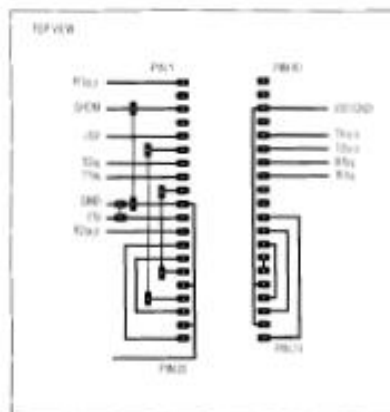
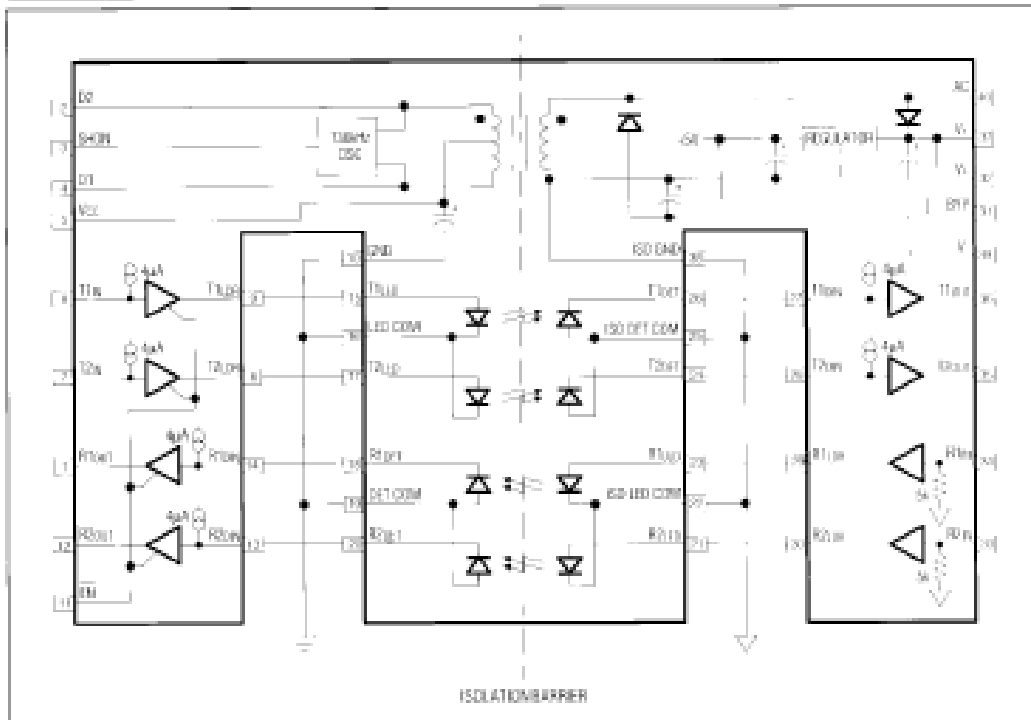


Figure 2. Preferred Layout

Complete, +5V-Powered, Isolated, Dual RS-232 Transceiver Module

MAX252 Block Diagram



19-1130; Rev 4; 10/1



Low-Noise, Precision, +2.5V/+4.096V/+5V Voltage References

General Description

The MAX6225/MAX6241/MAX6250 are low-noise, precision voltage references with extremely low 1ppm/°C temperature coefficients and excellent ±0.02% initial accuracy. These devices feature buried-zener technology for lowest noise performance. Load-regulation specifications are guaranteed for source and sink currents up to 15mA. Excellent line and load regulation and low output impedance at high frequency make them ideal for high-resolution data-conversion systems up to 16 bits.

The MAX6225 is set for 2.500V output, the MAX6241 is set for 4.096V output, and the MAX6250 is set for 5.000V output. All three provide for the option of external trimming and noise reduction.

Applications

- High-Resolution Analog-to-Digital and Digital-to-Analog Converters
- High-Accuracy Reference Standard
- High-Accuracy Industrial and Process Control
- Digital Voltmeters
- ATE Equipment
- Precision Current Sources

Features

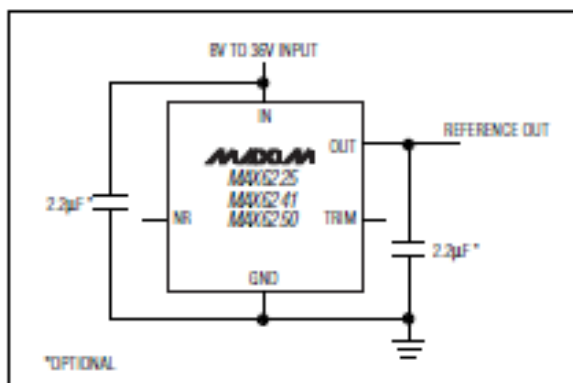
- ◆ Low 1.0ppm/°C Temperature Coefficient
- ◆ Very Low 1.5µVp-p Noise (0.1Hz to 10Hz)
- ◆ ±0.02% Initial Accuracy
- ◆ ±15mA Output Source and Sink Current
- ◆ Low, 18mW Power Consumption (MAX6225)
- ◆ Industry-Standard Pinout
- ◆ Optional Noise Reduction and Voltage Trim
- ◆ Excellent Transient Response
- ◆ 8-Pin SO Package Available
- ◆ Low 20ppm/1000hr Long-Term Stability
- ◆ Stable for All Capacitive Loads

Ordering Information

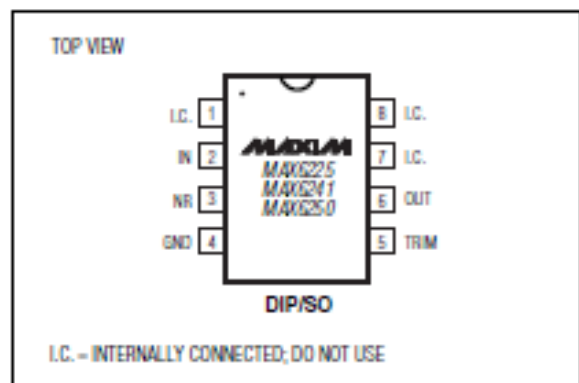
PART	TEMP. RANGE	PIN-PACKAGE	MAX TEMPCO (ppm/°C)
MAX6225ACPA	0°C to +70°C	8 Plastic DIP	2.0
MAX6225BCPA	0°C to +70°C	8 Plastic DIP	5.0
MAX6225ACSA	0°C to +70°C	8 SO	2.0
MAX6225BCSA	0°C to +70°C	8 SO	5.0
MAX6225AEPA	-40°C to +85°C	8 Plastic DIP	3.0
MAX6225BEPA	-40°C to +85°C	8 Plastic DIP	7.0
MAX6225AESA	-40°C to +85°C	8 SO	3.0
MAX6225BESA	-40°C to +85°C	8 SO	7.0
MAX6225AMJA	-55°C to +125°C	8 CERDIP	5.0
MAX6225BMJA	-55°C to +125°C	8 CERDIP	8.0

Ordering Information continued at end of data sheet.

Typical Operating Circuit



Pin Configuration



Maxim Integrated Products 1

For pricing, delivery, and ordering information, please contact Maxim/Dallas Direct! at 1-888-629-4642, or visit Maxim's website at www.maxim-ic.com.

MAX6225/MAX6241/MAX6250

Low-Noise, Precision, +2.5V/+4.096V/+5V Voltage References

ABSOLUTE MAXIMUM RATINGS

(Voltages Referenced to GND)

IN	-0.3V to +40V
OUT, TRIM	-0.3V to +12V
NR	-0.3V to +6V
OUT Short-Circuit to GND Duration ($V_{IN} \leq 12V$)	Continuous
OUT Short-Circuit to GND Duration ($V_{IN} \leq 40V$)	5s
OUT Short-Circuit to IN Duration ($V_{IN} \leq 12V$)	Continuous
Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)		
8-Pin Plastic DIP (dorate 9.09mW/°C above +70°C)	727mW
8-Pin SO (dorate 5.88mW/°C above +70°C)	471mW
8-Pin CERDIP (dorate 8.00mW/°C above +70°C)	640mW

Operating Temperature Ranges

MAX62...C_A	0°C to +70°C
MAX62...E_A	-40°C to +85°C
MAX62...MJA	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX6225

($V_{IN} = +10V$, $I_{OUT} = 0mA$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	T_A	MIN	TYP	MAX	UNITS
Input Voltage Range	V_{IN}		C, E, M	8		36	V
Output Voltage	V_{OUT}	MAX6225A	+25°C	2.499	2.500	2.501	V
		MAX6225B	+25°C	2.497	2.500	2.503	
Output Voltage Temperature Coefficient (Note 1)	TCV_{OUT}	MAX6225AC_A	C		1.0	2.0	ppm/°C
		MAX6225AE_A	E		1.5	3.0	
		MAX6225AMJA	M		2.0	5.0	
		MAX6225BC_A	C		2.5	5.0	
		MAX6225BE_A	E		2.5	7.0	
		MAX6225BMJA	M		2.5	8.0	
Line Regulation (Note 2)	$\Delta V_{OUT} / \Delta V_{IN}$	$8V \leq V_{IN} \leq 10V$	+25°C		10	18	ppm/V
			C			30	
			E			35	
			M			45	
		$10V \leq V_{IN} \leq 36V$	+25°C		2	5	
			C			7	
			E			8	
			M			10	

ELECTRICAL CHARACTERISTICS—MAX6225 (continued)

($V_{IN} = +10V$, $I_{OUT} = 0mA$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	T_A	MIN	TYP	MAX	UNITS
Load Regulation (Note 2)	$\Delta V_{OUT} / \Delta I_{OUT}$	Sourcing: $0mA \leq I_{OUT} \leq 15mA$	C		1	6	ppm/mA
			E		1	7	
			M		3	15	
		Sinking: $-15mA \leq I_{OUT} \leq 0mA$	C		1	6	
			E		1	7	
			M		10	30	
Supply Current	I_{IN}		+25°C		1.8	2.7	mA
			C, E, M			3.0	
Trim-Adjustment Range	ΔV_{OUT}	Figure 1	C, E, M	±15	±25		mV
Turn-On Settling Time	t_{ON}	To ±0.01% of final value	+25°C		5		µs
Output Noise Voltage (Note 3)	e_n	$0.1Hz \leq f \leq 10Hz$	+25°C		1.5		µV _{p-p}
		$10Hz \leq f \leq 1kHz$	+25°C		1.3	2.8	µV _{RMS}
Temperature Hysteresis		(Note 4)	+25°C		20		ppm
Long-Term Stability	$\Delta V_{OUT} / t$		+25°C		20		ppm/1000hr

MAX6225/MAX6241/MAX6250

ELECTRICAL CHARACTERISTICS—MAX6241

($V_{IN} = +10V$, $I_{OUT} = 0mA$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	T_A	MIN	TYP	MAX	UNITS	
Input Voltage Range	V_{IN}		C, E, M	8		36	V	
Output Voltage	V_{OUT}	MAX6241A	+25°C	4.095	4.096	4.097	V	
		MAX6241B	+25°C	4.092	4.096	4.100		
Output Voltage Temperature Coefficient (Note 1)	TCV_{OUT}	MAX6241AC_A	C		1.0	2.0	ppm/°C	
		MAX6241AE_A	E		1.5	3.0		
		MAX6241AMJA	M		2.0	5.0		
		MAX6241BC_A	C		2.5	5.0		
		MAX6241BE_A	E		2.5	7.0		
		MAX6241BMJA	M		2.5	8.0		
Line Regulation (Note 2)	$\Delta V_{OUT} / \Delta V_{IN}$	$8V \leq V_{IN} \leq 10V$	+25°C		10	18	ppm/V	
			C			30		
			E			35		
			M			45		
		$10V \leq V_{IN} \leq 36V$	+25°C		2	5		
			C			7		
			E			8		
			M			10		
Load Regulation (Note 2)	$\Delta V_{OUT} / \Delta I_{OUT}$	Sourcing: $0mA \leq I_{OUT} \leq 15mA$	C		1	6	ppm/mA	
			E			7		
			M			3		9
		Sinking: $-15mA \leq I_{OUT} \leq 0mA$	C			1		6
			E			1		7
			M			7		18
Supply Current	I_{IN}		+25°C		1.9	2.9	mA	
		C, E, M				3.2		
Trim-Adjustment Range	ΔV_{OUT}	Figure 1	C, E, M	± 24	± 40		mV	
Turn-On Settling Time	t_{ON}	To $\pm 0.01\%$ of final value	+25°C		8		μs	
Output Noise Voltage (Note 3)	e_n	$0.1Hz \leq f \leq 10Hz$	+25°C		2.4		μV_{p-p}	
		$10Hz \leq f \leq 1kHz$	+25°C		2.0	4.0	μV_{RMS}	
Temperature Hysteresis		(Note 4)	+25°C		20		ppm	
Long-Term Stability	$\Delta V_{OUT} / t$		+25°C		20		ppm/1000hr	

ELECTRICAL CHARACTERISTICS—MAX6250

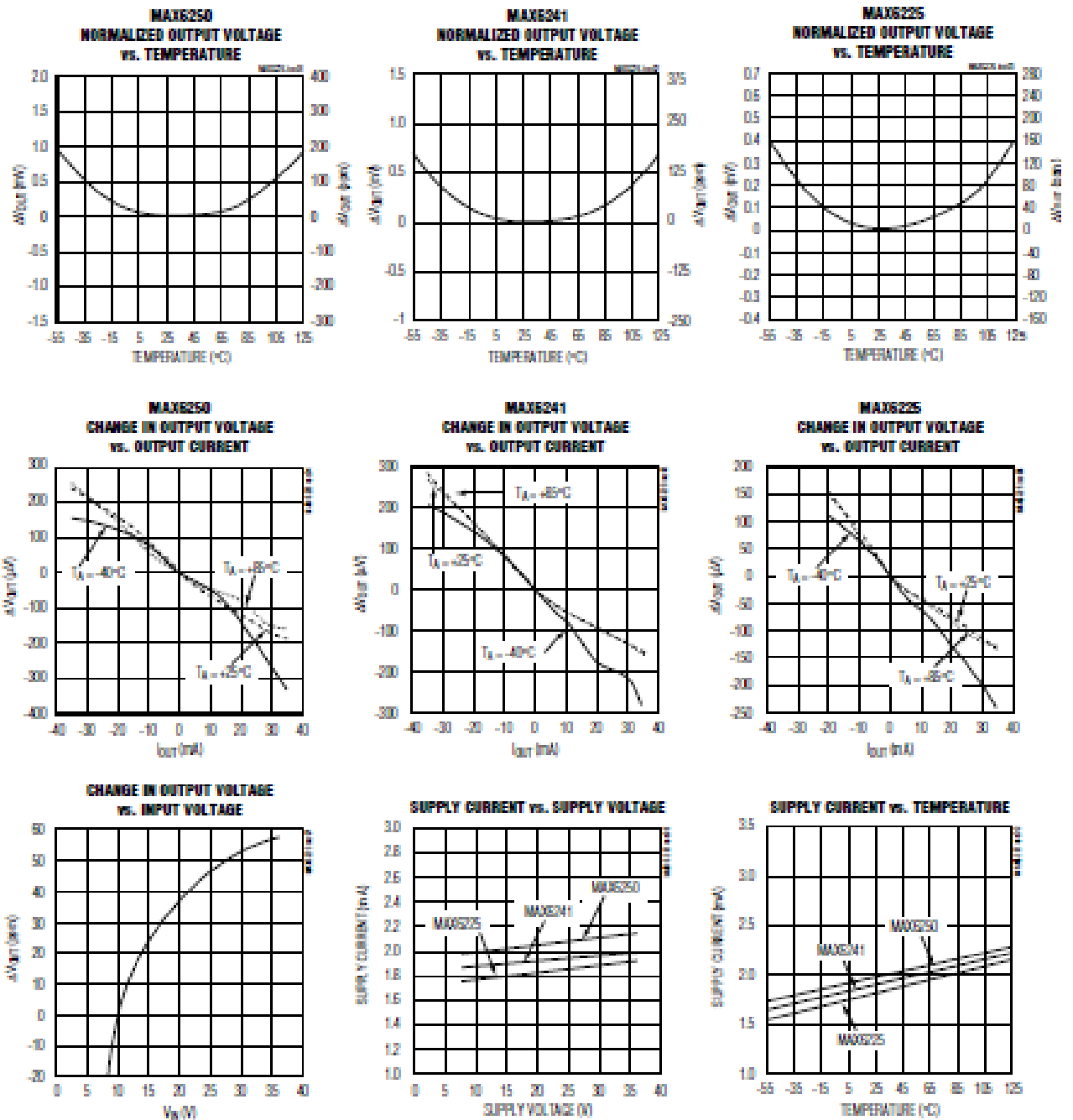
($V_{IN} = +10V$, $I_{OUT} = 0mA$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	T_A	MIN	TYP	MAX	UNITS	
Input Voltage Range	V_{IN}		C, E, M	8		36	V	
Output Voltage	V_{OUT}	MAX6250A	+25°C	4.999	5.000	5.001	V	
		MAX6250B	+25°C	4.995	5.000	5.005		
Output Voltage Temperature Coefficient (Note 1)	TCV_{OUT}	MAX6250AC_A	C		1.0	2.0	ppm/°C	
		MAX6250AE_A	E		1.5	3.0		
		MAX6250AMJA	M		2.0	5.0		
		MAX6250BC_A	C		2.5	5.0		
		MAX6250BE_A	E		2.5	7.0		
		MAX6250BMJA	M		2.5	8.0		
Line Regulation (Note 2)	$\Delta V_{OUT} / \Delta V_{IN}$	$8V \leq V_{IN} \leq 10V$	+25°C		10	18	ppm/V	
			C			30		
			E			35		
			M			45		
		$10V \leq V_{IN} \leq 36V$	+25°C		2	5		
			C			7		
			E			8		
			M			10		
Load Regulation (Note 2)	$\Delta V_{OUT} / \Delta I_{OUT}$	Sourcing: $0mA \leq I_{OUT} \leq 15mA$	C		1	6	ppm/mA	
			E			7		
			M			2		9
		Sinking: $-15mA \leq I_{OUT} \leq 0mA$	C			1		6
			E			1		7
			M			6		15
Supply Current	I_{IN}		+25°C		2.0	3.0	mA	
		C, E, M				3.3		
Trim-Adjustment Range	ΔV_{OUT}	Figure 1	C, E, M	± 30	± 50		mV	
Turn-On Settling Time	t_{ON}	To $\pm 0.01\%$ of final value	+25°C		10		μs	
Output Noise Voltage (Note 3)	e_n	$0.1Hz \leq f \leq 10Hz$	+25°C		3.0		μV_{p-p}	
		$10Hz \leq f \leq 1kHz$	+25°C		2.5	5.0	μV_{RMS}	
Temperature Hysteresis		(Note 4)	+25°C		20		ppm	
Long-Term Stability	$\Delta V_{OUT} / t$		+25°C		20		ppm/1000hr	

- Note 1:** Temperature coefficient is measured by the box method; i.e., the maximum ΔV_{OUT} is divided by $\Delta T \times V_{OUT}$.
- Note 2:** Line regulation ($\Delta V_{OUT} / (V_{OUT} \times \Delta V_{IN})$) and load regulation ($\Delta V_{OUT} / (V_{OUT} \times \Delta I_{OUT})$) are measured with pulses and do not include output voltage changes due to die-temperature changes.
- Note 3:** Noise specifications are guaranteed by design.
- Note 4:** Temperature hysteresis is specified at $T_A = +25^\circ C$ by measuring V_{OUT} before and after changing temperature by $\pm 25^\circ C$ using the PDIP package.

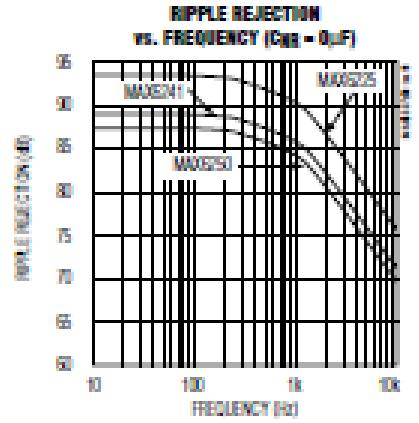
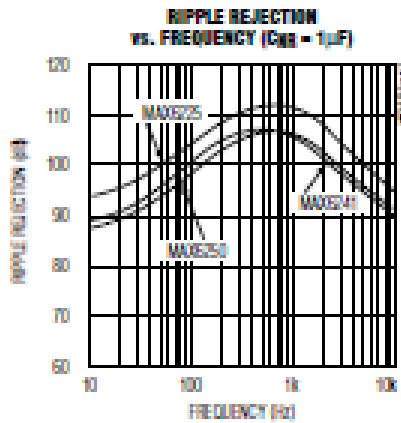
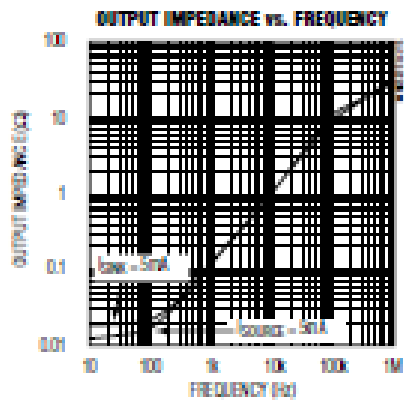
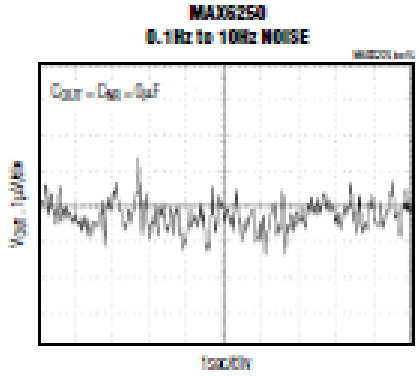
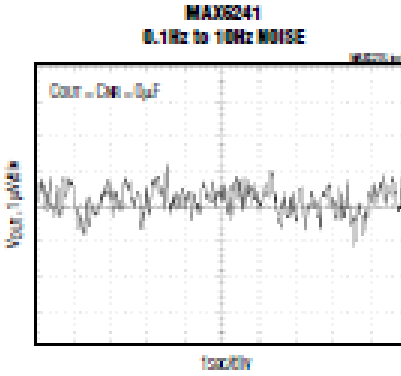
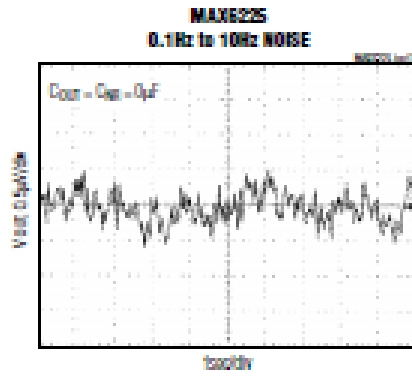
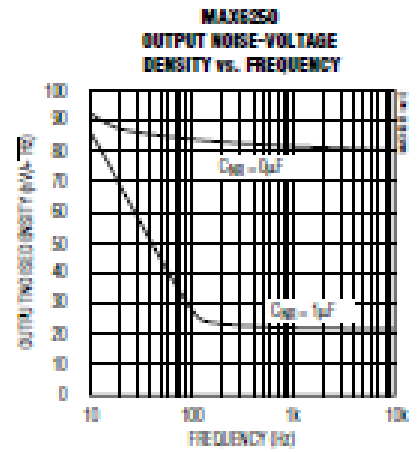
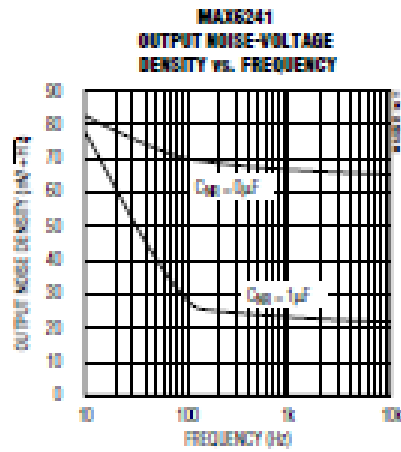
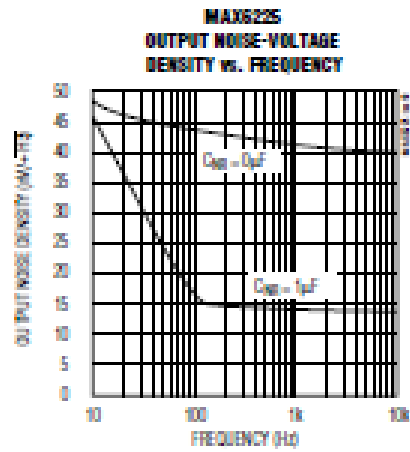
Typical Operating Characteristics

($V_{IN} = +10V$, $I_{OUT} = 0mA$, $T_A = +25^\circ C$, unless otherwise noted.)



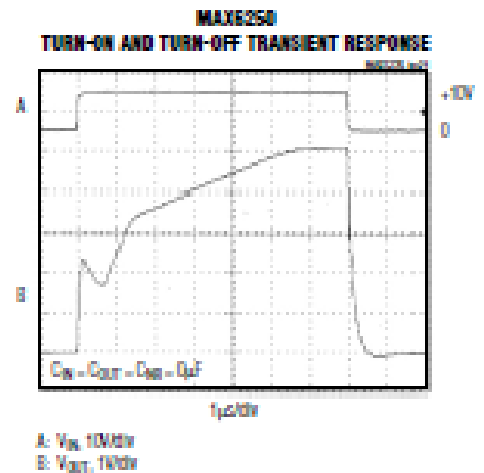
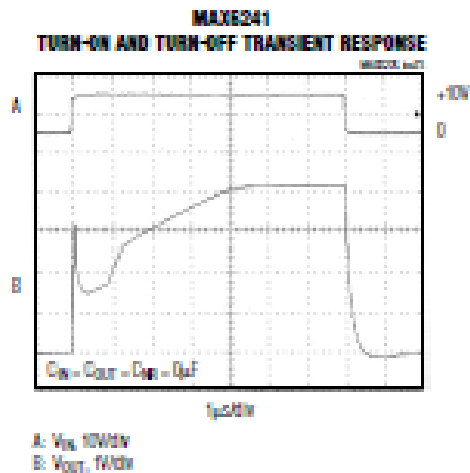
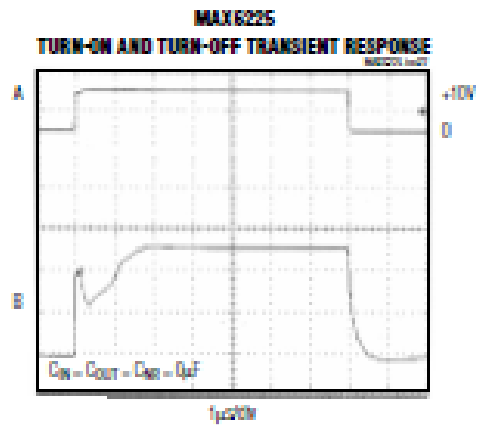
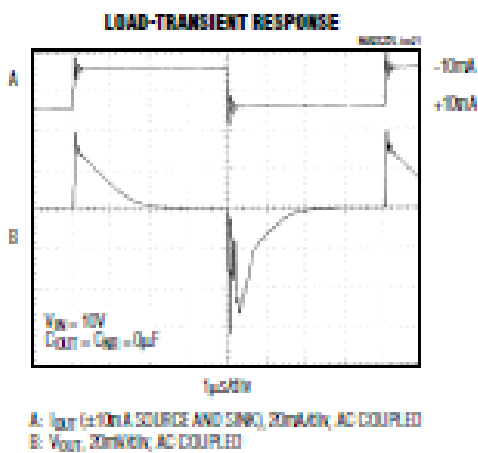
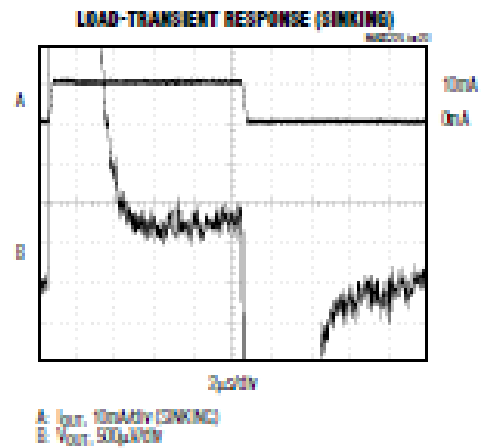
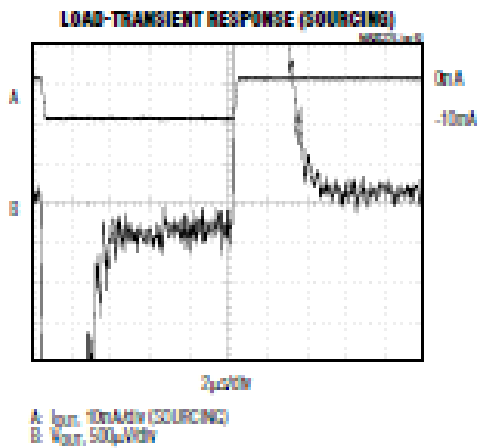
Typical Operating Characteristics (continued)

(VIN = 10V, IOUT = 0mA, TA = +25°C, unless otherwise noted.)



Typical Operating Characteristics (continued)

(VIN = 10V, IOUT = 0mA, TA = +25°C, unless otherwise noted.)



Pin Description

PIN	NAME	FUNCTION
1, 7, 8	IC.	Internally Connected. Do not use.
2	IN	Positive Power-Supply Input
3	NR	Noise Reduction. Optional capacitor connection for wideband noise reduction. Leave open if not used (Figure 2).
4	GND	Ground
5	TRIM	External Trim Input. Allows $\pm 1\%$ output adjustment (Figure 1). Leave open if not used.
6	OUT	Voltage Reference Output

Detailed Description

Temperature Stability

The MAX6225/MAX6241/MAX6250 are highly stable, low-noise voltage references that use a low-power temperature-compensation scheme to achieve laboratory-standard temperature stability. This produces a nearly flat temperature curve, yet does not require the power associated with heated references.

The output voltage can be trimmed a minimum of 0.6% by connecting a 10k Ω potentiometer between OUT and GND, and connecting its tap to the TRIM pin, as shown in Figure 1. The external trimming does not affect temperature stability.

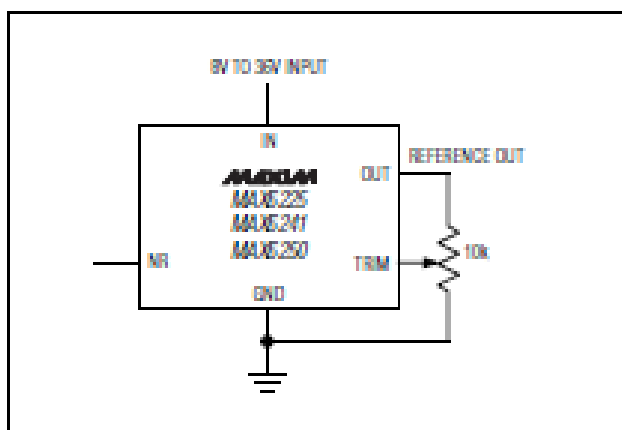


Figure 1. Output Voltage Adjustment

Noise Reduction

To augment wideband noise reduction, add a 1 μ F capacitor to the NR pin (Figure 2). Larger values do not improve noise appreciably (see Typical Operating Characteristics).

Noise in the power-supply input can affect output noise, but can be reduced by adding an optional bypass capacitor to the IN pin and GND.

Bypassing

The MAX6225/MAX6241/MAX6250 are stable with capacitive load values from 0 μ F to 100 μ F, for all values of load current. Adding an output bypass capacitor can help reduce noise and output glitching caused by load transients.

Applications Information

Negative Regulator

Figure 3 shows how both a +5V and -5V precision reference can be obtained from a single unregulated +5V supply. A MAX865 generates approximately ± 9 V to operate the MAX6250 reference and MAX432 inverting amplifier. The +5V is inverted by the MAX432 chopper-stabilized amplifier. Resistor R1 is optional, and may be used to trim the ± 5 V references. R2 and R4 should be matched, both in absolute resistance and temperature coefficient. R3 is optional, and is adjusted to set the -5V reference.

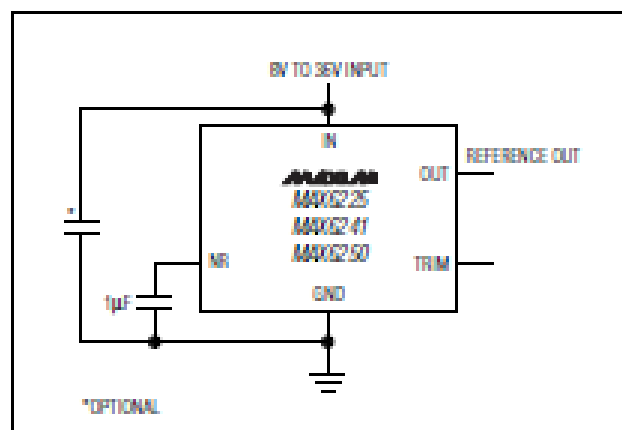


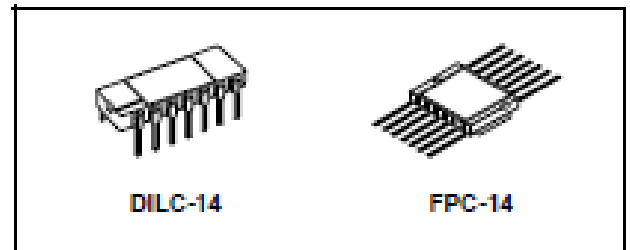
Figure 2. Noise-Reduction Capacitor



M54HC4066

RAD-HARD QUAD BILATERAL SWITCH

- HIGH SPEED:
 $t_{PD} = 7ns$ (TYP.) at $V_{CC} = 6V$
- LOW POWER DISSIPATION:
 $I_{CC} = 1\mu A$ (MAX.) at $T_A = 25^\circ C$
- LOW "ON" RESISTANCE:
 $R_{ON} = 50\Omega$ TYP. AT $V_{CC} = 9V, I_{IO} = 100 \mu A$
- WIDE OPERATING VOLTAGE RANGE V_{CC}
 (OPR) = 2V TO 12V
- SINE WAVE DISTORTION:
 0.042% at $V_{CC} = 4V, f = 1KHz$
- HIGH NOISE IMMUNITY:
 $V_{NIH} = V_{NIL} = 28\% V_{CC}$ (MIN.)
- PIN AND FUNCTION COMPATIBLE WITH
 54 SERIES 4066
- SPACE GRADE-1: ESA SCC QUALIFIED
- 50 krad QUALIFIED, 100 krad AVAILABLE ON
 REQUEST
- NO SEL UNDER HIGH LET HEAVY IONS
 IRRADIATION
- DEVICE FULLY COMPLIANT WITH
 SCC-9408-052



ORDER CODES

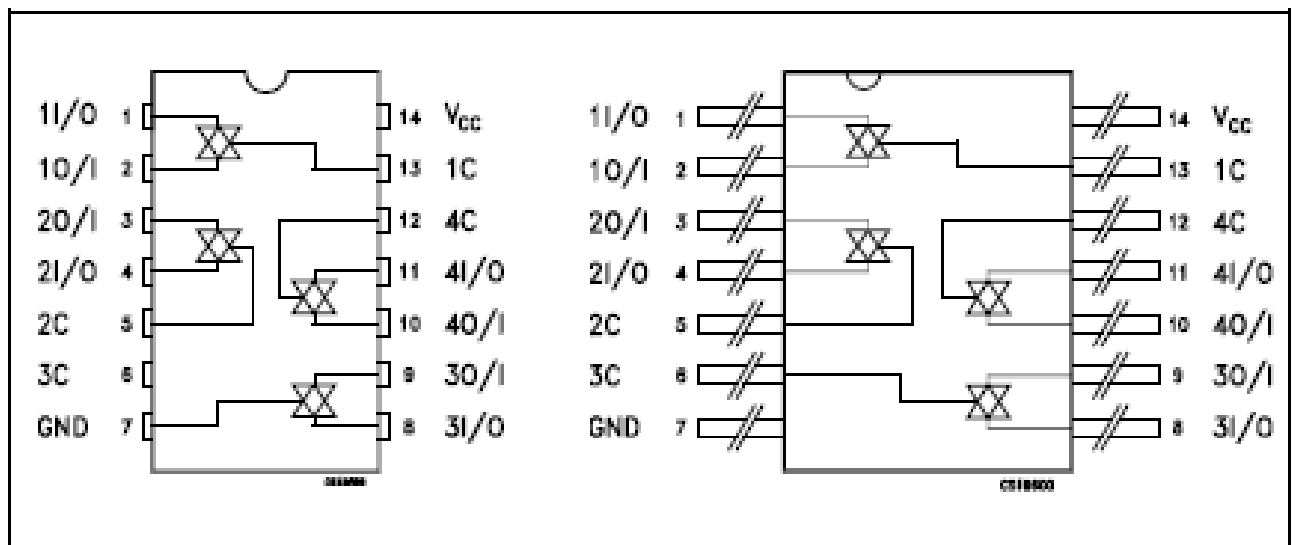
PACKAGE	FM	EM
DILC	M54HC4066D	M54HC4066D1
FPC	M54HC4066K	M54HC4066K1

The C input is provided to control the switch; the switch is on when the C input is held high and off when C is held low.

DESCRIPTION

The M54HC4066 is an high speed CMOS QUAD BILATERAL SWITCH fabricated with silicon gate C²MOS technology.

PIN CONNECTION



Rev 1

Figure 1: IEC Logic Symbols

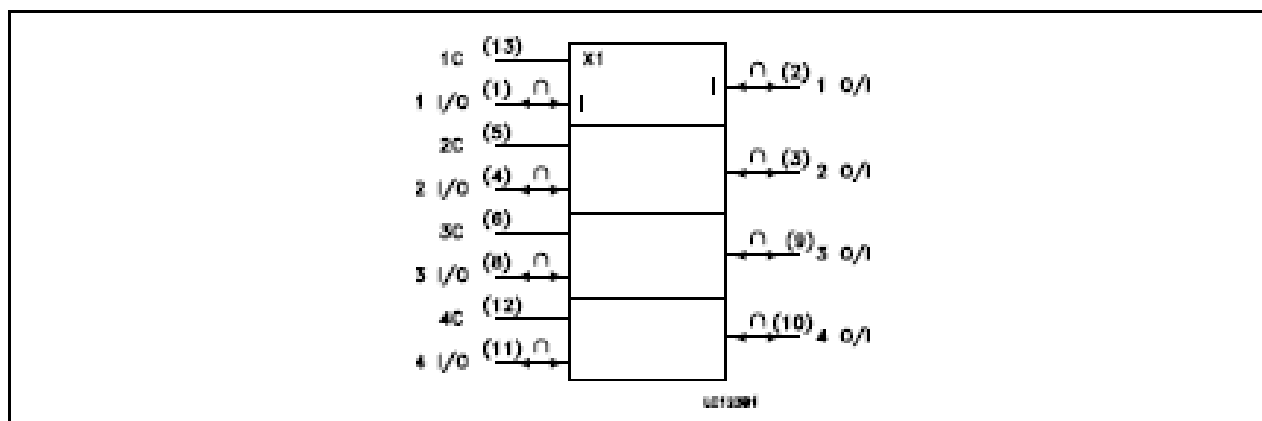


Figure 2: Logic Diagram

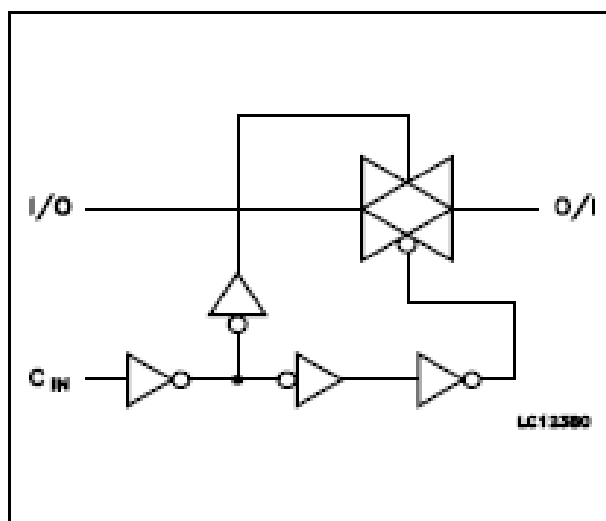


Table 1: Pin Description

PIN N°	SYMBOL	NAME AND FUNCTION
1, 4, 8, 11	1 to 4 I/O	Independent Inputs/Outputs
2, 3, 9, 10	1 to 4 O/I	Independent Outputs/Inputs
13, 5, 6, 12	1C to 4C	Enable Inputs (Active High)
7	GND	Ground (DV)
14	V _{CC}	Positive Supply Voltage

Table 2: Truth Table

CONTROL	SWITCH FUNCTION
H	ON
L	OFF

Table 3: Absolute Maximum Ratings

Symbol	Parameter	Value	Unit
V _{CC}	Supply Voltage	-0.5 to +13	V
V _{IN}	DC Input Voltage	-0.5 to V _{CC} + 0.5	V
V _{I/O}	DC Input/Output Voltage	-0.5 to V _{CC} + 0.5	V
I _{OK}	Control Input DC Diode Current	± 20	mA
I _{IOK}	I/O DC Diode Current	± 20	mA
I _O	DC Output Source Sink Current Per Output Pin	± 25	mA
I _{CC} or I _{GND}	DC V _{CC} or Ground Current	± 50	mA
P _D	Power Dissipation	300	mW
T _{stg}	Storage Temperature	-65 to +150	°C
T _L	Lead Temperature (10 sec)	265	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these conditions is not implied

Table 4: Recommended Operating Conditions

Symbol	Parameter	Value	Unit	
V_{CC}	Supply Voltage	2 to 12	V	
V_{IN}	Input Voltage (Control)	0 to V_{CC}	V	
$V_{I/O}$	I/O Voltage	0 to V_{CC}	V	
T_{op}	Operating Temperature	-55 to 125	°C	
t_r, t_f	Input Rise and Fall Time	$V_{CC} = 2.0V$	0 to 1000	ns
		$V_{CC} = 4.5V$	0 to 500	
		$V_{CC} = 6.0V$	0 to 400	
		$V_{CC} = 10.0V$	0 to 250	

Table 5: DC Specifications

Symbol	Parameter	Test Condition		Value						Unit	
				$T_A = 25^\circ C$			-40 to 85°C		-55 to 125°C		
		V_{CC} (V)		Min.	Typ.	Max.	Min.	Max.	Min.		Max.
V_{IHC}	High Level Control Input Voltage	2.0		1.5			1.5		1.5		V
		4.5		3.15			3.15		3.15		
		9.0		6.3			6.3		6.3		
		12.0		8.4			8.4		8.4		
V_{ILC}	Low Level Control Input Voltage	2.0				0.5		0.5		0.5	V
		4.5				1.35		1.35		1.35	
		9.0				2.7		2.7		2.7	
		12.0				3.6		3.6		3.6	
R_{ON}	ON Resistance	4.5	$V_I = V_{IHC}$ $V_{I/O} = V_{CC}$ or GND $I_{I/O} \leq 1mA$		96	170		200		250	Ω
		9.0			55	85		100		150	
		12.0			45	80		90		120	
		4.5	$V_I = V_{IHC}$ $V_{I/O} = V_{CC}$ or GND $I_{I/O} \leq 1mA$		70	100		130		160	
		9.0			50	75		95		115	
		12.0			45	70		90		110	
ΔR_{ON}	Difference of ON Resistance between switches	4.5	$V_I = V_{IHC}$ $V_{I/O} = V_{CC}$ or GND $I_{I/O} \leq 1mA$		10						Ω
		9.0			5						
		12.0			5						
I_{OFF}	Input/Output Leakage Current (SWITCH OFF)	12.0	$V_{OS} = V_{CC}$ or GND $V_{IS} = V_{CC}$ or GND $V_{IN} = V_{ILC}$			± 0.1		± 1		± 2	μA
I_L	Switch Input Leakage Current (SWITCH ON, OUTPUT OPEN)	12.0	$V_{OS} = V_{CC}$ or GND $V_{IN} = V_{IHC}$			± 0.1		± 1		± 2	μA
I_{IN}	Control Input Current	6.0	$V_I = V_{CC}$ or GND			± 0.1		± 1		± 1	μA
I_{CC}	Quiescent Supply Current	6.0	$V_I = V_{CC}$ or GND			1		10		20	μA
		9.0				4		40		80	
		12.0				8		80		160	

Table 6: AC Electrical Characteristics ($C_L = 50 \text{ pF}$, Input $t_r = t_f = 6\text{ns}$)

Symbol	Parameter	Test Condition		Value						Unit	
		V_{CC} (V)		$T_A = 25^\circ\text{C}$			$-40 \text{ to } 85^\circ\text{C}$		$-55 \text{ to } 125^\circ\text{C}$		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
Φ_{IO}	Phase Difference Between Input and Output	2.0			10	50		65		75	ns
		4.5			4	10		13		15	
		9.0			3	8		10		13	
		12.0			3	7		9		10	
t_{P2L} t_{P2H}	Output Enable Time	2.0	$R_L = 1\text{K}\Omega$		18	100		125		150	ns
		4.5			8	20		25		30	
		9.0			6	12		22		27	
		12.0			6	12		18		25	
t_{PLZ} t_{PHZ}	Output Disable Time	2.0	$R_L = 1\text{K}\Omega$		20	115		145		175	ns
		4.5			10	23		29		35	
		9.0			8	20		25		30	
		12.0			8	18		22		27	
	Maximum Control Input Frequency	2.0	$R_L = 1\text{K}\Omega$ $C_L = 15 \text{ pF}$ $V_{OUT} = 1/2 V_{CC}$		30						MHz
		4.5			30						
		9.0			30						
		12.0			30						

Table 7: Capacitive Characteristics

Symbol	Parameter	Test Condition		Value						Unit	
		V_{CC} (V)		$T_A = 25^\circ\text{C}$			$-40 \text{ to } 85^\circ\text{C}$		$-55 \text{ to } 125^\circ\text{C}$		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
C_{IN}	Input Capacitance				5	10		10		10	pF
C_{IO}	Switch Terminal Capacitance				6						pF
C_{IOS}	Feed Through Capacitance				0.5						pF
C_{PD}	Power Dissipation Capacitance (note 1)				15						pF

1) C_{PD} is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load. (Refer to Test Circuit). Average operating current can be obtained by the following equation. $I_{CC(oper)} = C_{PD} \times V_{CC} \times f_{IN} + I_{CC}$

Table 8: Analog Switch Characteristics ($GND = 0V; T_A = 25^\circ\text{C}$)

Symbol	Parameter	Test Condition			Value	Unit
		V_{CC} (V)	V_{IN} (V _{p-p})			
	Sine Wave Distortion (THD)	4.5	4	$f_{IN} = 1 \text{ KHz}$, $R_L = 10 \text{ K}\Omega$, $C_L = 50 \text{ pF}$	0.05	%
		9.0	8		0.04	
f_{MAX}	Frequency Response (Switch ON)	4.5	Adjust f_{IN} voltage to obtain 0 dBm at V_{OS} .		200	MHz
		9.0	Increase f_{IN} Frequency until dB meter reads -3dB $R_L = 50\Omega$, $C_L = 10 \text{ pF}$		200	
	Feed through Attenuation (Switch OFF)	4.5	V_{IN} is centered at $V_{CC}/2$. Adjust input for 0 dBm		-60	dB
		9.0	$R_L = 600\Omega$, $C_L = 50 \text{ pF}$, $f_{IN} = 1\text{MHz}$ sine wave		-60	
	Crosstalk (Control Input to Signal Output)	4.5	$R_L = 600\Omega$, $C_L = 50 \text{ pF}$, $f_{IN} = 1\text{MHz}$ square wave ($t_r = t_f = 6\text{ns}$)		60	mV
		9.0			100	
	Crosstalk (Between Any Switches)	4.5	Adjust V_{IN} to Obtain 0 dBm at Input		-60	dB
		9.0	$R_L = 600\Omega$, $C_L = 50 \text{ pF}$, $f_{IN} = 1\text{MHz}$ sine wave		-60	



LM117/217
LM317

1.2V TO 37V VOLTAGE REGULATOR

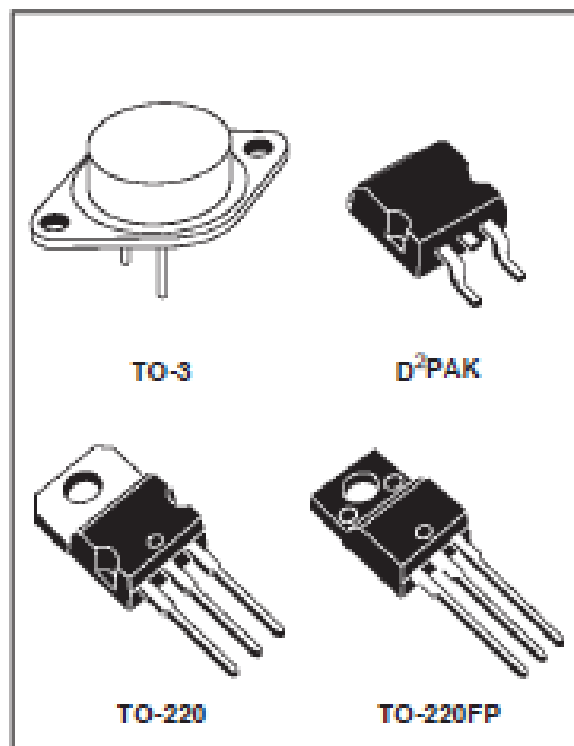
- OUTPUT VOLTAGE RANGE : 1.2 TO 37V
- OUTPUT CURRENT IN EXCESS OF 1.5A
- 0.1% LINE AND LOAD REGULATION
- FLOATING OPERATION FOR HIGH VOLTAGES
- COMPLETE SERIES OF PROTECTIONS :
CURRENT LIMITING, THERMAL
SHUTDOWN AND SOA CONTROL

DESCRIPTION

The LM117/LM217/LM317 are monolithic integrated circuit in TO-220, TO-220FP, TO-3 and D²PAK packages intended for use as positive adjustable voltage regulators.

They are designed to supply more than 1.5A of load current with an output voltage adjustable over a 1.2 to 37V range.

The nominal output voltage is selected by means of only a resistive divider, making the device exceptionally easy to use and eliminating the stocking of many fixed regulators.



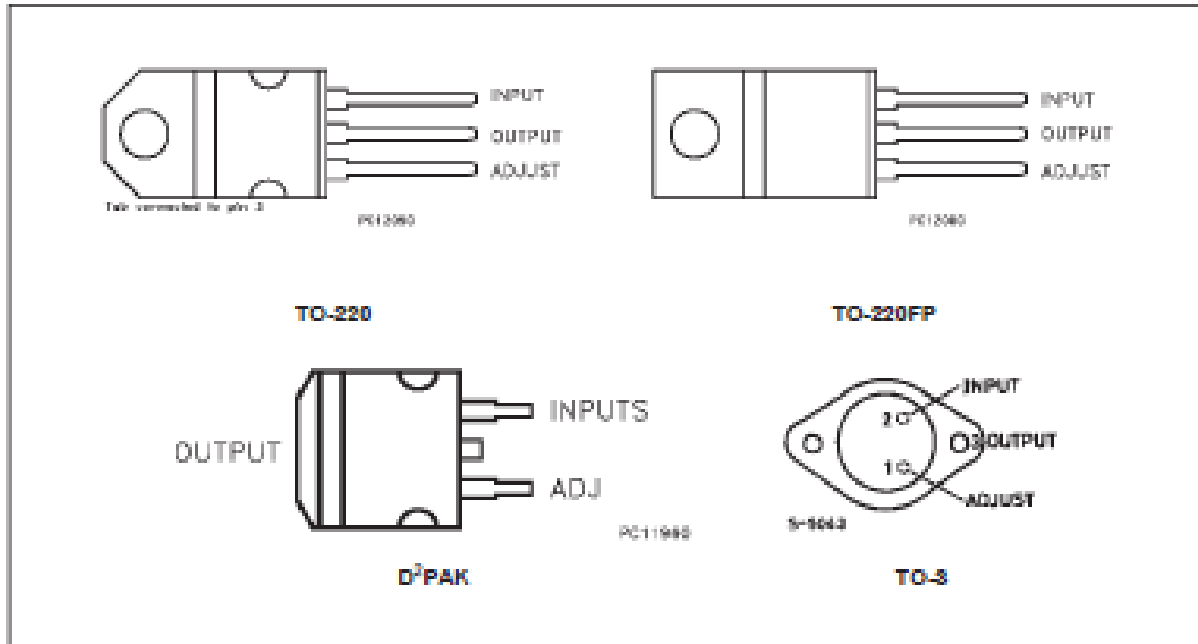
ABSOLUTE MAXIMUM RATING

Symbol	Parameter	Value	Unit
V_{I-O}	Input-output Differential Voltage	40	V
I_O	Output Current	Internally Limited	
T_{op}	Operating Junction Temperature for: LM117 LM217 LM317	-55 to 150 -25 to 150 0 to 125	$^{\circ}\text{C}$ $^{\circ}\text{C}$ $^{\circ}\text{C}$
P_{tot}	Power Dissipation	Internally Limited	
T_{stg}	Storage Temperature	- 65 to 150	$^{\circ}\text{C}$

THERMAL DATA

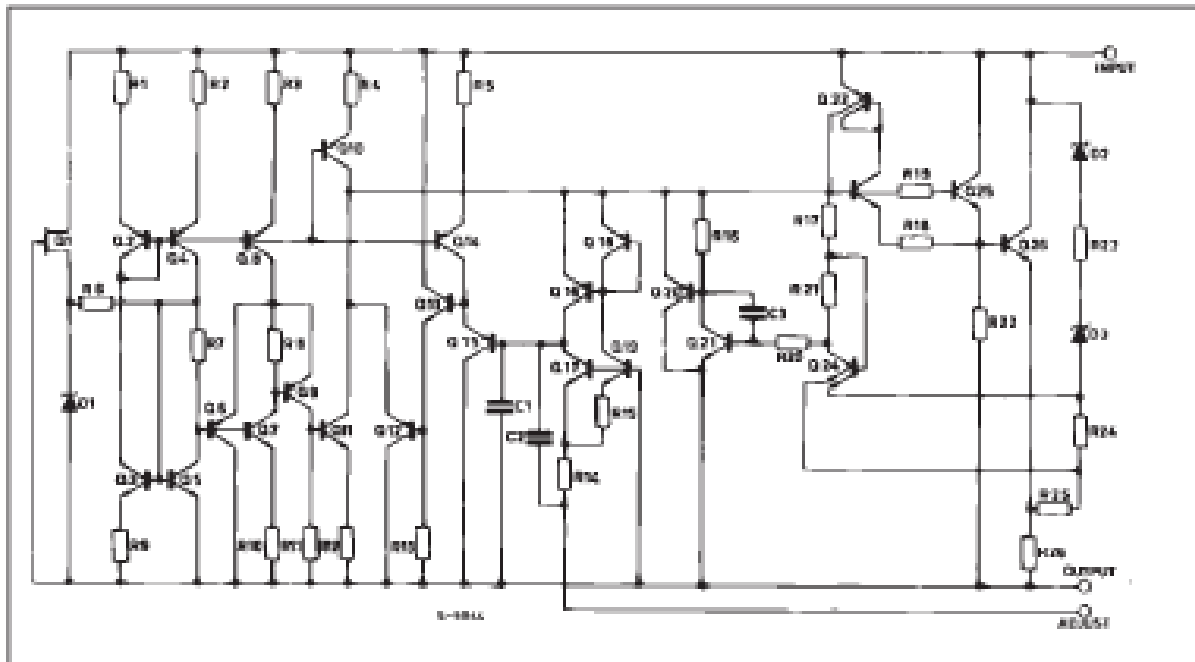
Symbol	Parameter		TO-3	TO-220	TO-220FP	D ² PAK	Unit
$R_{th(j-c)}^{max}$	Thermal Resistance Junction-case	Max	4	3	5	3	$^{\circ}\text{C}/\text{W}$
$R_{th(j-a)}^{max}$	Thermal Resistance Junction-ambient	Max	35	50	60	62.5	$^{\circ}\text{C}/\text{W}$

CONNECTION DIAGRAM AND ORDERING NUMBERS (top view)

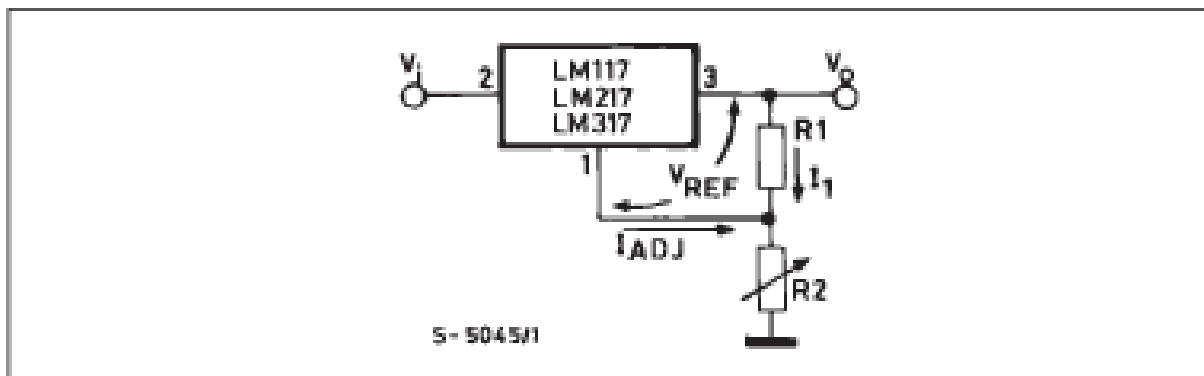


Type	TO-3	TO-220	TO-220FP	D ² PAK
LM117	LM117K			
LM217	LM217K	LM217T		LM217D2T
LM317	LM317K	LM317T	LM317P	LM317D2T

SCHEMATIC DIAGRAM



BASIC ADJUSTABLE REGULATOR



ELECTRICAL CHARACTERISTICS ($V_1 - V_0 = 5\text{ V}$, $I_0 = 500\text{ mA}$, $I_{MAX} = 1.5\text{ A}$ and $P_{MAX} = 20\text{ W}$, unless otherwise specified)

Symbol	Parameter	Test Conditions	LM117/LM217			LM317			Unit	
			Min.	Typ.	Max.	Min.	Typ.	Max.		
ΔV_0	Line Regulation	$V_1 - V_0 = 3\text{ to }40\text{ V}$ $T_J = 25^\circ\text{C}$		0.01	0.02		0.01	0.04	%/V	
				0.02	0.05		0.02	0.07	%/V	
ΔV_0	Load Regulation	$V_0 \leq 5\text{ V}$ $I_0 = 10\text{ mA to }I_{MAX}$ $T_J = 25^\circ\text{C}$		5	15		5	25	mV	
				20	50		20	70	mV	
		$V_0 \geq 5\text{ V}$ $I_0 = 10\text{ mA to }I_{MAX}$ $T_J = 25^\circ\text{C}$		0.1	0.3		0.1	0.5	%	
				0.3	1		0.3	1.5	%	
I_{ADJ}	Adjustment Pin Current		50	100		50	100	μA		
ΔI_{ADJ}	Adjustment Pin Current	$V_1 - V_0 = 2.5\text{ to }40\text{ V}$ $I_0 = 10\text{ mA to }I_{MAX}$		0.2	5		0.2	5	μA	
V_{REF}	Reference Voltage (between pin 3 and pin 1)	$V_1 - V_0 = 2.5\text{ to }40\text{ V}$ $I_0 = 10\text{ mA to }I_{MAX}$ $P_D \leq P_{MAX}$	1.2	1.25	1.3	1.2	1.25	1.3	V	
$\frac{\Delta V_0}{V_0}$	Output Voltage Temperature Stability			1			1		%	
$I_0(\text{min})$	Minimum Load Current	$V_1 - V_0 = 40\text{ V}$		3.5	5		3.5	10	mA	
$I_0(\text{max})$	Maximum Load Current	$V_1 - V_0 \leq 15\text{ V}$ $P_D < P_{MAX}$	1.5	2.2		1.5	2.2		A	
		$V_1 - V_0 = 40\text{ V}$ $P_D < P_{MAX}$ $T_J = 25^\circ\text{C}$		0.4			0.4			A
e_N	Output Noise Voltage (percentage of V_0)	$B = 10\text{ Hz to }10\text{ kHz}$ $T_J = 25^\circ\text{C}$		0.003			0.003		%	
SVR	Supply Voltage Rejection (*)	$T_J = 25^\circ\text{C}$ $f = 120\text{ Hz}$	$C_{ADJ} = 0$		65			65		dB
			$C_{ADJ} = 10\mu\text{F}$	66	80		66	80		dB

(*) C_{ADJ} is connected between pin 1 and ground.

Note:

(1) Unless otherwise specified the above specs, apply over the following conditions : LM 117 $T_J = -55\text{ to }150^\circ\text{C}$; LM 217 $T_J = -25\text{ to }150^\circ\text{C}$; LM 317 $T_J = 0\text{ to }125^\circ\text{C}$.

Figure 1 : Output Current vs. Input-output Differential Voltage.

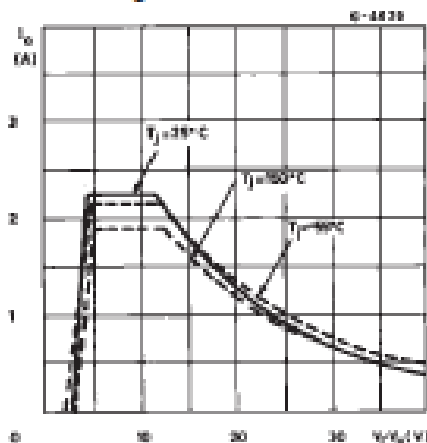


Figure 3 : Reference Voltage vs. Junction

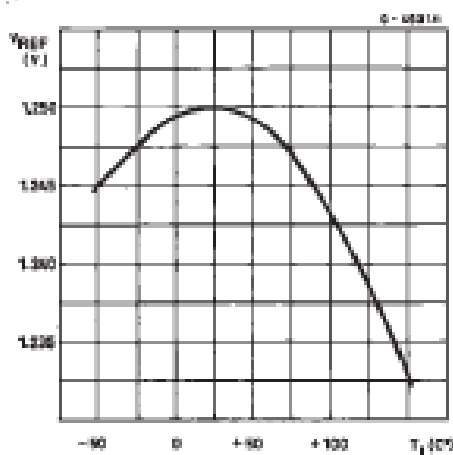


Figure 2 : Dropout Voltage vs. Junction Temperature.

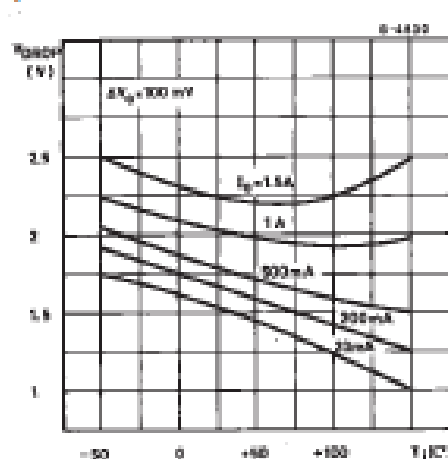
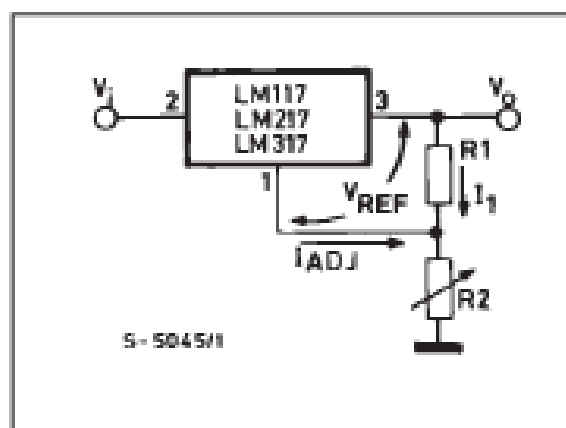


Figure 4 : Basic Adjustable Regulator.



APPLICATION INFORMATION

The LM117/217/317 provides an internal reference voltage of 1.25V between the output and adjustments terminals. This is used to set a constant current flow across an external resistor divider (see fig. 4), giving an output voltage V_O of:

$$V_O = V_{REF} \left(1 + \frac{R_2}{R_1} \right) + I_{ADJ} R_2$$

The device was designed to minimize the term $I_{ADJ} R_2$ (100μA max) and to maintain it very constant with line and load changes. Usually, the error term $I_{ADJ} R_2$ can be neglected. To obtain the previous requirement, all the regulator quiescent current is returned to the output terminal, imposing a minimum load current condition. If the load is insufficient, the output voltage will rise.

Since the LM117/217/317 is a floating regulator and "sees" only the input-to-output differential

voltage, supplies of very high voltage with respect to ground can be regulated as long as the maximum input-to-output differential is not exceeded. Furthermore, programmable regulator are easily obtainable and, by connecting a fixed resistor between the adjustment and output, the device can be used as a precision current regulator.

In order to optimise the load regulation, the current set resistor R_1 (see fig. 4) should be tied as close as possible to the regulator, while the ground terminal of R_2 should be near the ground of the load to provide remote ground sensing.

Performance may be improved with added capacitance as follow:

An input bypass capacitor of 0.1μF

An adjustment terminal to ground 10μF capacitor

to improve the ripple rejection of about 15 dB (C_{ADJ}).

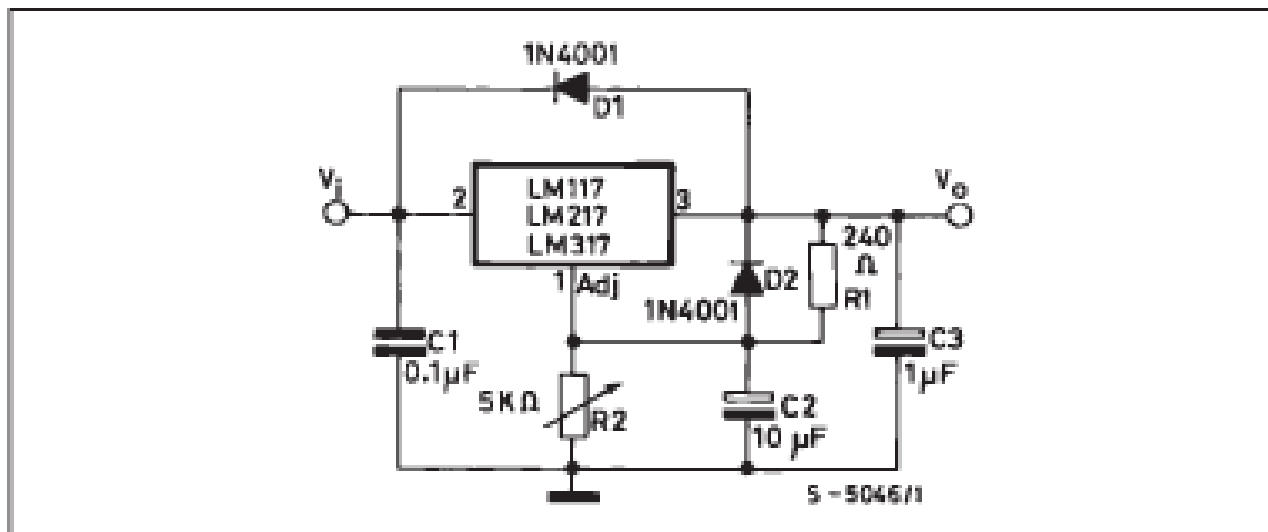
An $1\mu\text{F}$ tantalum (or $25\mu\text{F}$ Aluminium electrolytic) capacitor on the output to improve transient response.

In addition to external capacitors, it is good

practice to add protection diodes, as shown in fig.5.

D1 protect the device against Input short circuit, while D2 protect against output short circuit for capacitance discharging.

Figure 5 : Voltage Regulator with Protection Diodes.



D1 protect the device against input short circuit, while D2 protects against output short circuit for capacitors discharging

Figure 6 : Slow Turn-on 15V Regulator.

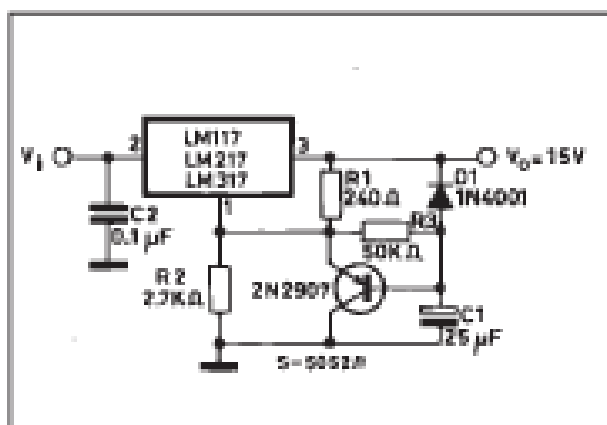
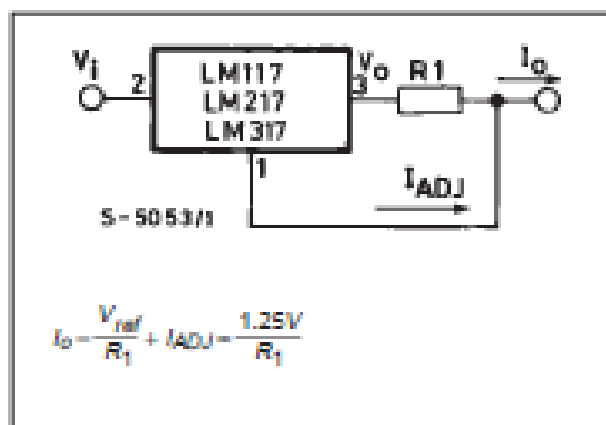


Figure 7 : Current Regulator.



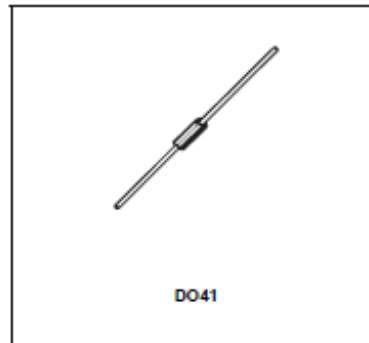


1N581x

LOW DROP POWER SCHOTTKY RECTIFIER

MAIN PRODUCTS CHARACTERISTICS

$I_{F(AV)}$	1 A
V_{RRM}	40 V
T_j	150°C
$V_F(max)$	0.45 V



FEATURES AND BENEFITS

- VERY SMALL CONDUCTION LOSSES
- NEGLIGIBLE SWITCHING LOSSES
- EXTREMELY FAST SWITCHING
- LOW FORWARD VOLTAGE DROP

DESCRIPTION

Axial Power Schottky rectifier suited for Switch Mode Power Supplies and high frequency DC to DC converters. Packaged in DO41 these devices are intended for use in low voltage, high frequency inverters, free wheeling, polarity protection and small battery chargers.

ABSOLUTE RATINGS (limiting values)

Symbol	Parameter	Value			Unit
		1N5817	1N5818	1N5819	
V_{RRM}	Repetitive peak reverse voltage	20	30	40	V
$I_{F(RMS)}$	RMS forward current	10			A
$I_{F(AV)}$	Average forward current	1			A
I_{FSM}	Surge non repetitive forward current	25			A
T_{stg}	Storage temperature range	- 65 to + 150			°C
T_j	Maximum operating junction temperature *	150			°C
dV/dt	Critical rate of rise of reverse voltage	10000			V/μs

* : $\frac{dP_{tot}}{dT} < \frac{1}{R_{th(j-a)}}$ thermal runaway condition for a diode on its own heatsink

THERMAL RESISTANCES

Symbol	Parameter		Value	Unit
$R_{th(j-a)}$	Junction to ambient	Lead length = 10 mm	100	°C/W
$R_{th(j-l)}$	Junction to lead	Lead length = 10 mm	45	°C/W

STATIC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Tests Conditions	1N5817	1N5818	1N5819	Unit
			I_r^*	Reverse leakage current	$T_j = 25^\circ C$	
		$T_j = 100^\circ C$	10	10	10	
V_F^*	Forward voltage drop	$T_j = 25^\circ C$	0.45	0.55	0.6	V
		$T_j = 25^\circ C$	0.75	0.875	0.9	

Pulse test : * $t_p = 380 \mu s, \delta < 2\%$

To evaluate the conduction losses use the following equations :

$P = 0.3 \times I_{F(AV)} + 0.090 I_{F(RMS)}^2$ for 1N5817 / 1N5818

$P = 0.3 \times I_{F(AV)} + 0.150 I_{F(RMS)}^2$ for 1N5819

Fig. 1: Average forward power dissipation versus average forward current (1N5817/1N5818).

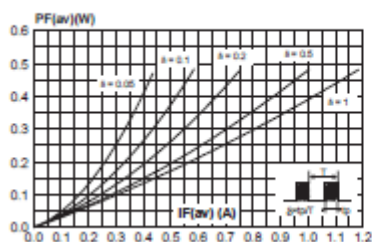


Fig. 2: Average forward power dissipation versus average forward current (1N5819).

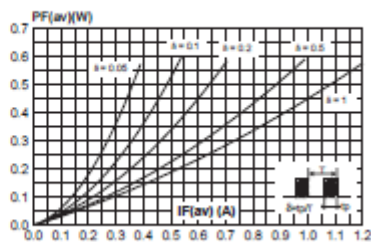


Fig. 2-1: Average forward current versus ambient temperature ($\delta=0.5$) (1N5817/1N5818).

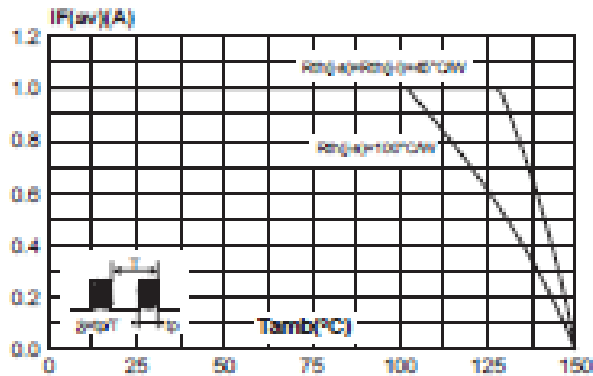


Fig. 2-2: Average forward current versus ambient temperature ($\delta=0.5$) (1N5819).

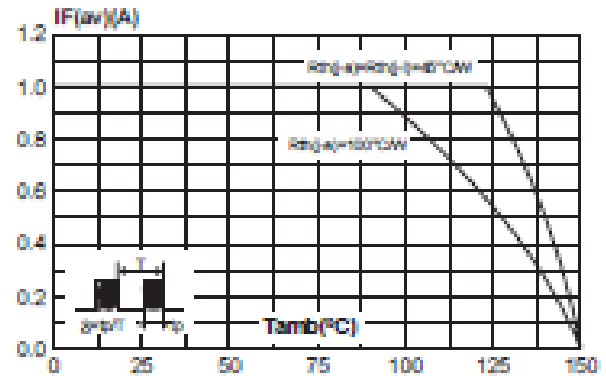


Fig. 3-1: Non repetitive surge peak forward current versus overload duration (maximum values) (1N5817/1N5818).

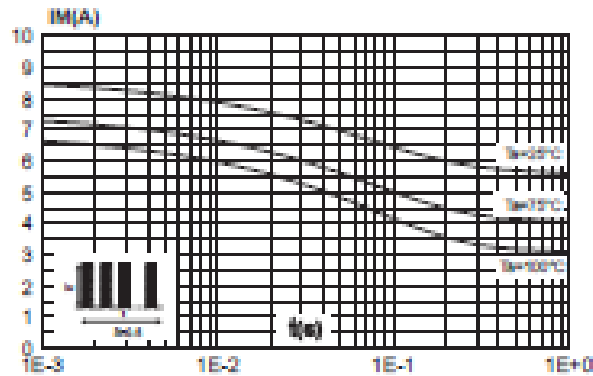


Fig. 3-2: Non repetitive surge peak forward current versus overload duration (maximum values) (1N5819).

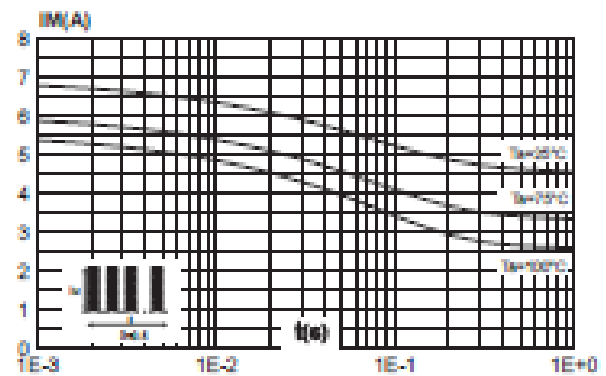


Fig. 4: Relative variation of thermal impedance to ambient versus pulse duration (epoxy printed circuit board, $e(Cu)=35mm$, recommended pad layout).

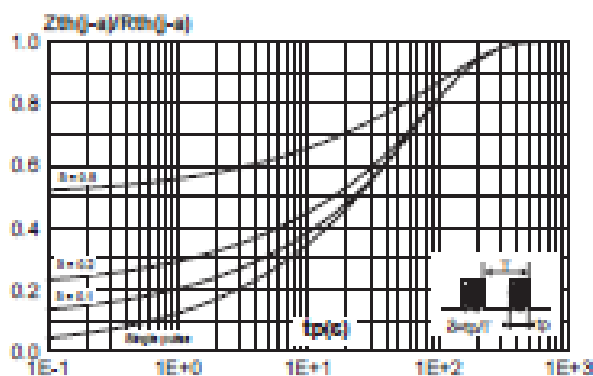


Fig. 5: Junction capacitance versus reverse voltage applied (typical values).

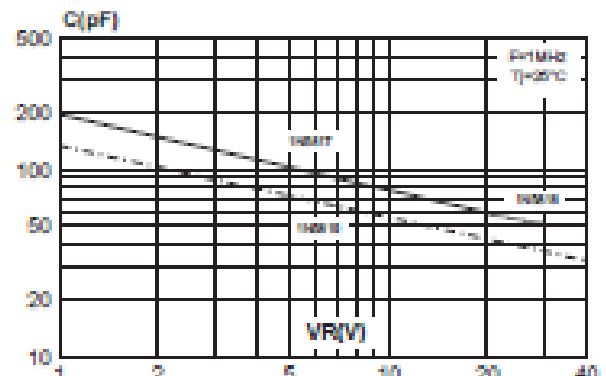


Fig. 6-1: Reverse leakage current versus reverse voltage applied (typical values) (1N5817/1N5818).

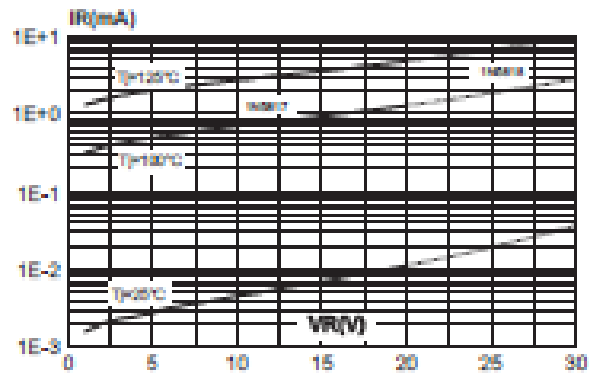


Fig. 6-2: Reverse leakage current versus reverse voltage applied (typical values) (1N5819).

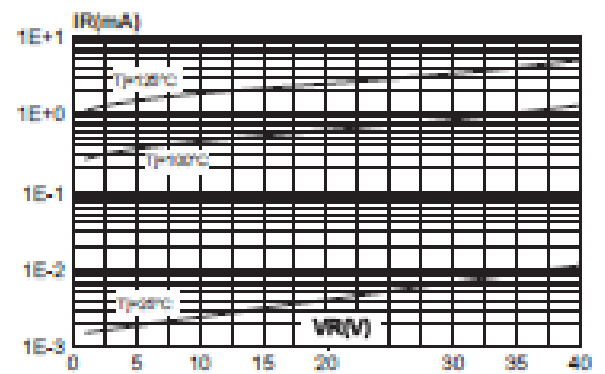


Fig. 7-1: Forward voltage drop versus forward current (typical values) (1N5817/1N5818).

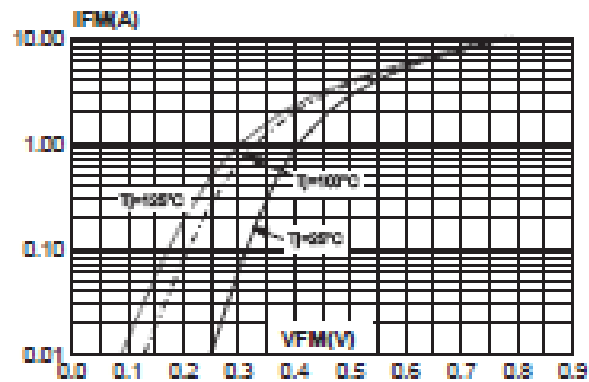


Fig. 7-2: Forward voltage drop versus forward current (typical values) (1N5819).

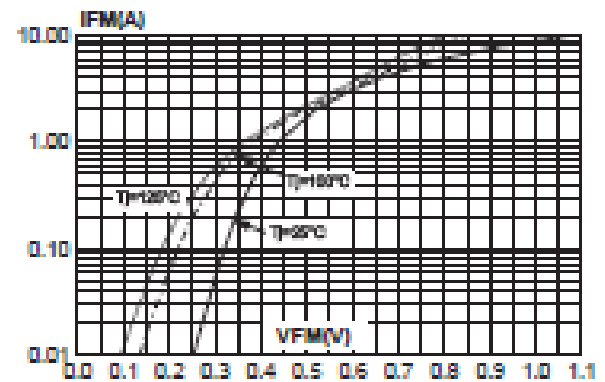
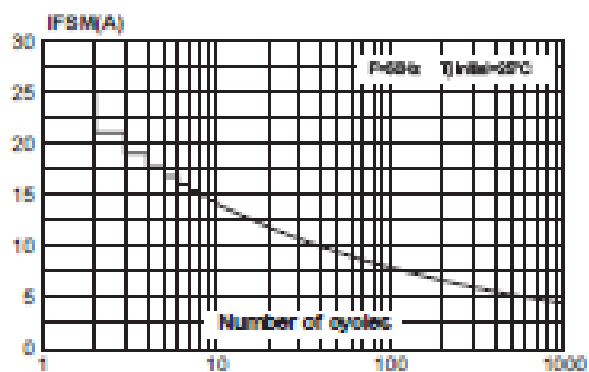


Fig. 8: Non repetitive surge peak forward current versus number of cycles.

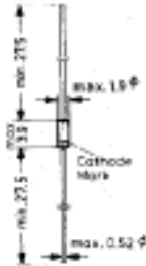


1N5225 THRU 1N5262

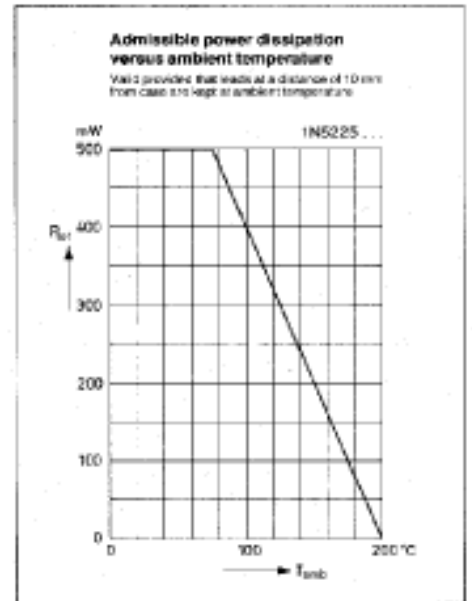
SILICON PLANAR ZENER DIODES

Silicon Planar Zener Diodes

Standard Zener voltage tolerance is $\pm 20\%$. Add suffix "A" for $\pm 10\%$ tolerance and suffix "B" for $\pm 5\%$ tolerance. Other tolerances, non standard and higher Zener voltages upon request.



Glass case JEDEC DO-35
Dimensions in mm



Absolute Maximum Ratings

	Symbol	Value	Unit
Zener Current see Table "Characteristics"			
Power Dissipation at $T_{amb} = 75^\circ\text{C}$	P_{tot}	500 ¹⁾	mW
Junction Temperature	T_j	200	°C
Storage Temperature Range	T_S	-65 to +200	°C

¹⁾ Valid provided that leads at a distance of 10 mm from case are kept at ambient temperature

Characteristics at $T_{amb} = 25^\circ\text{C}$

	Symbol	Min.	Typ.	Max.	Unit
Thermal Resistance Junction to Ambient Air	R_{thA}	-	-	0.3 ¹⁾	K/mW
Forward Voltage at $I_F = 200\text{ mA}$	V_F	-	-	1.1	V

¹⁾ Valid provided that leads at a distance of 10 mm from case are kept at ambient temperature

1N5225 THRU 1N5262

Type	Nominal Zener voltage ¹⁾ at I_{ZT} V_Z V	Test current I_{ZT} mA	Maximum Zener impedance ¹⁾		Typical temperature coefficient α_{VZ} %/K	Maximum reverse leakage current			Maximum regulator current ²⁾ I_{ZM} mA
			at I_{ZT} Z_{ZT} Ω	at $I_{ZK} = 0.25$ mA Z_{ZK} Ω		I_{R1} μ A	Test voltage Suffix A V_R V	Suffix B V_R V	
1N5225	3.0	20	29	1800	-0.075	50	0.95	1.0	152
1N5226	3.3	20	28	1600	-0.070	25	0.95	1.0	138
1N5227	3.6	20	24	1700	-0.065	15	0.95	1.0	126
1N5228	3.9	20	23	1900	-0.060	10	0.95	1.0	115
1N5229	4.3	20	22	2000	-0.055	5	0.95	1.0	106
1N5230	4.7	20	19	1900	± 0.030	5	1.9	2.0	97
1N5231	5.1	20	17	1600	± 0.030	5	1.9	2.0	89
1N5232	5.6	20	11	1600	+0.038	5	2.9	3.0	81
1N5233	6.0	20	7	1600	+0.038	5	3.3	3.5	78
1N5234	6.2	20	7	1000	+0.045	5	3.8	4.0	73
1N5235	6.8	20	5	750	+0.050	3	4.8	5.0	67
1N5236	7.5	20	6	500	+0.058	3	5.7	6.0	61
1N5237	8.2	20	8	500	+0.062	3	6.2	6.5	55
1N5238	8.7	20	8	600	+0.065	3	6.2	6.5	52
1N5239	9.1	20	10	600	+0.068	3	6.7	7.0	50
1N5240	10	20	17	600	+0.075	3	7.6	8.0	45
1N5241	11	20	22	600	+0.076	2	8.0	8.4	41
1N5242	12	20	30	600	+0.077	1	8.7	9.1	38
1N5243	13	9.5	13	600	+0.079	0.5	9.4	9.9	35
1N5244	14	9.0	15	600	+0.082	0.1	9.5	10	32
1N5245	15	8.5	16	600	+0.082	0.1	10.5	11	30
1N5246	16	7.8	17	600	+0.083	0.1	11.4	12	28
1N5247	17	7.4	19	600	+0.084	0.1	12.4	13	27
1N5248	18	7.0	21	600	+0.085	0.1	13.3	14	25
1N5249	19	6.6	23	600	+0.086	0.1	13.3	14	24
1N5250	20	6.2	25	600	+0.086	0.1	14.3	15	23
1N5251	22	5.6	29	600	+0.087	0.1	16.2	17	21
1N5252	24	5.2	33	600	+0.087	0.1	17.1	18	19.1
1N5253	25	5.0	35	600	+0.089	0.1	18.1	19	18.2
1N5254	27	4.6	41	600	+0.090	0.1	20	21	16.8
1N5255	28	4.5	44	600	+0.091	0.1	20	21	16.2
1N5256	30	4.2	49	600	+0.091	0.1	22	23	15.1
1N5257	33	3.8	58	700	+0.092	0.1	24	25	13.8
1N5258	36	3.4	70	700	+0.093	0.1	26	27	12.6
1N5259	39	3.2	80	800	+0.094	0.1	29	30	11.6
1N5260	43	3.0	93	900	+0.095	0.1	31	33	10.6
1N5261	47	2.7	105	1000	+0.095	0.1	34	36	9.7
1N5262	51	2.5	125	1100	+0.096	0.1	37	39	8.9

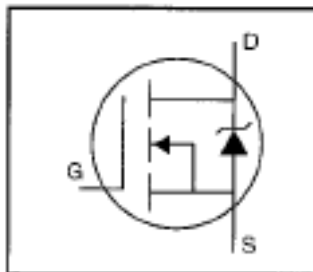
¹⁾ The Zener Impedance is derived from the 60 Hz AC voltage which results when an AC current having an RMS value equal to 10% of the Zener current (I_{ZT} or I_{ZK}) is superimposed on I_{ZT} or I_{ZK} . Zener Impedance is measured at two points to insure a sharp knee on the breakdown curve and to eliminate unstable units.

²⁾ Valid provided that leads at a distance of 10 mm from case are kept at ambient temperature.

³⁾ Measured under thermal equilibrium and DC test conditions.

HEXFET® Power MOSFET

- Dynamic dv/dt Rating
- Repetitive Avalanche Rated
- Isolated Central Mounting Hole
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements

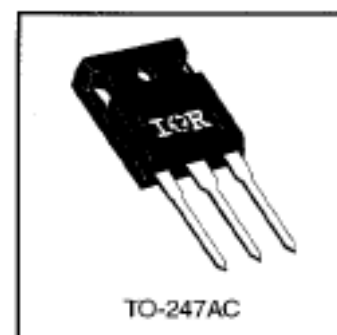


$V_{DSS} = 200V$
$R_{DS(on)} = 0.085\Omega$
$I_D = 30A$

Description

Third Generation HEXFETs from International Rectifier provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-247 package is preferred for commercial-industrial applications where higher power levels preclude the use of TO-220 devices. The TO-247 is similar but superior to the earlier TO-218 package because of its isolated mounting hole. It also provides greater creepage distance between pins to meet the requirements of most safety specifications.



Absolute Maximum Ratings

	Parameter	Max.	Units
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	30	A
$I_D @ T_C = 100^\circ C$	Continuous Drain Current, $V_{GS} @ 10 V$	19	
I_{DM}	Pulsed Drain Current ①	120	
$P_D @ T_C = 25^\circ C$	Power Dissipation	190	W
	Linear Derating Factor	1.5	W/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
E_{AS}	Single Pulse Avalanche Energy ②	410	mJ
I_{AR}	Avalanche Current ①	30	A
E_{AR}	Repetitive Avalanche Energy ①	19	mJ
dv/dt	Peak Diode Recovery dv/dt ③	5.0	V/ns
T_J T_{STG}	Operating Junction and Storage Temperature Range	-55 to +150	°C
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting Torque, 6-32 or M3 screw	10 lbf•in (1.1 N•m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	—	0.65	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	—	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient	—	—	40	

Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
V _{(BR)DSS}	Drain-to-Source Breakdown Voltage	200	—	—	V	V _{GS} =0V, I _D = 250μA
ΔV _{(BR)DSS} /ΔT _J	Breakdown Voltage Temp. Coefficient	—	0.27	—	V/°C	Reference to 25°C, I _D = 1mA
R _{DS(on)}	Static Drain-to-Source On-Resistance	—	—	0.085	Ω	V _{GS} =10V, I _D =18A ④
V _{GS(th)}	Gate Threshold Voltage	2.0	—	4.0	V	V _{DS} =V _{GS} , I _D = 250μA
g _{fs}	Forward Transconductance	12	—	—	S	V _{DS} =50V, I _D =18A ④
I _{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	V _{DS} =200V, V _{GS} =0V
		—	—	250		V _{DS} =160V, V _{GS} =0V, T _J =125°C
I _{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	V _{GS} =20V
	Gate-to-Source Reverse Leakage	—	—	-100		V _{GS} =-20V
Q _g	Total Gate Charge	—	—	140	nC	I _D =30A
Q _{gs}	Gate-to-Source Charge	—	—	28		V _{DS} =160V
Q _{gd}	Gate-to-Drain ("Miller") Charge	—	—	74		V _{GS} =10V See Fig. 6 and 13 ④
t _{d(on)}	Turn-On Delay Time	—	16	—	ns	V _{DD} =100V
t _r	Rise Time	—	86	—		I _D =30A
t _{d(off)}	Turn-Off Delay Time	—	70	—		R _G =6.2Ω
t _f	Fall Time	—	62	—		R _O =3.2Ω See Figure 10 ④
L _D	Internal Drain Inductance	—	5.0	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact
L _S	Internal Source Inductance	—	13	—		
C _{iss}	Input Capacitance	—	2800	—	pF	V _{GS} =0V
C _{oss}	Output Capacitance	—	780	—		V _{DS} = 25V
C _{rss}	Reverse Transfer Capacitance	—	250	—		f=1.0MHz See Figure 5



Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I _S	Continuous Source Current (Body Diode)	—	—	30	A	MOSFET symbol showing the integral reverse p-n junction diode.
I _{SM}	Pulsed Source Current (Body Diode) ①	—	—	120		
V _{SD}	Diode Forward Voltage	—	—	2.0	V	T _J =25°C, I _S =30A, V _{GS} =0V ②
t _{rr}	Reverse Recovery Time	—	360	540	ns	T _J =25°C, I _F =30A
Q _{rr}	Reverse Recovery Charge	—	4.6	6.9	μC	di/dt=100A/μs ③
t _{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by L _S +L _D)				

Notes:

① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)

③ I_S≤30A, di/dt≤190A/μs, V_{DS}≤V_{(BR)DSS}, T_J≤150°C

② V_{DD}=50V, starting T_J=25°C, L=683μH R_G=25Ω, I_{AS}=30A (See Figure 12)

④ Pulse width ≤ 300 μs; duty cycle ≤2%.

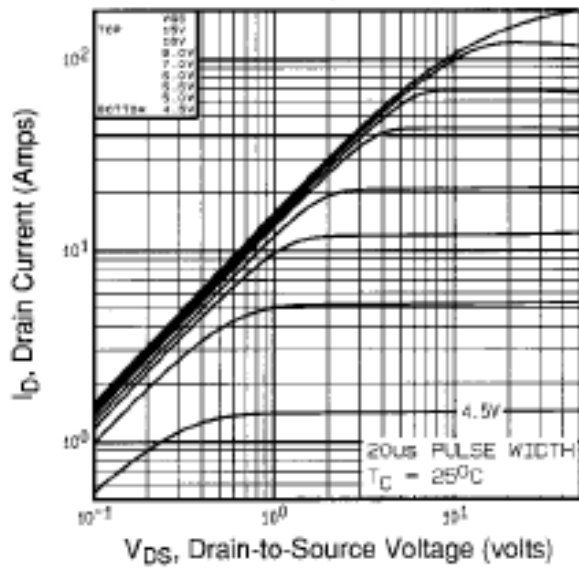


Fig 1. Typical Output Characteristics, $T_C=25^\circ\text{C}$

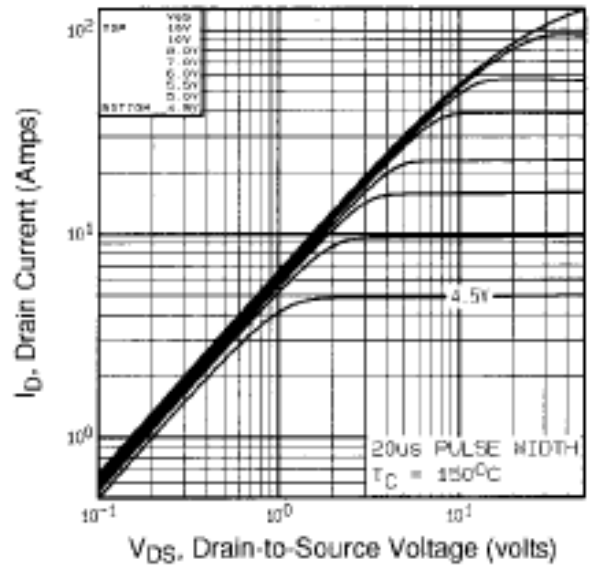


Fig 2. Typical Output Characteristics, $T_C=150^\circ\text{C}$

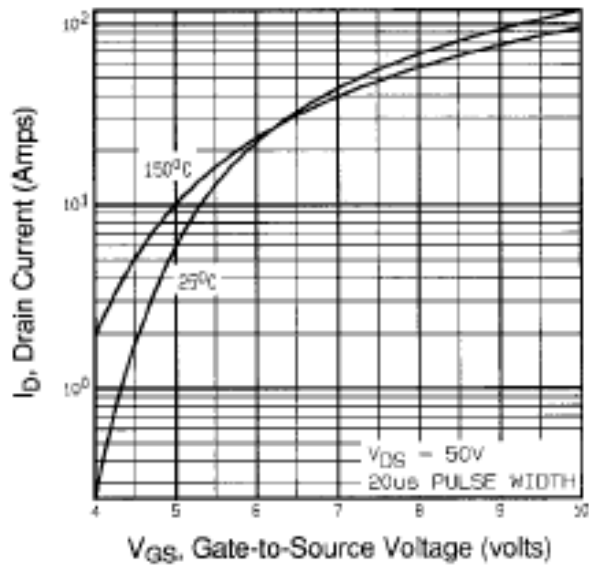


Fig 3. Typical Transfer Characteristics

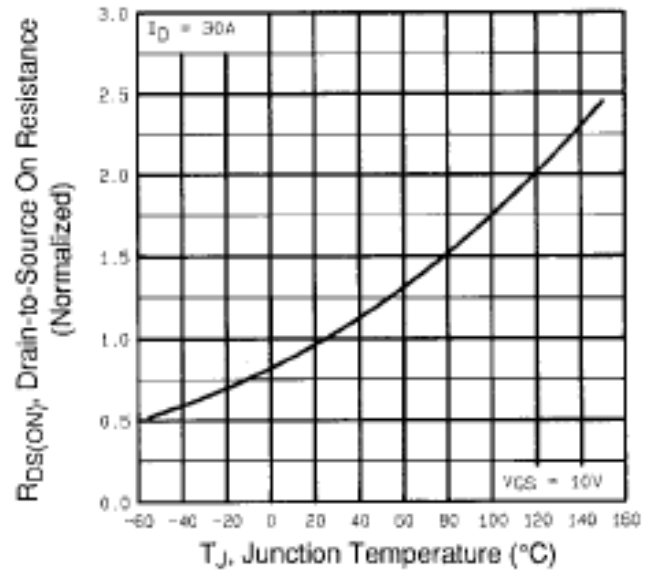


Fig 4. Normalized On-Resistance Vs. Temperature

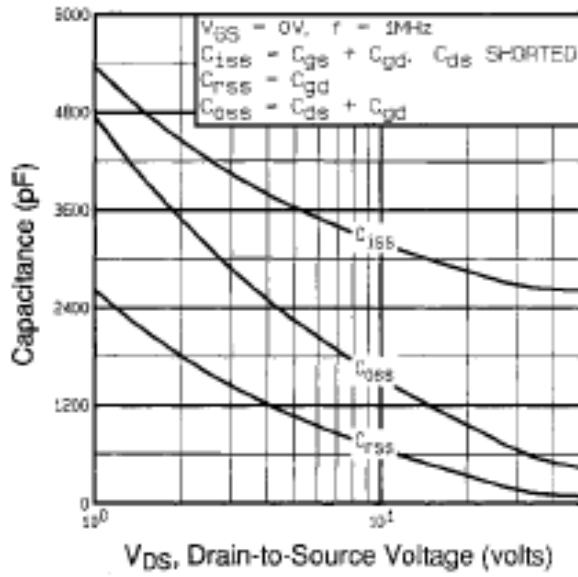


Fig 5. Typical Capacitance Vs. Drain-to-Source Voltage

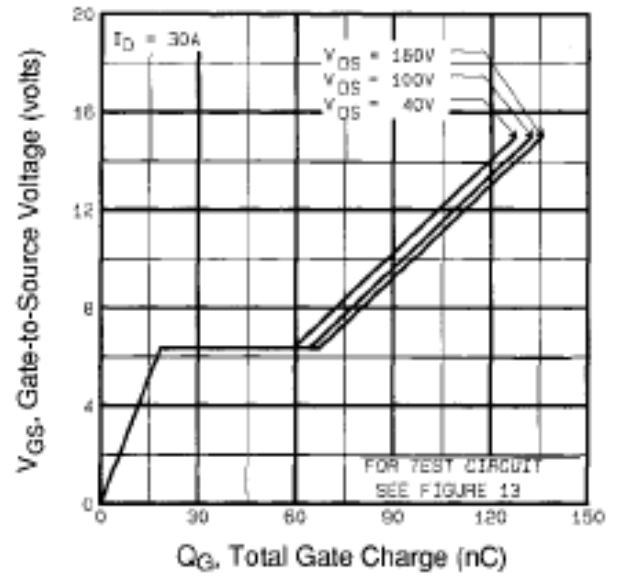


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

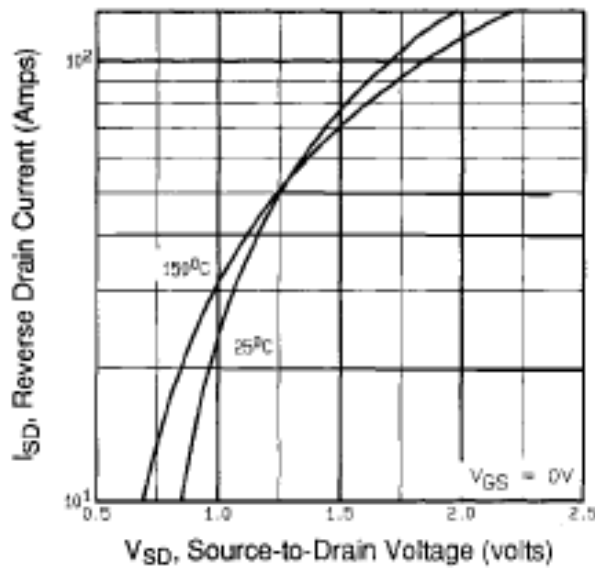


Fig 7. Typical Source-Drain Diode Forward Voltage

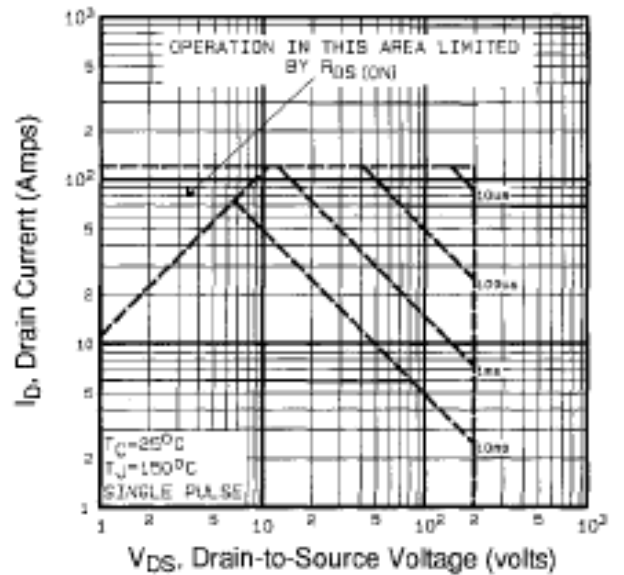


Fig 8. Maximum Safe Operating Area

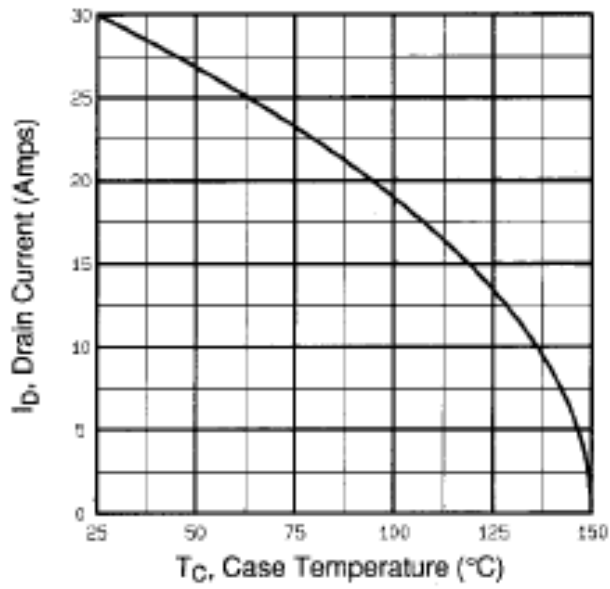


Fig 9. Maximum Drain Current Vs. Case Temperature

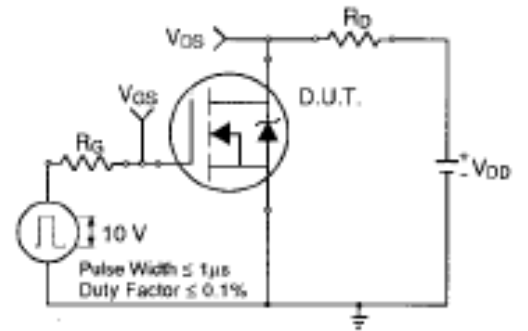


Fig 10a. Switching Time Test Circuit

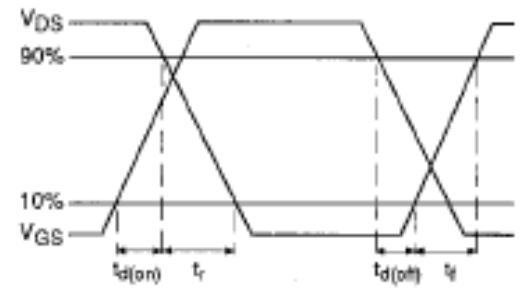


Fig 10b. Switching Time Waveforms

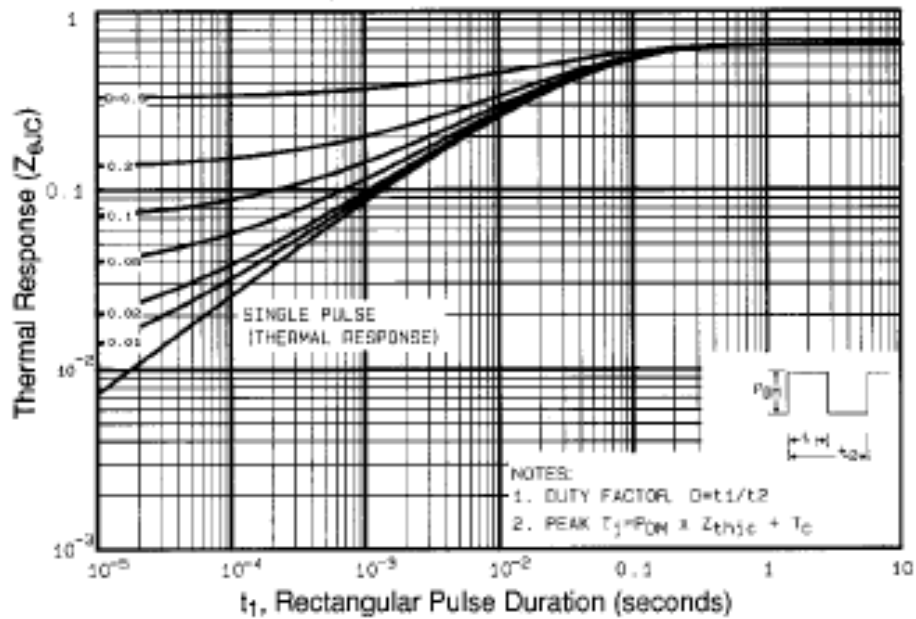


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Case

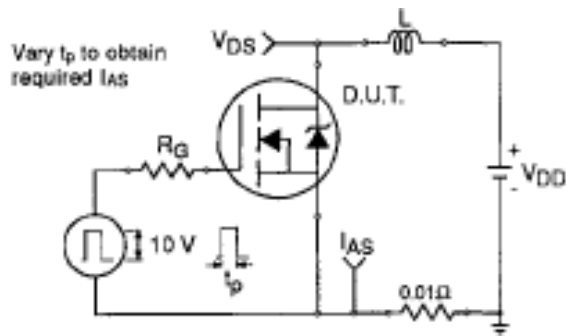


Fig 12a. Unclamped Inductive Test Circuit

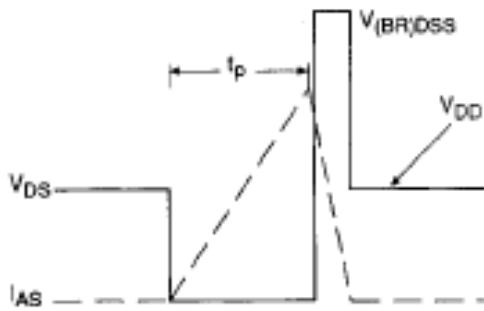


Fig 12b. Unclamped Inductive Waveforms

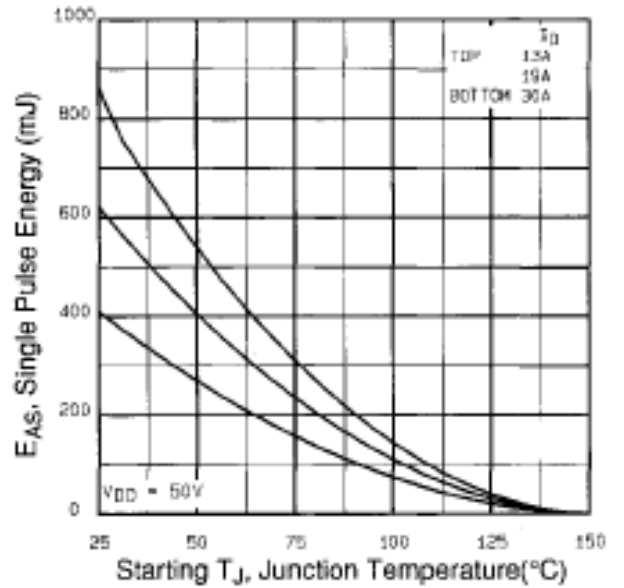


Fig 12c. Maximum Avalanche Energy Vs. Drain Current

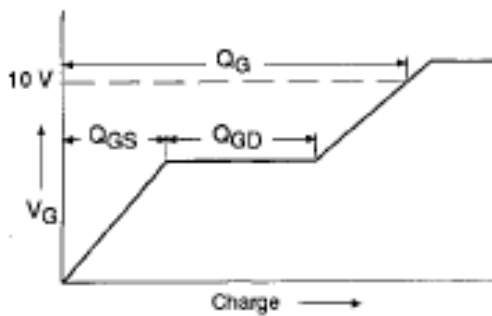


Fig 13a. Basic Gate Charge Waveform

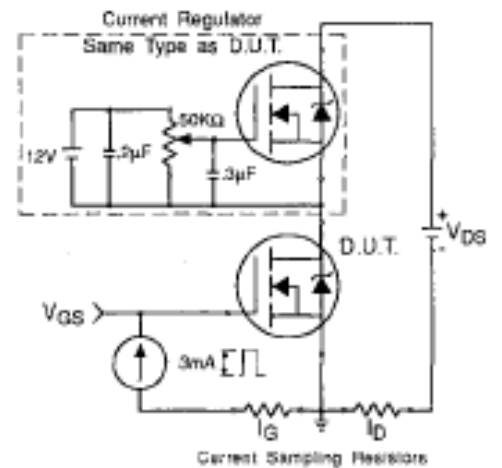


Fig 13b. Gate Charge Test Circuit

Appendix A: Figure 14, Peak Diode Recovery dv/dt Test Circuit – See page 1505

Appendix B: Package Outline Mechanical Drawing – See page 1511

Appendix C: Part Marking Information – See page 1517

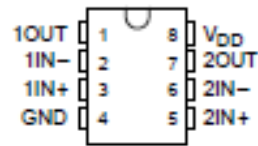
International
IOR Rectifier

TLC272, TLC272A, TLC272B, TLC272Y, TLC277 LinCMOS™ PRECISION DUAL OPERATIONAL AMPLIFIERS

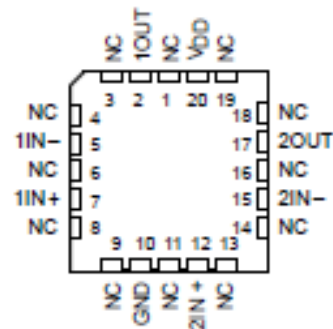
BLOG091E – OCTOBER 1987 – REVISED FEBRUARY 2002

- **Trimmed Offset Voltage:**
TLC277 . . . 500 μV Max at 25°C,
 $V_{\text{DD}} = 5\text{ V}$
- **Input Offset Voltage Drift . . . Typically**
0.1 $\mu\text{V}/\text{Month}$, Including the First 30 Days
- **Wide Range of Supply Voltages Over Specified Temperature Range:**
0°C to 70°C . . . 3 V to 16 V
–40°C to 85°C . . . 4 V to 16 V
–55°C to 125°C . . . 4 V to 16 V
- **Single-Supply Operation**
- **Common-Mode Input Voltage Range Extends Below the Negative Rail (C-Suffix, I-Suffix types)**
- **Low Noise . . . Typically 25 nV/ $\sqrt{\text{Hz}}$ at $f = 1\text{ kHz}$**
- **Output Voltage Range Includes Negative Rail**
- **High Input impedance . . . 10¹² Ω Typ**
- **ESD-Protection Circuitry**
- **Small-Outline Package Option Also Available in Tape and Reel**
- **Designed-In Latch-Up Immunity**

D, JG, P, OR PW PACKAGE
(TOP VIEW)



FK PACKAGE
(TOP VIEW)



NC – No internal connection

description

The TLC272 and TLC277 precision dual operational amplifiers combine a wide range of input offset voltage grades with low offset voltage drift, high input impedance, low noise, and speeds approaching those of general-purpose BiFET devices.

These devices use Texas Instruments silicon-gate LinCMOS™ technology, which provides offset voltage stability far exceeding the stability available with conventional metal-gate processes.

The extremely high input impedance, low bias currents, and high slew rates make these cost-effective devices ideal for applications previously reserved for BiFET and NFET products. Four offset voltage grades are available (C-suffix and I-suffix types), ranging from the low-cost TLC272 (10 mV) to the high-precision TLC277 (500 μV). These advantages, in combination with good common-mode rejection and supply voltage rejection, make these devices a good choice for new state-of-the-art designs as well as for upgrading existing designs.

LinCMOS is a trademark of Texas Instruments.

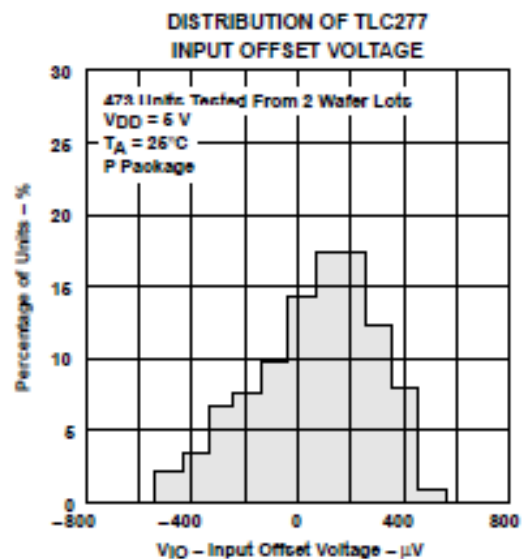
PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2002, Texas Instruments Incorporated

1



description (continued)

AVAILABLE OPTIONS							
T _A	V _{IO} max AT 25°C	PACKAGED DEVICES					CHIP FORM (Y)
		SMALL OUTLINE (D)	CHIP CARRIER (FK)	CERAMIC DIP (JG)	PLASTIC DIP (P)	TSSOP (PW)	
0°C to 70°C	500 μV	TLC277CD	—	—	TLC277CP	—	—
	2 mV	TLC272BCD	—	—	TLC272BCP	—	—
	5 mV	TLC272ACD	—	—	TLC272ACP	—	—
	10 mV	TLC272CD	—	—	TLC272CP	TLC272CPW	TLC272Y
-40°C to 85°C	500 μV	TLC277ID	—	—	TLC277IP	—	—
	2 mV	TLC272BID	—	—	TLC272BIP	—	—
	5 mV	TLC272AID	—	—	TLC272AIP	—	—
	10 mV	TLC272ID	—	—	TLC272IP	—	—

The D package is available taped and reeled. Add R suffix to the device type (e.g., TLC277CDR).

In general, many features associated with bipolar technology are available on LinCMOS™ operational amplifiers without the power penalties of bipolar technology. General applications such as transducer interfacing, analog calculations, amplifier blocks, active filters, and signal buffering are easily designed with the TLC272 and TLC277. The devices also exhibit low voltage single-supply operation, making them ideally suited for remote and inaccessible battery-powered applications. The common-mode input voltage range includes the negative rail.

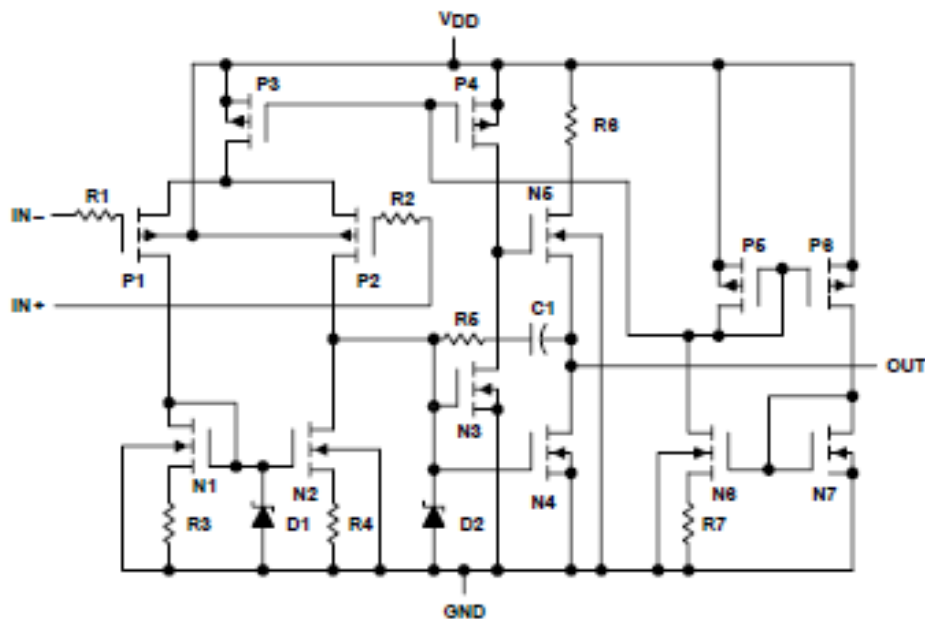
A wide range of packaging options is available, including small-outline and chip carrier versions for high-density system applications.

The device inputs and outputs are designed to withstand –100-mA surge currents without sustaining latch-up.

The TLC272 and TLC277 incorporate internal ESD-protection circuits that prevent functional failures at voltages up to 2000 V as tested under MIL-STD-883C, Method 3015.2; however, care should be exercised in handling these devices as exposure to ESD may result in the degradation of the device parametric performance.

The C-suffix devices are characterized for operation from 0°C to 70°C. The I-suffix devices are characterized for operation from –40°C to 85°C. The M-suffix devices are characterized for operation over the full military temperature range of –55°C to 125°C.

equivalent schematic (each amplifier)



TLC272Y chip information

This chip, when properly assembled, displays characteristics similar to the TLC272C. Thermal compression or ultrasonic bonding may be used on the doped-aluminum bonding pads. Chips may be mounted with conductive epoxy or a gold-silicon preform.

BONDING PAD ASSIGNMENTS

CHIP THICKNESS: 16 TYPICAL
BONDING PADS: 4 x 4 MINIMUM
 $T_{jmax} = 160^{\circ}C$
TOLERANCES ARE ±10%.
ALL DIMENSIONS ARE IN MILS.
PIN (4) IS INTERNALLY CONNECTED TO BACKSIDE OF CHIP.

SLOS091E – OCTOBER 1987 – REVISED FEBRUARY 2002

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, V_{DD} (see Note 1)	18 V
Differential input voltage, V_{ID} (see Note 2)	$\pm V_{DD}$
Input voltage range, V_I (any input)	-0.3 V to V_{DD}
Input current, I_I	± 5 mA
output current, I_O (each output)	± 30 mA
Total current into V_{DD}	45 mA
Total current out of GND	45 mA
Duration of short-circuit current at (or below) 25°C (see Note 3)	unlimited
Continuous total dissipation	See Dissipation Rating Table
Operating free-air temperature, T_A : C suffix	0°C to 70°C
I suffix	-40°C to 85°C
M suffix	-55°C to 125°C
Storage temperature range	-65°C to 150°C
Case temperature for 60 seconds: FK package	260°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: D, P, or PW package	260°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds: JG package	300°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. All voltage values, except differential voltages, are with respect to network ground.
 2. Differential voltages are at $IN+$ with respect to $IN-$.
 3. The output may be shorted to either supply. Temperature and/or supply voltages must be limited to ensure that the maximum dissipation rating is not exceeded (see application section).

DISSIPATION RATING TABLE

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING	$T_A = 125^\circ\text{C}$ POWER RATING
D	725 mW	5.8 mW/°C	464 mW	377 mW	N/A
FK	1375 mW	11 mW/°C	880 mW	715 mW	275 mW
JG	1050 mW	8.4 mW/°C	672 mW	546 mW	210 mW
P	1000 mW	8.0 mW/°C	640 mW	520 mW	N/A
PW	525 mW	4.2 mW/°C	336 mW	N/A	N/A

recommended operating conditions

	C SUFFIX		I SUFFIX		M SUFFIX		UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	
Supply voltage, V_{DD}	3	16	4	16	4	16	V
Common-mode input voltage, V_{IC}	$V_{DD} = 5$ V		-0.2	3.5	-0.2	3.5	V
	$V_{DD} = 10$ V		-0.2	8.5	-0.2	8.5	
Operating free-air temperature, T_A	0	70	-40	85	-55	125	°C

SLOS001E – OCTOBER 1987 – REVISED FEBRUARY 2002

electrical characteristics at specified free-air temperature, $V_{DD} = 5\text{ V}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		T_A^{\dagger}	TLC272C, TLC272AC, TLC272BC, TLC277C			UNIT
					MIN	TYP	MAX	
V_{IO}	Input offset voltage	TLC272C	$V_O = 1.4\text{ V}$, $R_S = 50\ \Omega$	$V_{IC} = 0$, $R_L = 10\ \text{k}\Omega$	25°C	1.1	10	mV
					Full range		12	
		TLC272AC	$V_O = 1.4\text{ V}$, $R_S = 50\ \Omega$	$V_{IC} = 0$, $R_L = 10\ \text{k}\Omega$	25°C	0.9	5	mV
					Full range		6.5	
TLC272BC	$V_O = 1.4\text{ V}$, $R_S = 50\ \Omega$	$V_{IC} = 0$, $R_L = 10\ \text{k}\Omega$	25°C	230	2000	μV		
			Full range		3000			
TLC277C	$V_O = 1.4\text{ V}$, $R_S = 50\ \Omega$	$V_{IC} = 0$, $R_L = 10\ \text{k}\Omega$	25°C	200	500	μV		
			Full range		1500			
α_{VIO}	Temperature coefficient of input offset voltage			25°C to 70°C	1.8		$\mu\text{V}/^\circ\text{C}$	
I_{IO}	Input offset current (see Note 4)	$V_O = 2.5\text{ V}$, $V_{IC} = 2.5\text{ V}$		25°C	0.1	60	μA	
I_{IB}	Input bias current (see Note 4)			70°C	7	300		
				25°C	0.6	60	μA	
				70°C	40	600		
V_{ICR}	Common-mode input voltage range (see Note 5)			25°C	-0.2 to 4	-0.3 to 4.2	V	
				Full range	-0.2 to 3.5		V	
V_{OH}	High-level output voltage	$V_{IO} = 100\text{ mV}$,	$R_L = 10\ \text{k}\Omega$	25°C	3.2	3.8	V	
				0°C	3	3.8		
				70°C	3	3.8		
V_{OL}	Low-level output voltage	$V_{IO} = -100\text{ mV}$,	$I_{OL} = 0$	25°C	0	50	mV	
				0°C	0	50		
				70°C	0	50		
A_{VD}	Large-signal differential voltage amplification	$V_O = 0.25\text{ V to }2\text{ V}$,	$R_L = 10\ \text{k}\Omega$	25°C	5	23	V/mV	
				0°C	4	27		
				70°C	4	20		
CMRR	Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$		25°C	65	80	dB	
				0°C	60	84		
				70°C	60	85		
KSVR	Supply-voltage rejection ratio ($\Delta V_{DD}/\Delta V_{IO}$)	$V_{DD} = 5\text{ V to }10\text{ V}$,	$V_O = 1.4\text{ V}$	25°C	65	95	dB	
				0°C	60	94		
				70°C	60	96		
I_{DD}	Supply current (two amplifiers)	$V_O = 2.5\text{ V}$, No load	$V_{IC} = 2.5\text{ V}$,	25°C	1.4	3.2	mA	
				0°C	1.6	3.6		
				70°C	1.2	2.6		

 † Full range is 0°C to 70°C.NOTES: 4. The typical values of input bias current and input offset current below 5 μA were determined mathematically.
5. This range also applies to each input individually.

SLOS091E – OCTOBER 1987 – REVISED FEBRUARY 2002

electrical characteristics at specified free-air temperature, $V_{DD} = 10\text{ V}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		T_A^{\dagger}	TLC272C, TLC272AC, TLC272BC, TLC277C			UNIT
					MIN	TYP	MAX	
V_{IO}	Input offset voltage	TLC272C	$V_O = 1.4\text{ V},$ $R_S = 50\ \Omega,$	$V_{IC} = 0,$ $R_L = 10\text{ k}\Omega$	25°C	1.1	10	mV
					Full range		12	
		TLC272AC	$V_O = 1.4\text{ V},$ $R_S = 50\ \Omega,$	$V_{IC} = 0,$ $R_L = 10\text{ k}\Omega$	25°C	0.9	5	
					Full range		6.5	
	TLC272BC	$V_O = 1.4\text{ V},$ $R_S = 50\ \Omega,$	$V_{IC} = 0,$ $R_L = 10\text{ k}\Omega$	25°C	290	2000	μV	
				Full range		3000		
	TLC277C	$V_O = 1.4\text{ V},$ $R_S = 50\ \Omega,$	$V_{IC} = 0,$ $R_L = 10\text{ k}\Omega$	25°C	250	800		
				Full range		1900		
ΔV_{IO}	Temperature coefficient of input offset voltage			25°C to 70°C	2		$\mu\text{V}/^\circ\text{C}$	
I_{IO}	Input offset current (see Note 4)	$V_O = 5\text{ V},$	$V_{IC} = 5\text{ V}$	25°C	0.1	60	pA	
	70°C			7	300			
I_{IB}	Input bias current (see Note 4)			25°C	0.7	60	pA	
	70°C			50	600			
V_{ICR}	Common-mode input voltage range (see Note 5)			25°C	-0.2 to 9	-0.3 to 9.2	V	
				Full range	-0.2 to 8.5		V	
V_{OH}	High-level output voltage	$V_{ID} = 100\text{ mV},$	$R_L = 10\text{ k}\Omega$	25°C	8	8.5	V	
				0°C	7.8	8.5		
				70°C	7.8	8.4		
V_{OL}	Low-level output voltage	$V_{ID} = -100\text{ mV},$	$I_{OL} = 0$	25°C	0	50	mV	
				0°C	0	50		
				70°C	0	50		
A_{VD}	Large-signal differential voltage amplification	$V_O = 1\text{ V to }5\text{ V},$	$R_L = 10\text{ k}\Omega$	25°C	10	36	V/mV	
				0°C	7.5	42		
				70°C	7.5	32		
CMRR	Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$		25°C	65	85	dB	
				0°C	60	88		
				70°C	60	88		
KSVR	Supply-voltage rejection ratio ($\Delta V_{DD}/\Delta V_{IO}$)	$V_{DD} = 5\text{ V to }10\text{ V},$	$V_O = 1.4\text{ V}$	25°C	65	95	dB	
				0°C	60	94		
				70°C	60	96		
I_{DD}	Supply current (two amplifiers)	$V_O = 5\text{ V},$ No load	$V_{IC} = 5\text{ V},$	25°C	1.9	4	mA	
				0°C	2.3	4.4		
				70°C	1.6	3.4		

[†] Full range is 0°C to 70°C.

NOTES: 4. The typical values of input bias current and input offset current below 5 pA were determined mathematically.

5. This range also applies to each input individually.

electrical characteristics at specified free-air temperature, $V_{DD} = 5\text{ V}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		T _A [†]	TLC272I, TLC272AI, TLC272BI, TLC277I			UNIT
					MIN	TYP	MAX	
V _{IO}	Input offset voltage	TLC272I	V _O = 1.4 V, R _B = 50 Ω, V _{IC} = 0, R _L = 10 kΩ	25°C	1.1	10	mV	
				Full range		13		
		TLC272AI	V _O = 1.4 V, R _B = 50 Ω, V _{IC} = 0, R _L = 10 kΩ	25°C	0.9	5	μV	
				Full range		7		
TLC272BI	V _O = 1.4 V, R _B = 50 Ω, V _{IC} = 0, R _L = 10 kΩ	25°C	230	2000	μV			
		Full range		3500				
TLC277I	V _O = 1.4 V, R _B = 50 Ω, V _{IC} = 0, R _L = 10 kΩ	25°C	200	500	μV			
		Full range		2000				
α _{VIO}	Temperature coefficient of input offset voltage			25°C to 85°C	1.8		μV/°C	
I _{IO}	Input offset current (see Note 4)	V _O = 2.5 V, V _{IC} = 2.5 V		25°C	0.1	60	pA	
				85°C	24	15		
I _B	Input bias current (see Note 4)	V _O = 2.5 V, V _{IC} = 2.5 V		25°C	0.6	60	pA	
				85°C	200	35		
V _{ICR}	Common-mode input voltage range (see Note 5)			25°C	-0.2 to 4	-0.3 to 4.2	V	
				Full range	-0.2 to 3.5		V	
V _{OH}	High-level output voltage	V _{ID} = 100 mV, R _L = 10 kΩ		25°C	3.2	3.8	V	
				-40°C	3	3.8		
				85°C	3	3.8		
V _{OL}	Low-level output voltage	V _{ID} = -100 mV, I _{OL} = 0		25°C	0	50	mV	
				-40°C	0	50		
				85°C	0	50		
A _{VD}	Large-signal differential voltage amplification	V _O = 1 V to 6 V, R _L = 10 kΩ		25°C	5	23	V/mV	
				-40°C	3.5	32		
				85°C	3.5	19		
CMRR	Common-mode rejection ratio	V _{IC} = V _{ICRmin}		25°C	65	80	dB	
				-40°C	60	81		
				85°C	60	86		
k _{SVR}	Supply-voltage rejection ratio (A _{VDD} /A _{VIO})	V _{DD} = 5 V to 10 V, V _O = 1.4 V		25°C	65	95	dB	
				-40°C	60	92		
				85°C	60	96		
I _{DD}	Supply current (two amplifiers)	V _O = 2.5 V, No load	V _{IC} = 2.5 V	25°C	1.4	3.2	mA	
				-40°C	1.9	4.4		
				85°C	1.1	2.4		

[†] Full range is -40°C to 85°C.

NOTES: 4. The typical values of input bias current and input offset current below 5 pA were determined mathematically.

5. This range also applies to each input individually.

electrical characteristics at specified free-air temperature, $V_{DD} = 10\text{ V}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		T_A^\dagger	TLC2721, TLC2721A1, TLC27281, TLC2771			UNIT
					MIN	TYP	MAX	
V_{IO}	Input offset voltage	TLC2721	$V_O = 1.4\text{ V},$ $R_B = 50\ \Omega,$	$V_{IC} = 0,$ $R_L = 10\ \text{k}\Omega$	25°C	1.1	10	mV
					Full range		13	
		TLC2721A1	$V_O = 1.4\text{ V},$ $R_B = 50\ \Omega,$	$V_{IC} = 0,$ $R_L = 10\ \text{k}\Omega$	25°C	0.9	5	
					Full range		7	
	TLC27281	$V_O = 1.4\text{ V},$ $R_B = 50\ \Omega,$	$V_{IC} = 0,$ $R_L = 10\ \text{k}\Omega$	25°C	290	2000	μV	
				Full range		3500		
	TLC2771	$V_O = 1.4\text{ V},$ $R_B = 50\ \Omega,$	$V_{IC} = 0,$ $R_L = 10\ \text{k}\Omega$	25°C	250	800		
				Full range		2900		
ΔV_{IO}	Temperature coefficient of input offset voltage			25°C to 85°C	2		$\mu\text{V}/^\circ\text{C}$	
I_{IO}	Input offset current (see Note 4)	$V_O = 5\text{ V},$	$V_{IC} = 5\text{ V}$	25°C	0.1	60	pA	
I_{IB}	Input bias current (see Note 4)			85°C	26	1000		
				25°C	0.7	60	pA	
				85°C	220	2000		
V_{ICR}	Common-mode input voltage range (see Note 5)			25°C	-0.2 to 9	-0.3 to 9.2	V	
				Full range	-0.2 to 8.5		V	
V_{OH}	High-level output voltage	$V_{ID} = 100\ \text{mV},$	$R_L = 10\ \text{k}\Omega$	25°C	8	8.5	V	
				-40°C	7.8	8.5		
				85°C	7.8	8.5		
V_{OL}	Low-level output voltage	$V_{ID} = -100\ \text{mV},$	$I_{OL} = 0$	25°C	0	50	mV	
				-40°C	0	50		
				85°C	0	50		
A_{VD}	Large-signal differential voltage amplification	$V_O = 1\text{ V to }5\text{ V},$	$R_L = 10\ \text{k}\Omega$	25°C	10	36	V/mV	
				-40°C	7	46		
				85°C	7	31		
CMRR	Common-mode rejection ratio	$V_{IC} = V_{ICR\text{min}}$		25°C	65	85	dB	
				-40°C	60	87		
				85°C	60	88		
R_{SVR}	Supply-voltage rejection ratio ($\Delta V_{DD}/\Delta V_{IO}$)	$V_{DD} = 5\text{ V to }10\text{ V},$	$V_O = 1.4\text{ V}$	25°C	65	95	dB	
				-40°C	60	92		
				85°C	60	96		
I_{DD}	Supply current (two amplifiers)	$V_O = 5\text{ V},$ No load	$V_{IC} = 5\text{ V},$	25°C	1.4	4	mA	
				-40°C	2.8	5		
				85°C	1.5	3.2		

 † Full range is -40°C to 85°C.

NOTES: 4. The typical values of input bias current and input offset current below 5 pA were determined mathematically.

5. This range also applies to each input individually.

electrical characteristics at specified free-air temperature, $V_{DD} = 5\text{ V}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		T_A^{\dagger}	TLC272M, TLC277M			UNIT
					MIN	TYP	MAX	
V_{IO}	Input offset voltage	TLC272M	$V_{IO} = 1.4\text{ V}$, $R_S = 50\ \Omega$, $R_L = 10\text{ k}\Omega$	25°C	Full range	1.1	10	mV
						12		
		TLC277M	$V_{IO} = 1.4\text{ V}$, $R_S = 50\ \Omega$, $R_L = 10\text{ k}\Omega$	25°C	Full range	200	500	μV
						3750		
α_{VIO}	Temperature coefficient of input offset voltage			25°C to 125°C		2.1	$\mu\text{V}/^\circ\text{C}$	
I_{IO}	Input offset current (see Note 4)			25°C		0.1	60	pA
I_{IB}	Input bias current (see Note 4)	$V_{IO} = 2.5\text{ V}$	$V_{IC} = 2.5\text{ V}$	125°C		1.4	15	nA
				25°C		0.6	60	pA
V_{ICR}	Common-mode input voltage range (see Note 5)			125°C		9	35	nA
				25°C		0	-0.3	4
V_{OH}	High-level output voltage	$V_{IO} = 100\text{ mV}$,	$R_L = 10\text{ k}\Omega$	25°C		3.2	3.8	V
				-55°C		3	3.8	
125°C		3	3.8					
V_{OL}	Low-level output voltage	$V_{IO} = -100\text{ mV}$,	$I_{OL} = 0$	25°C		0	50	mV
				-55°C		0	50	
				125°C		0	50	
A_{VD}	Large-signal differential voltage amplification	$V_{IO} = 0.25\text{ V to }2\text{ V}$	$R_L = 10\text{ k}\Omega$	25°C		5	23	V/mV
				-55°C		3.5	35	
				125°C		3.5	16	
CMRR	Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$		25°C		65	80	dB
				-55°C		60	81	
				125°C		60	84	
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{DD}/\Delta V_{IO}$)	$V_{DD} = 5\text{ V to }10\text{ V}$,	$V_{IO} = 1.4\text{ V}$	25°C		65	95	dB
				-55°C		60	90	
				125°C		60	97	
I_{DD}	Supply current (two amplifiers)	$V_{IO} = 2.5\text{ V}$, No load	$V_{IC} = 2.5\text{ V}$,	25°C		1.4	3.2	mA
				-55°C		2	5	
				125°C		1	2.2	

[†] Full range is -55°C to 125°C.

NOTES: 4. The typical values of input bias current and input offset current below 5 pA were determined mathematically.
5. This range also applies to each input individually.

electrical characteristics at specified free-air temperature, $V_{DD} = 10\text{ V}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		TA†	TLC272M, TLC277M			UNIT
					MIN	TYP	MAX	
V_{IO}	Input offset voltage	TLC272M	$V_{IO} = 1.4\text{ V}$, $R_S = 50\ \Omega$	$V_{IC} = 0$, $R_L = 10\text{ k}\Omega$	25°C	1.1	10	mV
					Full range		12	
		TLC277M	$V_{IO} = 1.4\text{ V}$, $R_S = 50\ \Omega$	$V_{IC} = 0$, $R_L = 10\text{ k}\Omega$	25°C	250	800	μV
					Full range		4300	
α_{VIO}	Temperature coefficient of input offset voltage			25°C to 125°C	2.2		$\mu\text{V}/^\circ\text{C}$	
I_{IO}	Input offset current (see Note 4)	$V_{IO} = 5\text{ V}$	$V_{IC} = 5\text{ V}$	25°C	0.1	60	μA	
I_{IB}	Input bias current (see Note 4)			125°C	1.8	15	nA	
				25°C	0.7	60	μA	
				125°C	10	35	nA	
V_{ICR}	Common-mode input voltage range (see Note 5)			25°C	0 to 9	-0.3 to 9.2	V	
				Full range	0 to 8.5		V	
V_{OH}	High-level output voltage	$V_{IO} = 100\text{ mV}$	$R_L = 10\text{ k}\Omega$	25°C	8	8.5	V	
				-55°C	7.8	8.5		
				125°C	7.8	8.4		
V_{OL}	Low-level output voltage	$V_{IO} = -100\text{ mV}$	$I_{OL} = 0$	25°C	0	50	mV	
				-55°C	0	50		
				125°C	0	50		
A_{VD}	Large-signal differential voltage amplification	$V_{IO} = 1\text{ V to }5\text{ V}$	$R_L = 10\text{ k}\Omega$	25°C	10	36	V/mV	
				-55°C	7	50		
				125°C	7	27		
CMRR	Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$		25°C	65	85	dB	
				-55°C	60	87		
				125°C	60	86		
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{DD}/\Delta V_{IO}$)	$V_{DD} = 5\text{ V to }10\text{ V}$	$V_{IO} = 1.4\text{ V}$	25°C	65	95	dB	
				-55°C	60	90		
				125°C	60	97		
I_{DD}	Supply current (two amplifiers)	$V_{IO} = 5\text{ V}$, No load	$V_{IC} = 5\text{ V}$	25°C	1.9	4	mA	
				-55°C	3	6		
				125°C	1.3	2.8		

† Full range is -55°C to 125°C.

NOTES: 4. The typical values of input bias current and input offset current below 5 μA were determined mathematically.

5. This range also applies to each input individually.

electrical characteristics, $V_{DD} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	TLC272Y			UNIT
		MIN	TYP	MAX	
V_{IO} Input offset voltage	$V_{IO} = 1.4\text{ V}$, $R_B = 50\ \Omega$, $V_{IC} = 0$, $R_L = 10\ \text{k}\Omega$		1.1	10	mV
ΔV_{IO} Temperature coefficient of input offset voltage			1.8		$\mu\text{V}/^\circ\text{C}$
I_{IO} Input offset current (see Note 4)	$V_{IO} = 2.5\text{ V}$, $V_{IC} = 2.5\text{ V}$		0.1		μA
I_{IB} Input bias current (see Note 4)			0.6		μA
V_{ICR} Common-mode input voltage range (see Note 5)		-0.2 to 4	-0.3 to 4.2		V
V_{OH} High-level output voltage	$V_{ID} = 100\text{ mV}$, $R_L = 10\ \text{k}\Omega$	3.2	3.8		V
V_{OL} Low-level output voltage	$V_{ID} = -100\text{ mV}$, $I_{OL} = 0$		0	50	mV
A_{VD} Large-signal differential voltage amplification	$V_{IO} = 0.25\text{ V to }2\text{ V}$, $R_L = 10\ \text{k}\Omega$	5	23		V/mV
CMRR Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$	65	80		dB
k_{SVR} Supply-voltage rejection ratio ($\Delta V_{DD}/\Delta V_{IO}$)	$V_{DD} = 5\text{ V to }10\text{ V}$, $V_{IO} = 1.4\text{ V}$	65	95		dB
I_{DD} Supply current (two amplifiers)	$V_{IO} = 2.5\text{ V}$, No load $V_{IC} = 2.5\text{ V}$		1.4	3.2	mA

NOTES: 4. The typical values of input bias current and input offset current below 5 μA were determined mathematically.
5. This range also applies to each input individually.

electrical characteristics, $V_{DD} = 10\text{ V}$, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	TLC272Y			UNIT
		MIN	TYP	MAX	
V_{IO} Input offset voltage	$V_{IO} = 1.4\text{ V}$, $R_B = 50\ \Omega$, $V_{IC} = 0$, $R_L = 10\ \text{k}\Omega$		1.1	10	mV
ΔV_{IO} Temperature coefficient of input offset voltage			1.8		$\mu\text{V}/^\circ\text{C}$
I_{IO} Input offset current (see Note 4)	$V_{IO} = 5\text{ V}$, $V_{IC} = 5\text{ V}$		0.1		μA
I_{IB} Input bias current (see Note 4)			0.7		μA
V_{ICR} Common-mode input voltage range (see Note 5)		-0.2 to 9	-0.3 to 9.2		V
V_{OH} High-level output voltage	$V_{ID} = 100\text{ mV}$, $R_L = 10\ \text{k}\Omega$	8	8.5		V
V_{OL} Low-level output voltage	$V_{ID} = -100\text{ mV}$, $I_{OL} = 0$		0	50	mV
A_{VD} Large-signal differential voltage amplification	$V_{IO} = 1\text{ V to }6\text{ V}$, $R_L = 10\ \text{k}\Omega$	10	36		V/mV
CMRR Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$	65	85		dB
k_{SVR} Supply-voltage rejection ratio ($\Delta V_{DD}/\Delta V_{IO}$)	$V_{DD} = 5\text{ V to }10\text{ V}$, $V_{IO} = 1.4\text{ V}$	65	95		dB
I_{DD} Supply current (two amplifiers)	$V_{IO} = 5\text{ V}$, No load $V_{IC} = 5\text{ V}$		1.9	4	mA

NOTES: 4. The typical values of input bias current and input offset current below 5 μA were determined mathematically.
5. This range also applies to each input individually.

operating characteristics at specified free-air temperature, $V_{DD} = 5\text{ V}$

PARAMETER	TEST CONDITIONS	T_A	TLC272C, TLC272AC, TLC272BC, TLC277C			UNIT
			MIN	TYP	MAX	
SR Slew rate at unity gain	$R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, See Figure 1	$V_{Ipp} = 1\text{ V}$	25°C	3.6		V/ μ s
			0°C	4		
			70°C	3		
		$V_{Ipp} = 2.5\text{ V}$	25°C	2.9		
			0°C	3.1		
			70°C	2.5		
V_n Equivalent input noise voltage	$f = 1\text{ kHz}$, See Figure 2	$R_G = 20\ \Omega$	25°C	25		nV/ $\sqrt{\text{Hz}}$
B_{OM} Maximum output-swing bandwidth	$V_O = V_{OH}$, $R_L = 10\text{ k}\Omega$, See Figure 1	$C_L = 20\text{ pF}$, See Figure 1	25°C	320		kHz
			0°C	340		
			70°C	260		
B_1 Unity-gain bandwidth	$V_I = 10\text{ mV}$, See Figure 3	$C_L = 20\text{ pF}$	25°C	1.7		MHz
			0°C	2		
			70°C	1.3		
ϕ_m Phase margin	$V_I = 10\text{ mV}$, $C_L = 20\text{ pF}$	$f = B_1$, See Figure 3	25°C	46°		
			0°C	47°		
			70°C	43°		

operating characteristics at specified free-air temperature, $V_{DD} = 10\text{ V}$

PARAMETER	TEST CONDITIONS	T_A	TLC272C, TLC272AC, TLC272BC, TLC277C			UNIT
			MIN	TYP	MAX	
SR Slew rate at unity gain	$R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, See Figure 1	$V_{Ipp} = 1\text{ V}$	25°C	5.3		V/ μ s
			0°C	5.9		
			70°C	4.3		
		$V_{Ipp} = 5.5\text{ V}$	25°C	4.6		
			0°C	5.1		
			70°C	3.8		
V_n Equivalent input noise voltage	$f = 1\text{ kHz}$, See Figure 2	$R_G = 20\ \Omega$	25°C	25		nV/ $\sqrt{\text{Hz}}$
B_{OM} Maximum output-swing bandwidth	$V_O = V_{OH}$, $R_L = 10\text{ k}\Omega$, See Figure 1	$C_L = 20\text{ pF}$, See Figure 1	25°C	200		kHz
			0°C	220		
			70°C	140		
B_1 Unity-gain bandwidth	$V_I = 10\text{ mV}$, See Figure 3	$C_L = 20\text{ pF}$	25°C	2.2		MHz
			0°C	2.5		
			70°C	1.8		
ϕ_m Phase margin	$V_I = 10\text{ mV}$, $C_L = 20\text{ pF}$	$f = B_1$, See Figure 3	25°C	49°		
			0°C	50°		
			70°C	46°		

operating characteristics at specified free-air temperature, $V_{DD} = 5\text{ V}$

PARAMETER	TEST CONDITIONS	T_A	TLC272B, TLC272AI, TLC272BI, TLC277I			UNIT
			MIN	TYP	MAX	
SR Slew rate at unity gain	$R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, See Figure 1	$V_{Ipp} = 1\text{ V}$	25°C	3.6		V/ μ s
			-40°C	4.5		
			85°C	2.8		
		$V_{Ipp} = 2.5\text{ V}$	25°C	2.9		
			-40°C	3.5		
			85°C	2.3		
V_n Equivalent input noise voltage	$f = 1\text{ kHz}$, See Figure 2	$R_S = 20\ \Omega$	25°C	25		nV/ $\sqrt{\text{Hz}}$
B_{OM} Maximum output-swing bandwidth	$V_O = V_{OH}$, $R_L = 10\text{ k}\Omega$, See Figure 1	$C_L = 20\text{ pF}$, See Figure 1	25°C	320		kHz
			-40°C	380		
			85°C	250		
B_1 Unity-gain bandwidth	$V_I = 10\text{ mV}$, See Figure 3	$C_L = 20\text{ pF}$, See Figure 3	25°C	1.7		MHz
			-40°C	2.6		
			85°C	1.2		
ϕ_m Phase margin	$V_I = 10\text{ mV}$, $C_L = 20\text{ pF}$, See Figure 3	$f = B_1$, See Figure 3	25°C	46°		
			-40°C	49°		
			85°C	43°		

operating characteristics at specified free-air temperature, $V_{DD} = 10\text{ V}$

PARAMETER	TEST CONDITIONS	T_A	TLC272B, TLC272AI, TLC272BI, TLC277I			UNIT
			MIN	TYP	MAX	
SR Slew rate at unity gain	$R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, See Figure 1	$V_{Ipp} = 1\text{ V}$	25°C	5.3		V/ μ s
			-40°C	6.8		
			85°C	4		
		$V_{Ipp} = 5.5\text{ V}$	25°C	4.6		
			-40°C	5.8		
			85°C	3.5		
V_n Equivalent input noise voltage	$f = 1\text{ kHz}$, See Figure 2	$R_S = 20\ \Omega$	25°C	25		nV/ $\sqrt{\text{Hz}}$
B_{OM} Maximum output-swing bandwidth	$V_O = V_{OH}$, $R_L = 10\text{ k}\Omega$, See Figure 1	$C_L = 20\text{ pF}$, See Figure 1	25°C	300		kHz
			-40°C	260		
			85°C	130		
B_1 Unity-gain bandwidth	$V_I = 10\text{ mV}$, See Figure 3	$C_L = 20\text{ pF}$, See Figure 3	25°C	2.2		MHz
			-40°C	3.1		
			85°C	1.7		
ϕ_m Phase margin	$V_I = 10\text{ mV}$, $C_L = 20\text{ pF}$, See Figure 3	$f = B_1$, See Figure 3	25°C	49°		
			-40°C	52°		
			85°C	46°		

operating characteristics at specified free-air temperature, $V_{DD} = 5\text{ V}$

PARAMETER	TEST CONDITIONS	T_A	TLC272M, TLC277M			UNIT
			MIN	TYP	MAX	
SR Slew rate at unity gain	$R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, See Figure 1	$V_{I\text{PP}} = 1\text{ V}$	25°C	3.6		$V/\mu\text{s}$
			-55°C	4.7		
			125°C	2.3		
		$V_{I\text{PP}} = 2.5\text{ V}$	25°C	2.9		
			-55°C	3.7		
			125°C	2		
V_n Equivalent input noise voltage	$f = 1\text{ kHz}$, See Figure 2	$R_B = 20\ \Omega$, 25°C	25		$nV/\sqrt{\text{Hz}}$	
B_{OM} Maximum output-swing bandwidth	$V_O = V_{\text{OH}}$, $R_L = 10\text{ k}\Omega$, See Figure 1	$C_L = 20\text{ pF}$, See Figure 1	25°C	320		kHz
			-55°C	400		
			125°C	230		
B_1 Unity-gain bandwidth	$V_I = 10\text{ mV}$, See Figure 3	$C_L = 20\text{ pF}$, See Figure 3	25°C	1.7		MHz
			-55°C	2.9		
			125°C	1.1		
ϕ_m Phase margin	$V_I = 10\text{ mV}$, $C_L = 20\text{ pF}$, See Figure 3	$f = B_1$, See Figure 3	25°C	46°		
			-55°C	49°		
			125°C	41°		

operating characteristics at specified free-air temperature, $V_{DD} = 10\text{ V}$

PARAMETER	TEST CONDITIONS	T_A	TLC272M, TLC277M			UNIT
			MIN	TYP	MAX	
SR Slew rate at unity gain	$R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, See Figure 1	$V_{I\text{PP}} = 1\text{ V}$	25°C	5.3		$V/\mu\text{s}$
			-55°C	7.1		
			125°C	3.1		
		$V_{I\text{PP}} = 5.5\text{ V}$	25°C	4.6		
			-55°C	6.1		
			125°C	2.7		
V_n Equivalent input noise voltage	$f = 1\text{ kHz}$, See Figure 2	$R_B = 20\ \Omega$, 25°C	25		$nV/\sqrt{\text{Hz}}$	
B_{OM} Maximum output-swing bandwidth	$V_O = V_{\text{OH}}$, $R_L = 10\text{ k}\Omega$, See Figure 1	$C_L = 20\text{ pF}$, See Figure 1	25°C	200		kHz
			-55°C	280		
			125°C	110		
B_1 Unity-gain bandwidth	$V_I = 10\text{ mV}$, See Figure 3	$C_L = 20\text{ pF}$, See Figure 3	25°C	2.2		MHz
			-55°C	3.4		
			125°C	1.6		
ϕ_m Phase margin	$V_I = 10\text{ mV}$, $C_L = 20\text{ pF}$, See Figure 3	$f = B_1$, See Figure 3	25°C	49°		
			-55°C	52°		
			125°C	44°		

operating characteristics, $V_{DD} = 5\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	TLC272Y			UNIT
		MIN	TYP	MAX	
SR Slew rate at unity gain	$R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, See Figure 1	$V_{I\text{PP}} = 1\text{ V}$	3.6		$V/\mu\text{s}$
		$V_{I\text{PP}} = 2.5\text{ V}$	2.9		
V_n Equivalent input noise voltage	$f = 1\text{ kHz}$, $R_B = 20\ \Omega$, See Figure 2	25		$nV/\sqrt{\text{Hz}}$	
B_{OM} Maximum output-swing bandwidth	$V_O = V_{\text{OH}}$, See Figure 1	$C_L = 20\text{ pF}$, $R_L = 10\text{ k}\Omega$	320		kHz
B_1 Unity-gain bandwidth	$V_I = 10\text{ mV}$, See Figure 3	$C_L = 20\text{ pF}$, See Figure 3	1.7		MHz
ϕ_m Phase margin	$V_I = 10\text{ mV}$, See Figure 3	$f = B_1$, $C_L = 20\text{ pF}$	46°		

operating characteristics, $V_{DD} = 10\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	TLC272Y			UNIT
		MIN	TYP	MAX	
SR Slew rate at unity gain	$R_L = 10\text{ k}\Omega$, $C_L = 20\text{ pF}$, See Figure 1	$V_{I\text{PP}} = 1\text{ V}$	5.3		$V/\mu\text{s}$
		$V_{I\text{PP}} = 5.5\text{ V}$	4.6		
V_n Equivalent input noise voltage	$f = 1\text{ kHz}$, $R_B = 20\ \Omega$, See Figure 2	25		$nV/\sqrt{\text{Hz}}$	
B_{OM} Maximum output-swing bandwidth	$V_O = V_{\text{OH}}$, See Figure 1	$C_L = 20\text{ pF}$, $R_L = 10\text{ k}\Omega$	200		kHz
B_1 Unity-gain bandwidth	$V_I = 10\text{ mV}$, See Figure 3	$C_L = 20\text{ pF}$, See Figure 3	2.2		MHz
ϕ_m Phase margin	$V_I = 10\text{ mV}$, See Figure 3	$f = B_1$, $C_L = 20\text{ pF}$	49°		

TYPICAL CHARACTERISTICS

Table of Graphs

			FIGURE
V_{IO}	Input offset voltage	Distribution	6, 7
αV_{IO}	Temperature coefficient of input offset voltage	Distribution	8, 9
V_{OH}	High-level output voltage	vs High-level output current vs Supply voltage vs Free-air temperature	10, 11 12 13
V_{OL}	Low-level output voltage	vs Common-mode input voltage vs Differential input voltage vs Free-air temperature vs Low-level output current	14, 15 16 17 18, 19
A_{VD}	Large-signal differential voltage amplification	vs Supply voltage vs Free-air temperature vs Frequency	20 21 32, 33
I_{IB}	Input bias current	vs Free-air temperature	22
I_{IO}	Input offset current	vs Free-air temperature	22
V_{IC}	Common-mode input voltage	vs Supply voltage	23
I_{DD}	Supply current	vs Supply voltage vs Free-air temperature	24 25
SR	Slew rate	vs Supply voltage vs Free-air temperature	26 27
	Normalized slew rate	vs Free-air temperature	28
$V_{O(PP)}$	Maximum peak-to-peak output voltage	vs Frequency	29
B_1	Unity-gain bandwidth	vs Free-air temperature vs Supply voltage	30 31
ϕ_m	Phase margin	vs Supply voltage vs Free-air temperature vs Load capacitance	34 35 36
V_n	Equivalent input noise voltage	vs Frequency	37
	Phase shift	vs Frequency	32, 33

TYPICAL CHARACTERISTICS

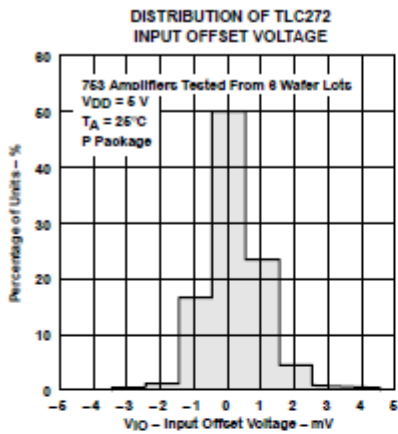


Figure 6

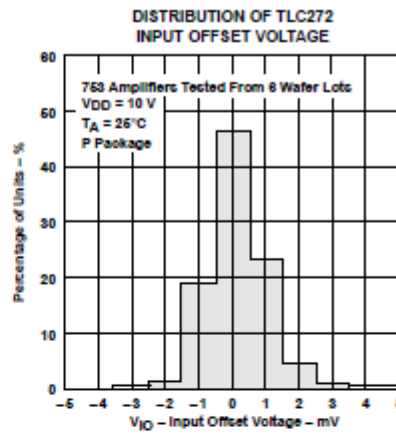


Figure 7

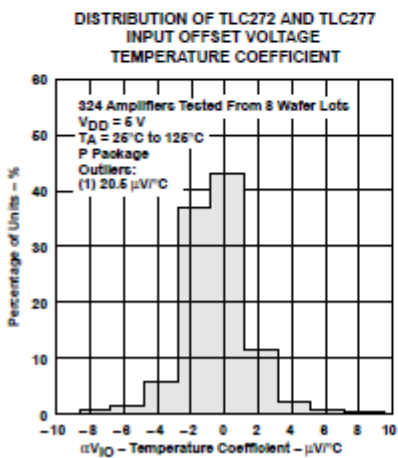


Figure 8

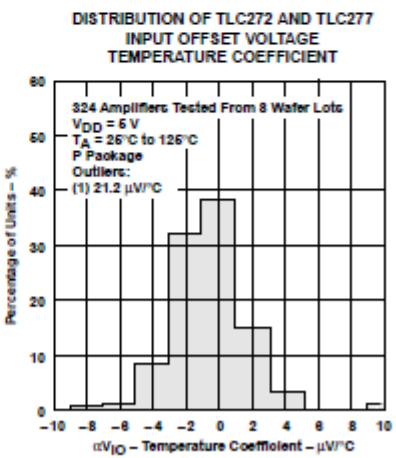
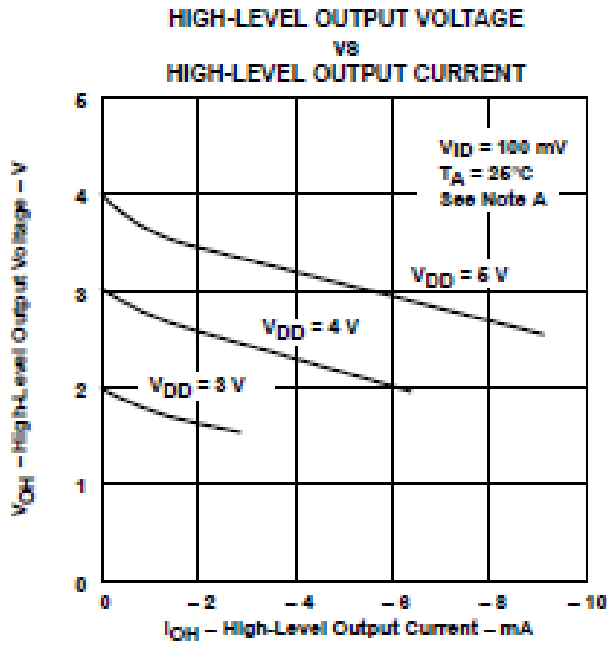


Figure 9

TYPICAL CHARACTERISTICS†



NOTE A: The 3-V curve only applies to the C version.

Figure 10

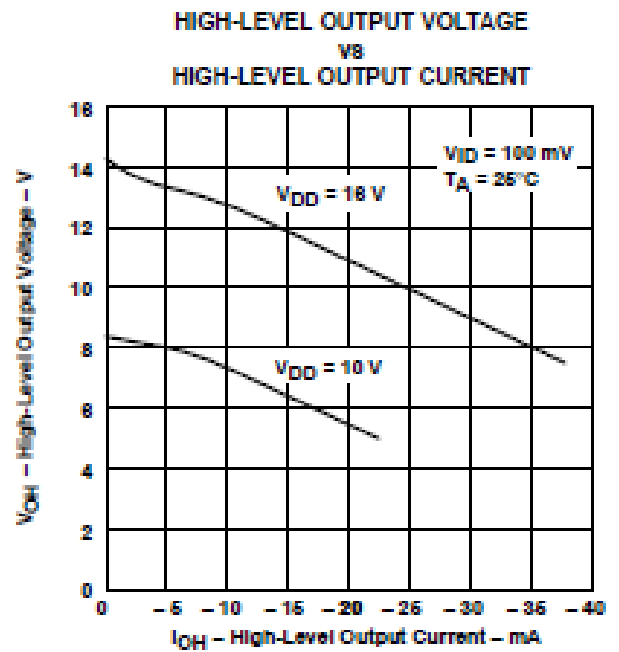


Figure 11

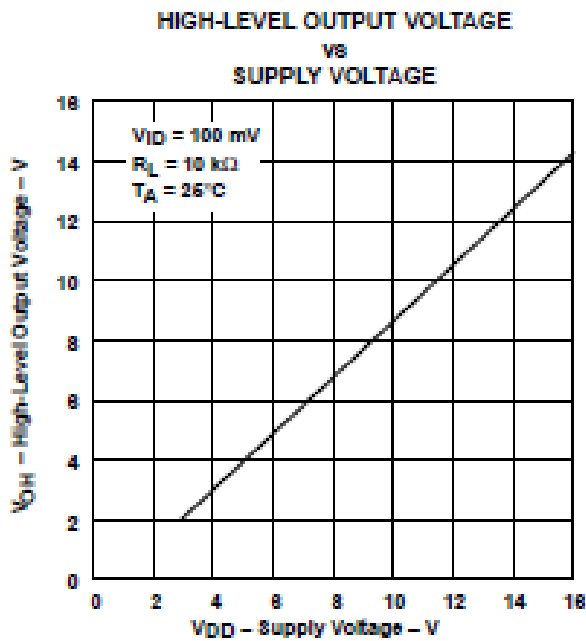


Figure 12

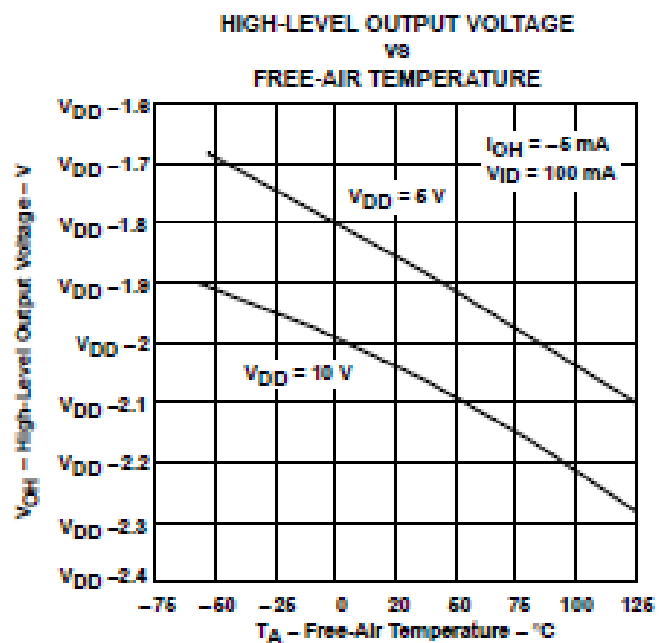


Figure 13

TYPICAL CHARACTERISTICS†

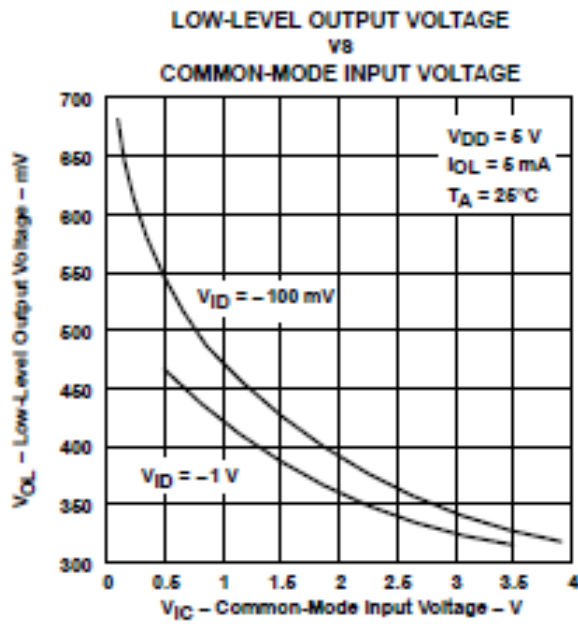


Figure 14

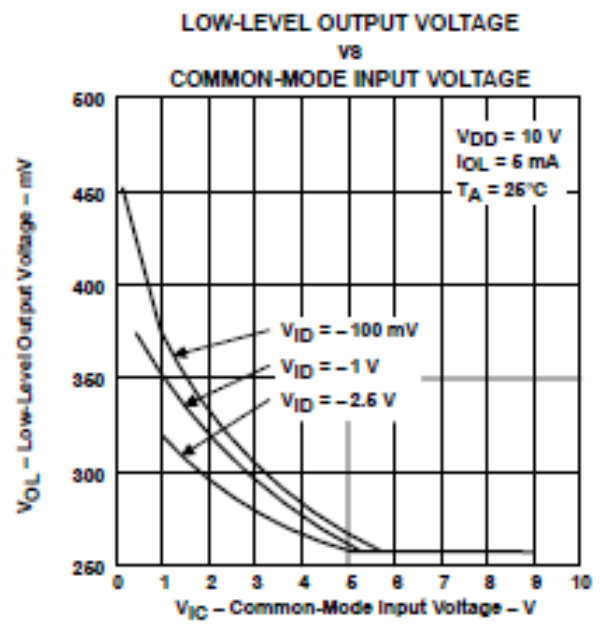


Figure 15

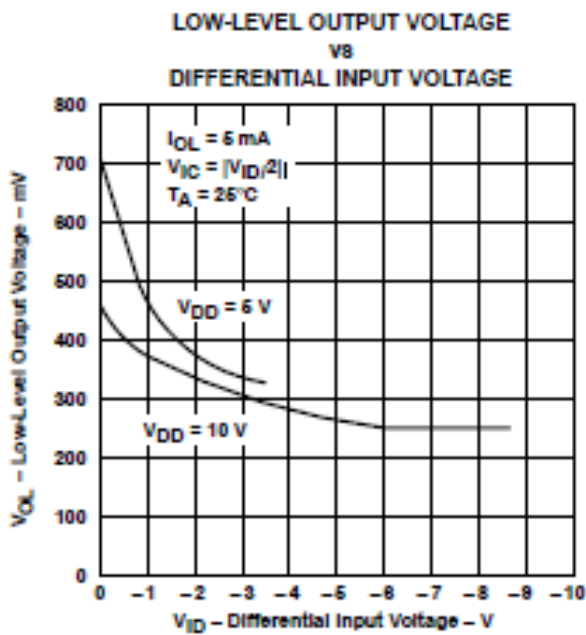


Figure 16

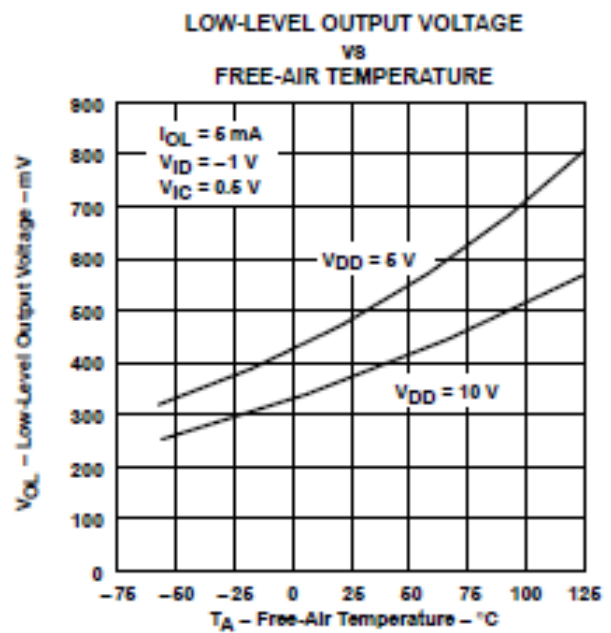
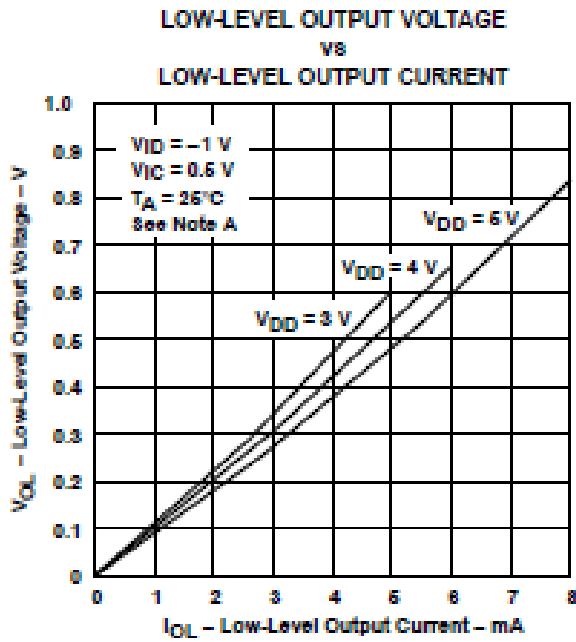


Figure 17

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

TYPICAL CHARACTERISTICS†



NOTE A: The 3-V curve only applies to the C version.

Figure 18

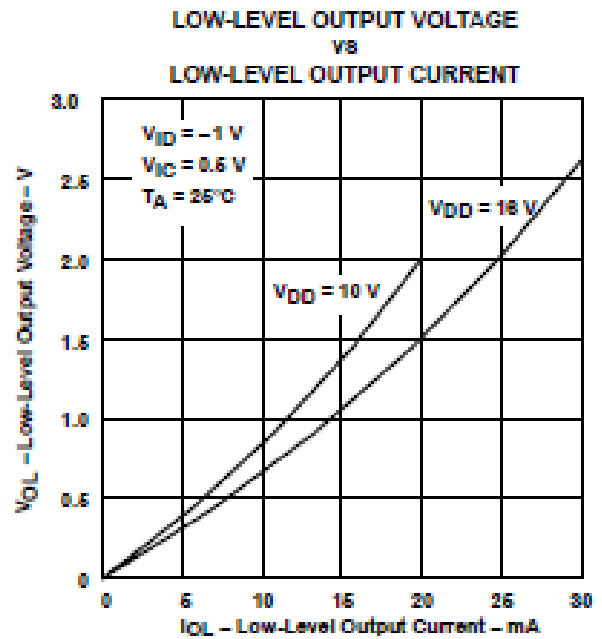


Figure 19

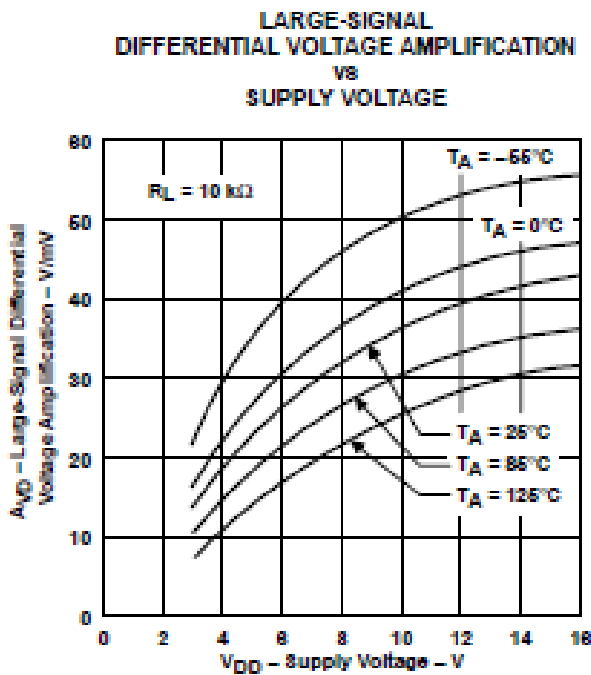


Figure 20

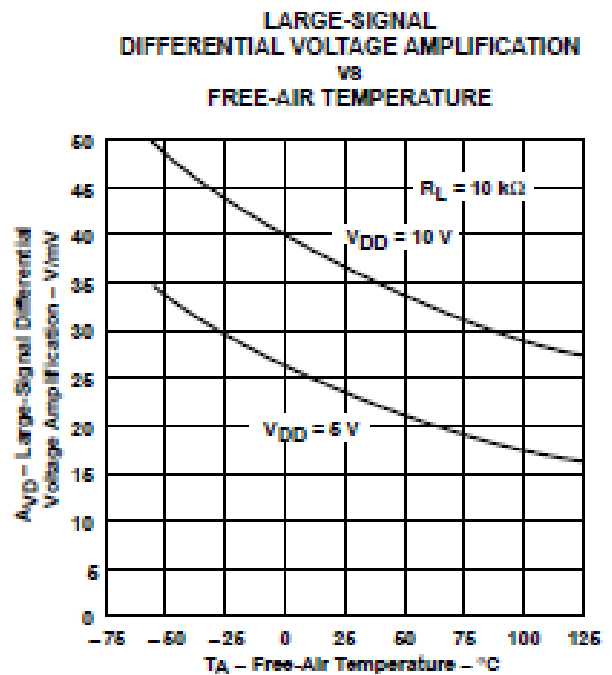
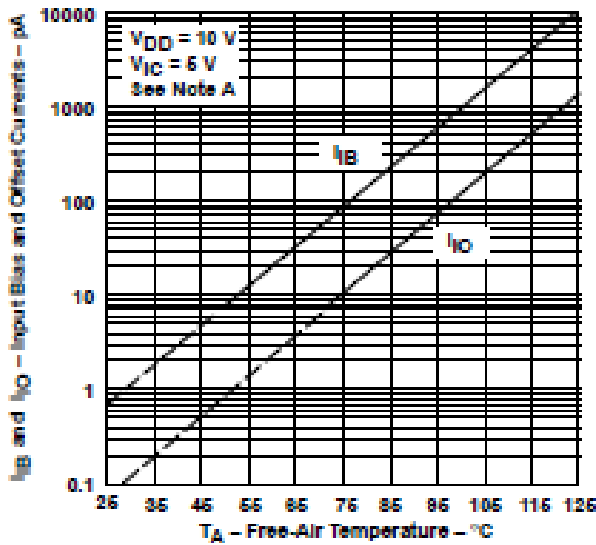


Figure 21

TYPICAL CHARACTERISTICS†

INPUT BIAS CURRENT AND INPUT OFFSET CURRENT
VS
FREE-AIR TEMPERATURE



NOTE A: The typical values of input bias current and input offset current below 5 pA were determined mathematically.

Figure 22

COMMON-MODE
INPUT VOLTAGE POSITIVE LIMIT
VS
SUPPLY VOLTAGE

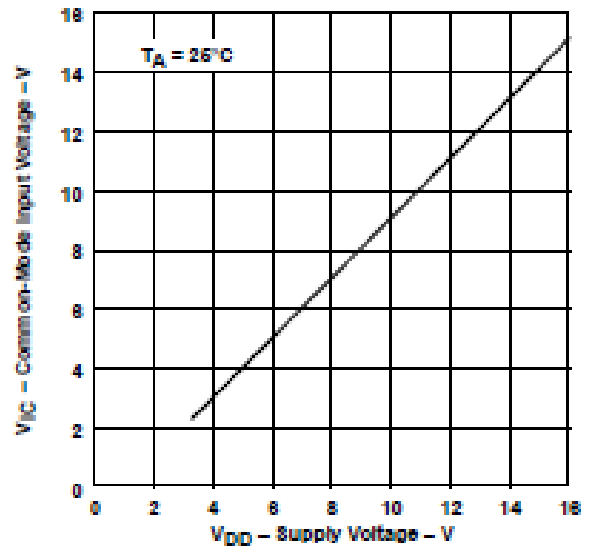


Figure 23

SUPPLY CURRENT
VS
SUPPLY VOLTAGE

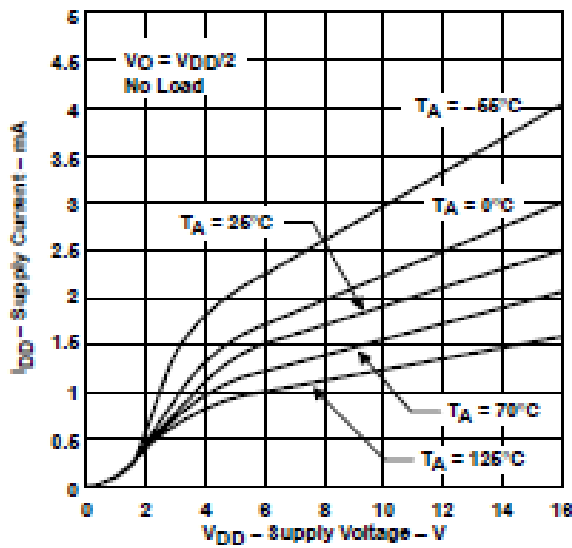


Figure 24

SUPPLY CURRENT
VS
FREE-AIR TEMPERATURE

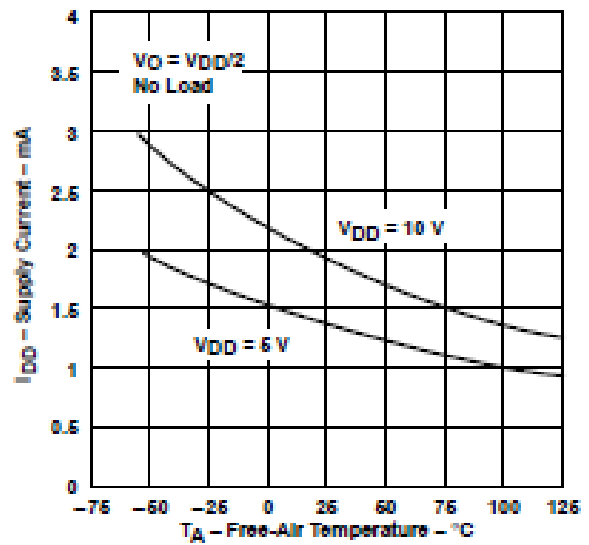


Figure 25

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

TYPICAL CHARACTERISTICS†

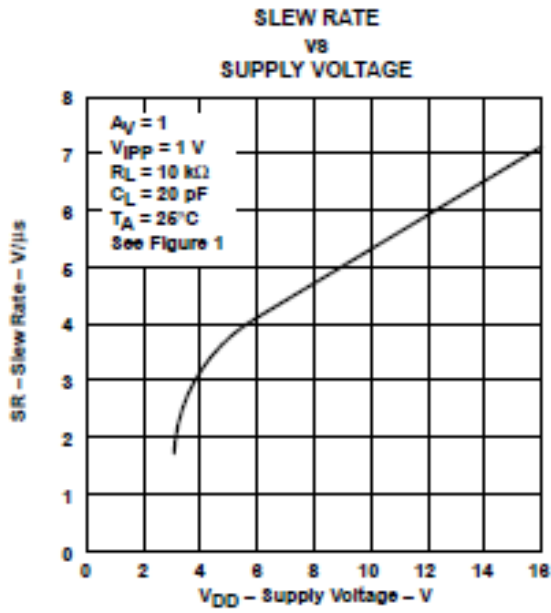


Figure 26

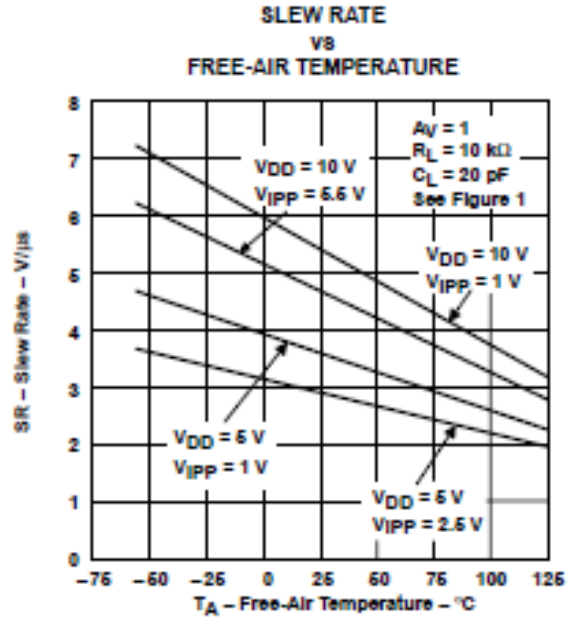


Figure 27

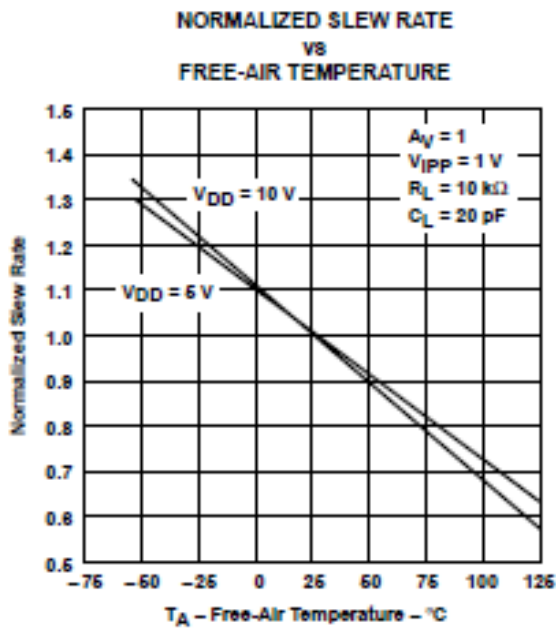


Figure 28

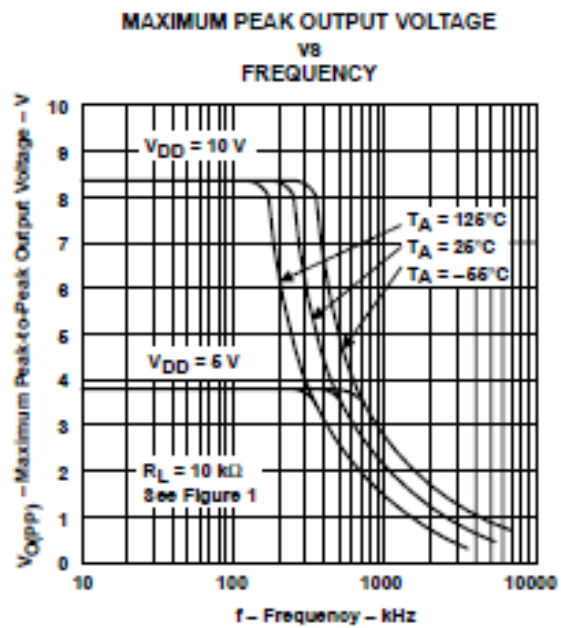


Figure 29

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

TYPICAL CHARACTERISTICS†

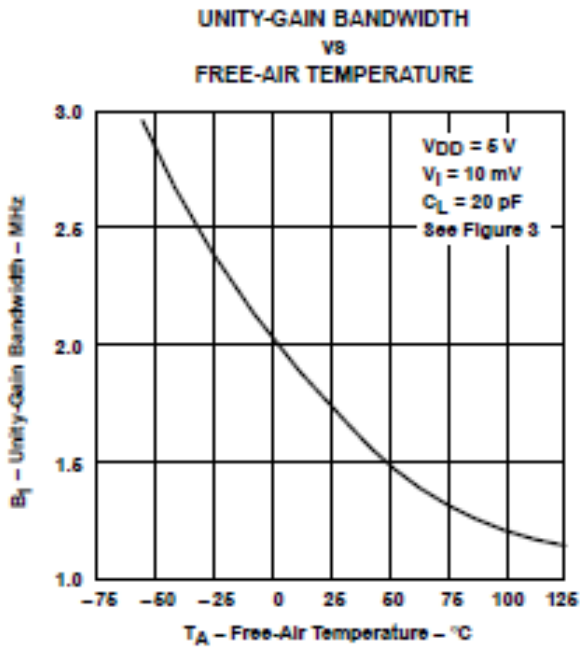


Figure 30

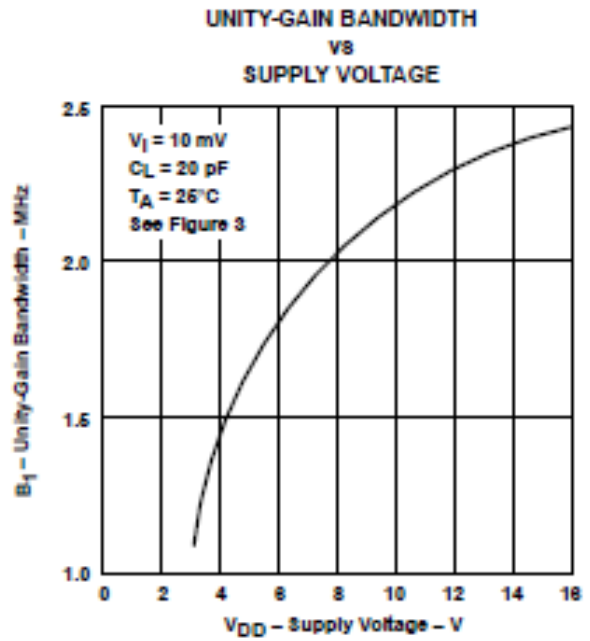


Figure 31

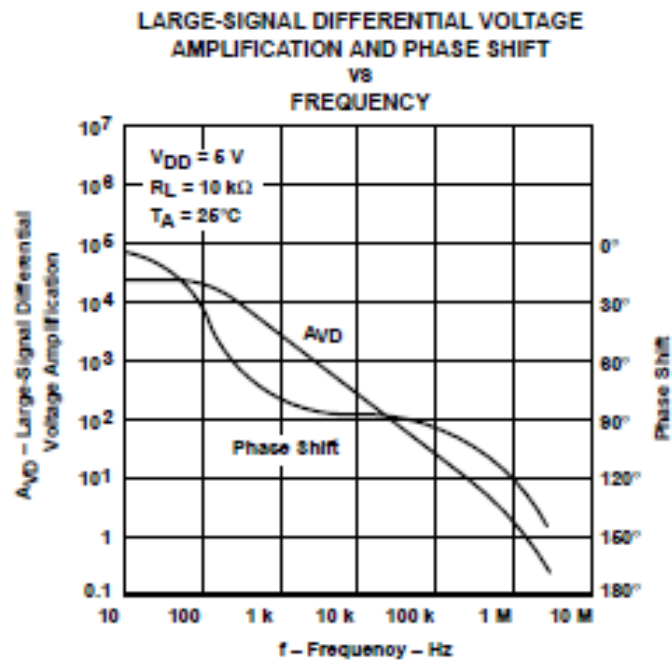


Figure 32

TYPICAL CHARACTERISTICS†

LARGE-SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION AND PHASE SHIFT

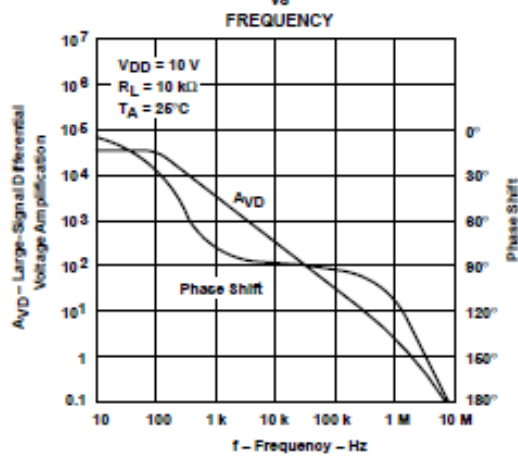


Figure 33

PHASE MARGIN
vs
SUPPLY VOLTAGE

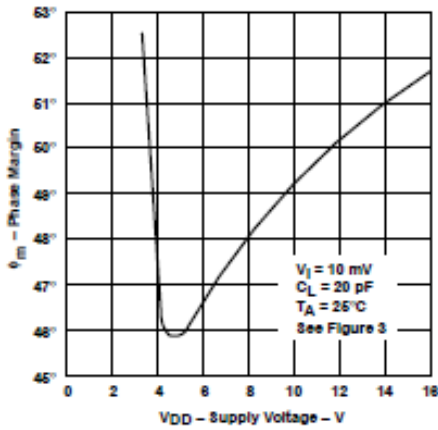


Figure 34

PHASE MARGIN
vs
FREE-AIR TEMPERATURE

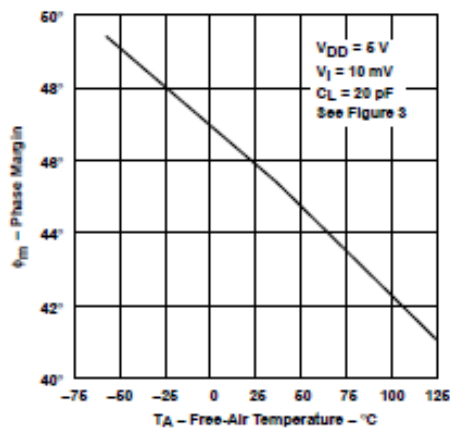


Figure 35

TYPICAL CHARACTERISTICS

PHASE MARGIN
vs
CAPACITIVE LOAD

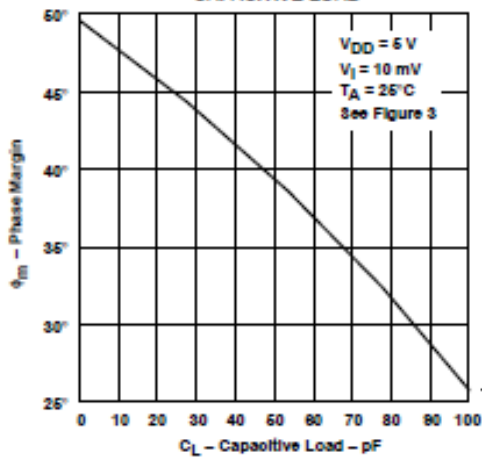


Figure 36

EQUIVALENT INPUT NOISE VOLTAGE
vs
FREQUENCY

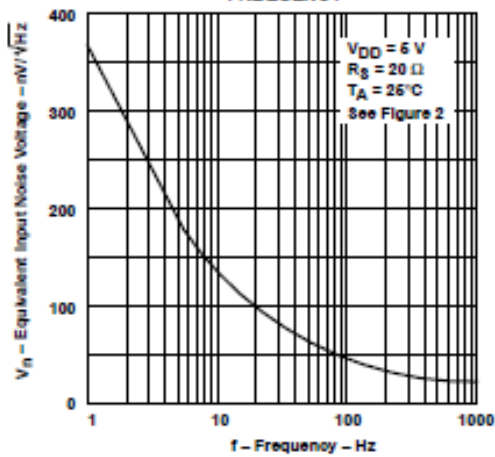


Figure 37



PART WITHDRAWN, PROCESS OBSOLETE
NO NEW DESIGNS, SEE
IR2110, IR2112
IR2113

HIP2500

Half Bridge 500V_{DC} Driver

July 1998

Features

- Maximum Rating 500V
- Ability to Interface and Drive N-Channel Power Devices
- Floating Bootstrap Power Supply for Upper Rail Drive
- CMOS Schmitt-Triggered Inputs with Hysteresis and Pull-Down
- Up to 400kHz Operation
- Single Low Current Bias Supply
- Latch-Up Immune CMOS Logic
- Peak Drive.....Up to 2.0A
- Gate Drive Rise Time (+125°C)..... < 25ns (Typ)

Applications

- High Frequency Switch-Mode Power Supply
- Induction Heating and Welding
- Switch Mode Amplifiers
- AC and DC Motor Drives
- Electronic Lamp Ballasts
- Battery Chargers
- UPS Inverters
- Noise Cancellation in Amplifier Systems

Description

The HIP2500 is a high voltage integrated circuit (HVIC) optimized to drive N-Channel MOS gated power devices in half bridge topologies. It provides the necessary control for PWM motor drive, power supply, and UPS applications. The SD pin allows external shutdown of gate drive to both upper and lower gate outputs. Undervoltage lockout will not allow gating when the bias voltage is too low to drive the external switches into saturation.

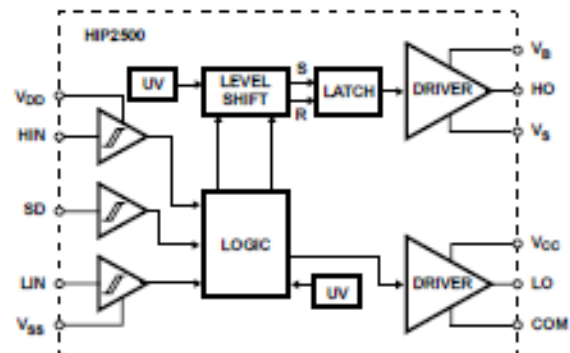
The HIP2500IP is pin and function compatible to the International Rectifier IR2110. The HIP2500 has superior ability to accept negative voltages from the V_b pin to the COM pin due to forward recovery of the lower flyback diode.

The HIP2500IB is a SOIC or small outline IC form of the HIP2500. The HIP2500IB drives high side and low side referenced power switches just like the HIP2500IP.

The HIP2500IP1 is a 16 lead Plastic DIP form of the HIP2500. Pins 4 and 5 removed from lead frame to provide extra creepage and strike distances in high voltage applications.

Please see Application Note AN9010 for more information.

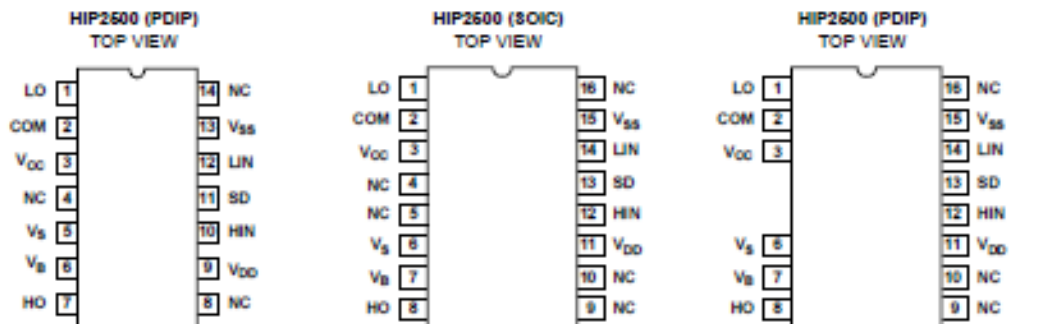
Functional Block Diagram



Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG NO.
HIP2500IP	-40 to +85	14 Ld PDIP	E14.3
HIP2500IP1	-40 to +85	16 Ld PDIP	E16.3
HIP2500IB	-40 to +85	16 Ld SOIC (W)	M16.3

Pinouts



CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.
 Copyright © Harris Corporation 1997

File Number 2801.9

HIP2500

Absolute Maximum Ratings Full Temperature Range Unless Otherwise Noted, All Voltages Referenced to V_{SS} Unless Otherwise Noted.

Floating Supply Voltage, V_B	$V_B - 0.5V$ to $V_B + 18.0V$ (Positive Terminal)
Floating Supply Voltage, V_B	500V (Common Terminal)
High Side Channel Output Voltage, V_{HO}	$-0.5V$ to $V_B + 0.5V$
Fixed Supply Voltage, V_{CC}	$-0.5V$ to $18.0V$
Low Side Channel Output Voltage, V_{LO}	$-0.5V$ to $V_{CC} + 0.5V$
Logic Supply Voltage, V_{DD}	$-0.5V$ to $18.0V$
Logic Input Voltage, V_{IN}	$-0.5V$ to $V_{DD} + 0.5V$ [HIN, LIN & SD (Shutdown)]
V_{DD} to COM and V_{CC} to V_{SS} Voltage	$-0.5V$ to $18.0V$

NOTE:

- θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Thermal Information

Thermal Resistance (Note 1, Typical)	θ_{JA}
HIP2500IP	75°C/W
HIP2500IP1	80°C/W
HIP2500IB	90°C/W
See Maximum Power Dissipation vs Temperature Curve	
Junction Temperature Range	$-40^{\circ}C$ to $+125^{\circ}C$
Storage Temperature Range, T_S	$-40^{\circ}C$ to $+150^{\circ}C$
Operating Ambient Temperature Range, T_A	$-40^{\circ}C$ to $+85^{\circ}C$

Recommended DC Operating Conditions

Floating Supply Voltage, V_B	$V_B + 10V$ to $V_B + 15V$ (Floating Terminal)	Low Side Channel Output Voltage, V_{LO}	$0V$ to V_{CC}
High Side Channel Output Voltage, V_{HO}	$10V$ to V_B (With Respect to V_B)	Logic Supply Voltage, V_{DD}	$4V$ to V_{CC}
Fixed Supply Voltage, V_{CC}	$10V$ to $15V$	Floating Supply Voltage, V_S	$-4.0V$ to $500V$ (Common Terminal)
		V_{SS} and COM potentials to be equal.	

Electrical Specifications $V_{CC} = (V_B - V_S) = V_{DD} = 15V$, COM = $V_{SS} = 0$, Unless Otherwise Noted

PARAMETER	SYMBOL	$T_J = +25^{\circ}C$			$T_J = -40^{\circ}C$ TO $+125^{\circ}C$			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
DC CHARACTERISTICS								
Quiescent V_{CC} Current	I_{OCC}	-	1.5	1.9	-	-	2.0	mA
Quiescent V_{SS} Current	I_{OSS}	-	300	400	-	300	435	μA
Quiescent V_{DD} Current	I_{ODD}	-	0.1	1	-	-	1.8	μA
Quiescent Leakage Current	I_B (500V)	-	0.4	3.0	-	-	-	μA
Logic Input Pulldown Current, $V_{IN} = V_{DD}$ (HIN, LIN, SD)	IN+	-	12	20	-	-	22	μA
Logic Input Leakage Current, $V_{IN} = V_{SS}$ (HIN, LIN, SD)	IN-	-	0	1	-	0	1	μA
Logic Input Positive Going Threshold (Note 2)	V_{TH}^+	7.5	8.0	8.5	7.5	8.0	8.6	V
Logic Input Negative Going Threshold (Note 2)	V_{TH}^-	5.5	5.9	6.3	5.5	5.9	6.4	V
Undervoltage Positive Going Threshold	UV+	8.0	9.35	9.99	7.8	-	9.99	V
Undervoltage Negative Going Threshold	UV-	7.7	9.05	9.69	7.5	-	9.69	V
Undervoltage Hysteresis (V_{CC})	UVHYS (V_{CC})	250	-	450	170	-	530	mV
Undervoltage Hysteresis (V_{SS})	UVHYS (V_{SS})	250	-	450	170	-	530	mV
Output High Open Circuit Voltage (HO, LO)	V_{OUT}^+	14.95	15	-	14.95	15	-	V
Output Low Open Circuit Voltage (HO, LO)	V_{OUT}^-	-	-	0.05	-	-	0.05	V
Output High Short Circuit Current (Sourcing)	I_{OUT}^+	1.65	2.1	-	1.15	1.6	-	A
Output Low Short Circuit Current (Sinking)	I_{OUT}^-	1.85	2.3	-	1.35	1.7	-	A

NOTE:

- See Figure 8 for logic supply voltages other than 15.0V.

HIP2500

Switching Specifications

PARAMETER	SYMBOL	T _J = +26°C			T _J = -40°C TO +125°C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
HIGH SIDE CHANNEL WITH 500V OFFSET, C _L = 1000pF								
High Side Turn-On Propagation Delay	t _{ON}	320	420	525	230	-	725	ns
High Side Turn-Off Propagation Delay	t _{OFF}	260	385	450	190	-	625	ns
High Side Rise Time	t _{RI}	-	25	50	-	25	50	ns
High Side Turn-Off Fall Time	t _{FI}	-	25	50	-	25	50	ns
LOW SIDE CHANNEL, C _L = 1000pF								
Low Side Turn-On Propagation Delay	t _{ON}	250	365	450	190	-	600	ns
Low Side Turn-Off Propagation Delay	t _{OFF}	175	295	370	125	-	475	ns
Low Side Turn-On Rise Time	t _{RI}	-	25	50	-	30	50	ns
Low Side Turn-Off Fall Time	t _{FI}	-	25	50	-	30	50	ns
Shutdown Propagation Delay High Side Shutdown	t _{SDHO}	300	400	490	200	-	650	ns
Low Side Shutdown	t _{SDLO}	175	320	400	125	-	500	ns
HIGH SIDE CHANNEL WITH 500V OFFSET, C _L = 1000pF								
Turn-On Propagation Delay Matching (Between HO and LO)	M _t	0	-	125	0	-	185	ns
Minimum On Output Pulse Width (HO, LO)	PW _{OUT(MIN)}	-	35	50	-	35	55	ns
Minimum Off Output Pulse Width (HO, LO)	PW _{OFF(MIN)}	275	440	640	250	440	650	ns
Minimum On Input Pulse Width (HIN, LIN)	PW _{ON(MIN)}	-	100	145	-	100	175	ns
Minimum Off Input Pulse Width (HIN, LIN)	PW _{OFF(MIN)}	-	110	200	-	110	220	ns
Deadtime LO Turn-Off to HO Turn-On	DLt _{ON}	-	125	-	-	125	-	ns
Deadtime HO Turn-Off to LO Turn-On	DLt _{ON}	-	-20	-	-	-20	-	ns
MAXIMUM TRANSIENT CONDITIONS								
Offset Supply Operating Transient	dV _g /dt	-	-	50	-	-	50	V/ns

Logic Truth Table

HIN	LIN	UV _H	UV _L	SD	HO	LO	COMMENTS
0	0	0	0	0	0	0	Normal Off
0	1	0	0	0	0	1	Lower On
1	0	0	0	0	1	0	Upper On
1	1	0	0	0	1	1	Both On
X	X	X	X	1	0	0	Chip Disabled
X	X	1	1	X	0	0	V _{CC} UV Lockout and V _{BS} Lockout
X	1	1	0	0	0	1	V _{BS} UV Lockout
1	X	0	1	0	1	0	V _{CC} UV Lockout

HIP2500

Typical Performance Curves

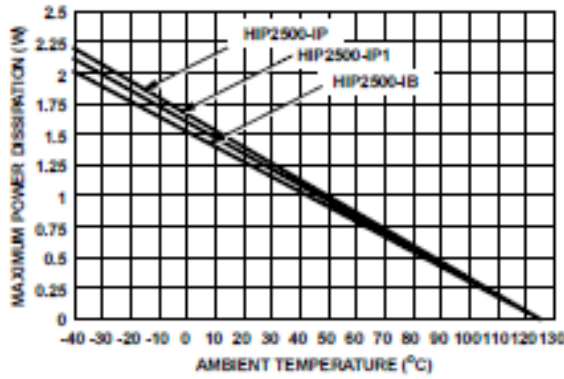


FIGURE 1. MAXIMUM POWER DISSIPATION vs TEMPERATURE

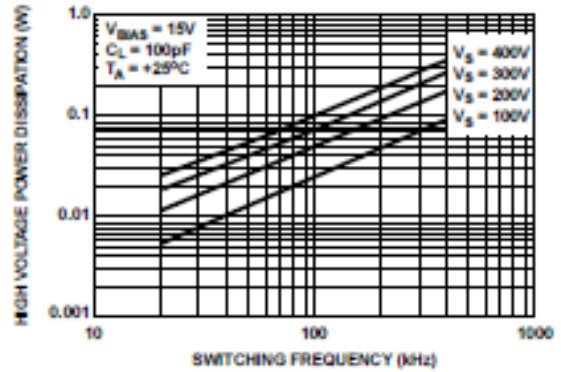
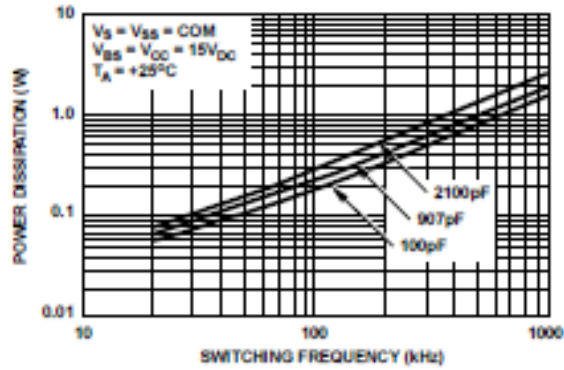


FIGURE 2. HIGH VOLTAGE POWER DISSIPATION vs SWITCHING FREQUENCY



NOTE: All switching losses assumed to be in IC.

FIGURE 3. LOW VOLTAGE POWER DISSIPATION vs FREQUENCY

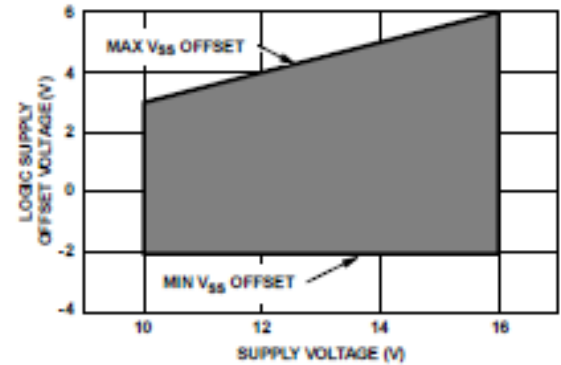


FIGURE 4. V_{SS} OFFSET vs V_{OC} SUPPLY VOLTAGE

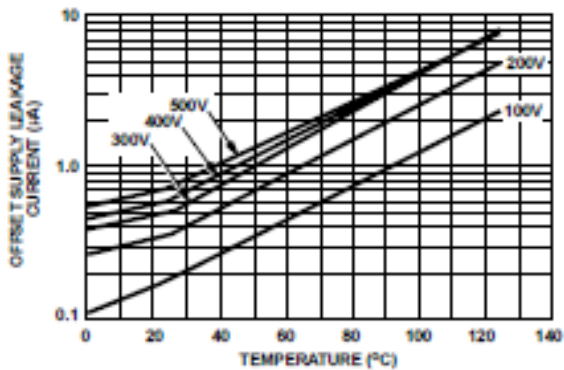


FIGURE 5. OFFSET SUPPLY LEAKAGE vs TEMPERATURE

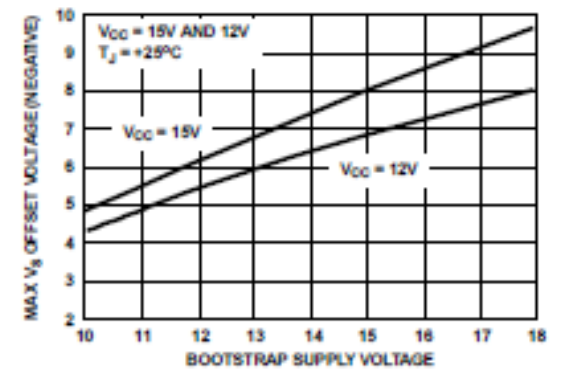


FIGURE 8. MAXIMUM NEGATIVE V_S OFFSET VOLTAGE vs V_{BIS} VOLTAGE

HIP2500

Typical Performance Curves (Continued)

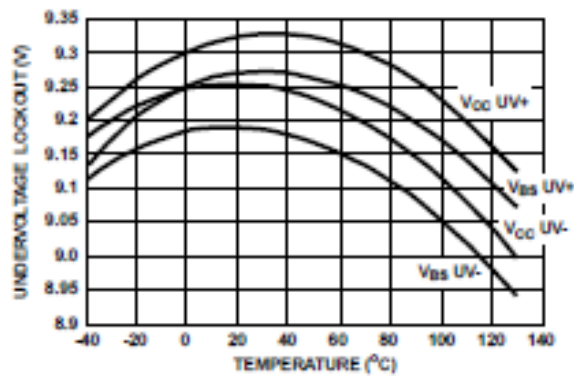


FIGURE 7. UNDERVOLTAGE LOCKOUT vs TEMPERATURE

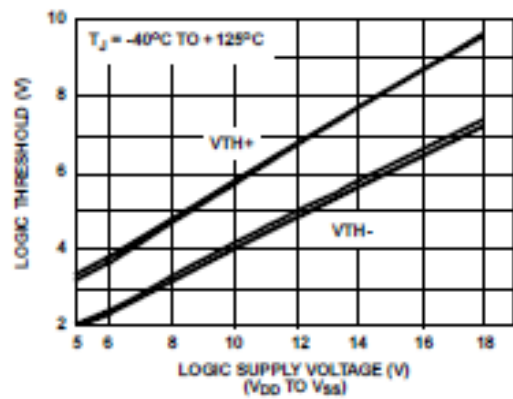


FIGURE 8. INPUT LOGIC THRESHOLD vs SUPPLY VOLTS

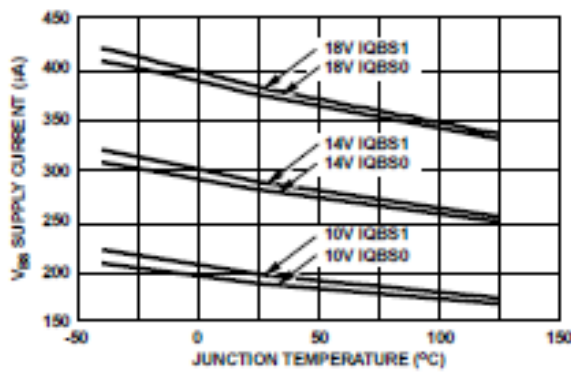


FIGURE 9. QUIESCENT V_{SS} SUPPLY CURRENT vs TEMPERATURE

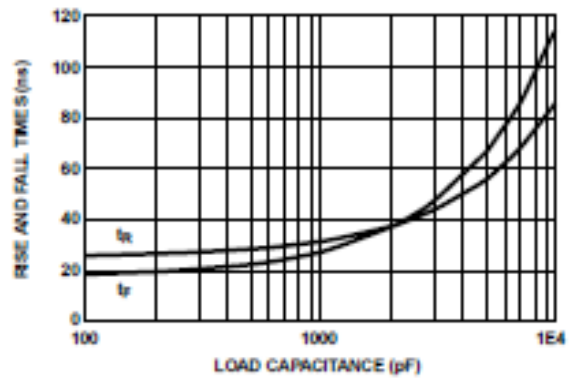


FIGURE 10. RISE AND FALL TIME vs LOAD CAPACITANCE

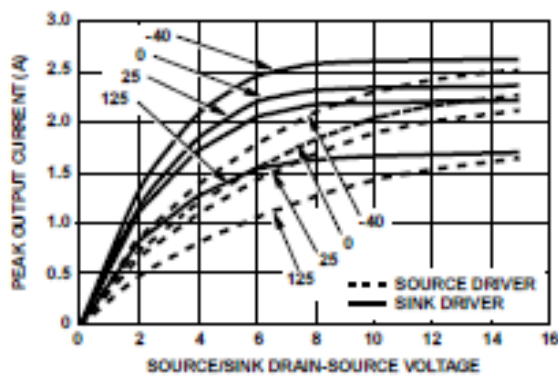


FIGURE 11. DRIVER SINK/SOURCE V-I CHARACTERISTIC

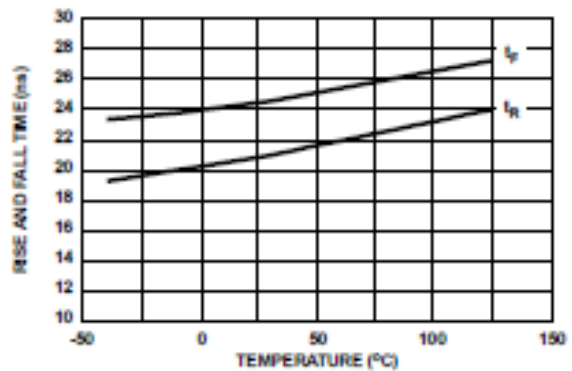


FIGURE 12. RISE AND FALL TIME vs TEMPERATURE

HIP2500

Typical Performance Curves (Continued)

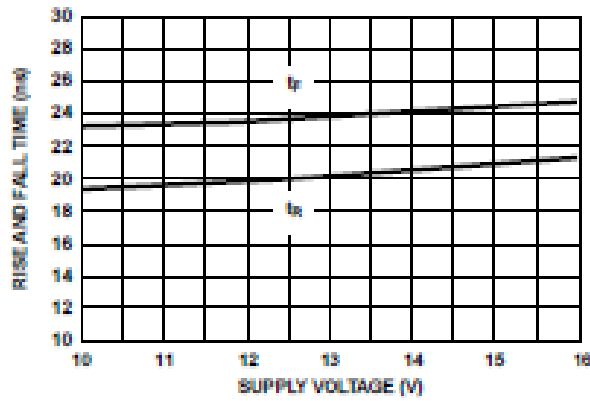


FIGURE 13. RISE AND FALL TIME vs SUPPLY VOLTAGE

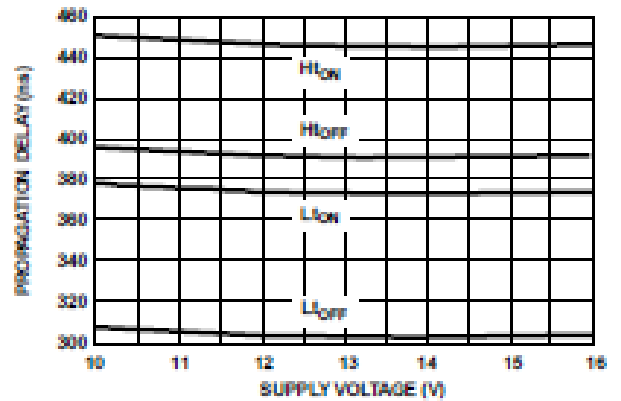


FIGURE 14. PROPAGATION DELAY vs SUPPLY VOLTAGE

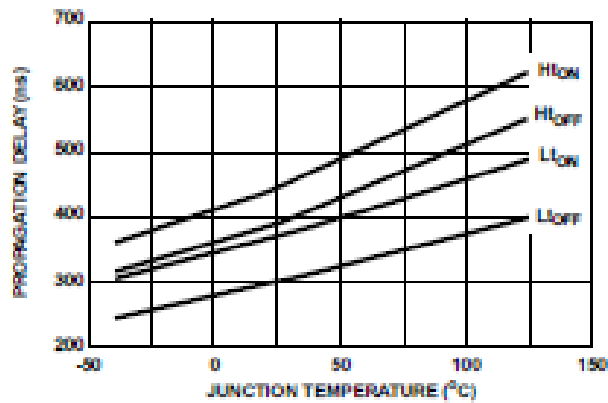
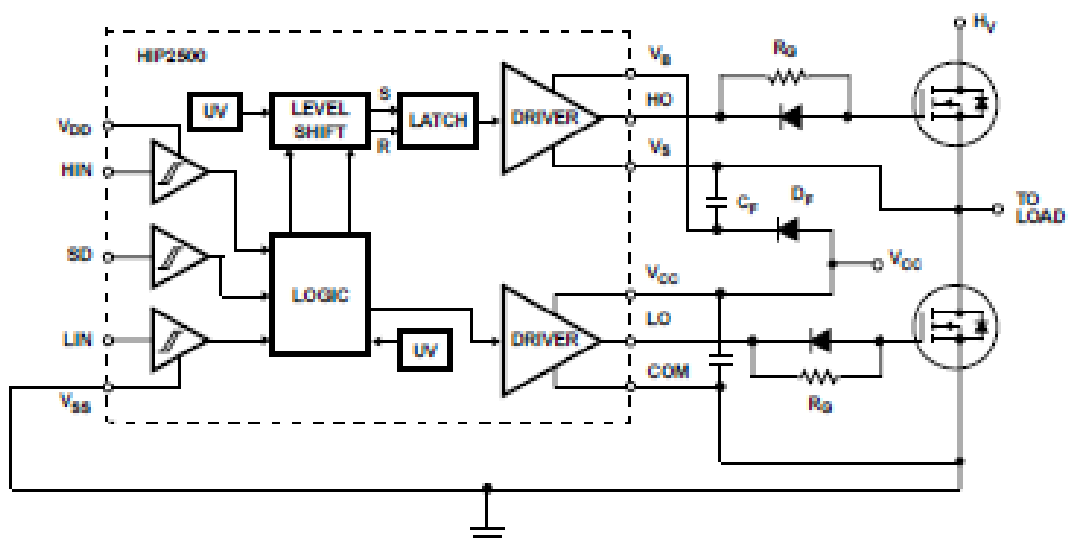
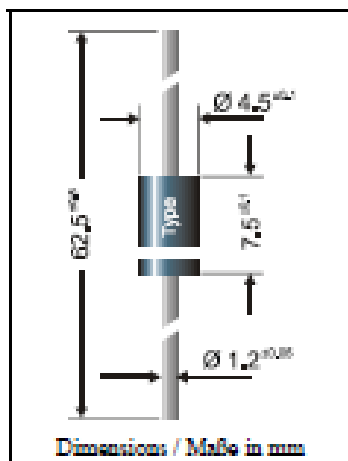


FIGURE 15. PROPAGATION DELAYS AT V_{CC} = 15V

Typical Application Diagram



Fast Silicon Rectifiers**Schnelle Silizium Gleichrichter**

Nominal current – Nennstrom	2 A
Repetitive peak reverse voltage Periodische Spitzensperrspannung	100...800 V
Plastic case Kunststoffgehäuse	~ DO-201
Weight approx. – Gewicht ca.	1 g
Plastic material has UL classification 94V-0 Gehäusematerial UL94V-0 klassifiziert	
Standard packaging taped in ammo pack Standard Lieferform gegurtet in Ammo-Pack	see page 16 siehe Seite 16

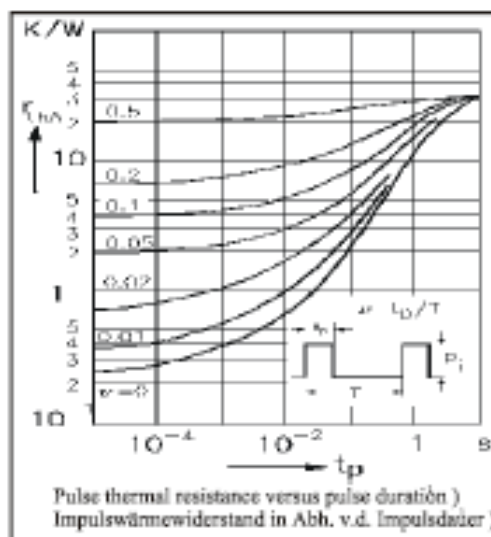
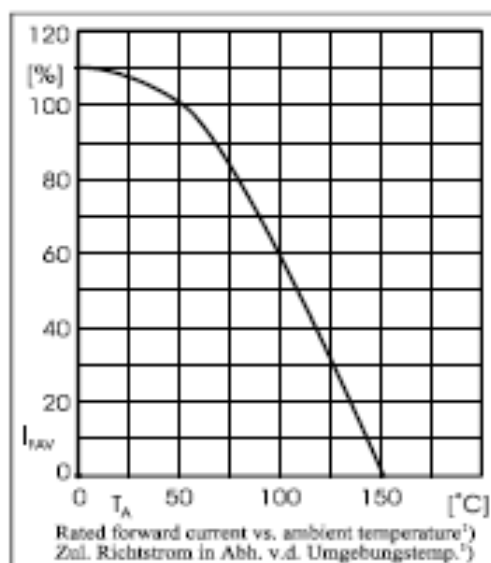
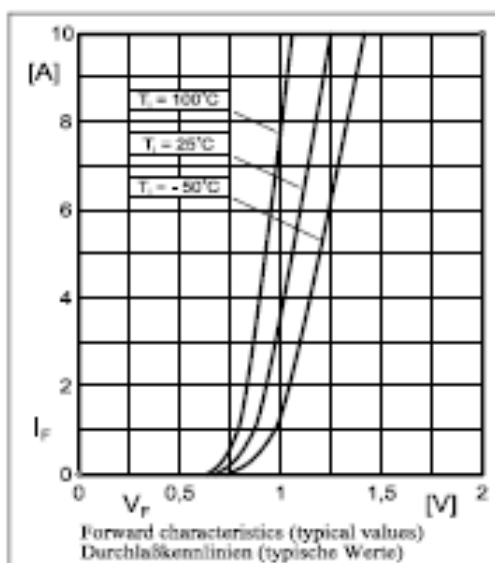
Maximum ratings**Grenzwerte**

Type Typ	Repetitive peak reverse voltage Periodische Spitzensperrspannung V_{RRM} [V]	Surge peak reverse voltage Stoßspitzensperrspannung V_{RSM} [V]
BY 296	100	100
BY 297	200	200
BY 298	400	400
BY 299	800	800

Max. average forward rectified current, R-load Dauergrenzstrom in Einwegschaltung mit R-Last	$T_A = 50^\circ\text{C}$	I_{TAV}	2 A ¹⁾
Repetitive peak forward current Periodischer Spitzenstrom	$f > 15\text{ Hz}$	I_{TSM}	20 A ¹⁾
Peak forward surge current, 50 Hz half sine-wave Stoßstrom für eine 50 Hz Sinus-Halbwellen	$T_A = 25^\circ\text{C}$	I_{TSM}	70 A
Rating for fusing, $t < 10\text{ ms}$ Grenzlastintegral, $t < 10\text{ ms}$	$T_A = 25^\circ\text{C}$	i^2t	24 A ² s
Operating junction temperature – Sperrschichttemperatur		T_j	- 50...+150°C
Storage temperature – Lagerungstemperatur		T_s	- 50...+175°C

¹⁾ Valid, if leads are kept at ambient temperature at a distance of 10 mm from case
Gültig, wenn die Anschlußdrähte in 10 mm Abstand von Gehäuse auf Umgebungstemperatur gehalten werden

Characteristics	Kennwerte			
Forward voltage – Durchlaßspannung	$T_j = 25^\circ\text{C}$	$I_f = 3\text{ A}$	V_f	$< 1.3\text{ V}$
Leakage current – Sperrstrom	$T_j = 25^\circ\text{C}$	$V_R = V_{RRM}$	I_R	$< 10\ \mu\text{A}$
Forward recovery time – Durchlaßverzug		$I_f = 100\text{ mA}$	t_{fr}	$< 1.0\ \mu\text{s}$
Reverse recovery time Sperrverzugszeit	$I_f = 0.5\text{ A through/über}$ $I_R = 1\text{ A to/auf } I_R = 0.25\text{ A}$		t_{rr}	$< 500\text{ ns}$
Thermal resistance junction to ambient air Wärmewiderstand Sperrschicht – umgebende Luft			R_{thA}	$< 25\text{ K/W}^1)$

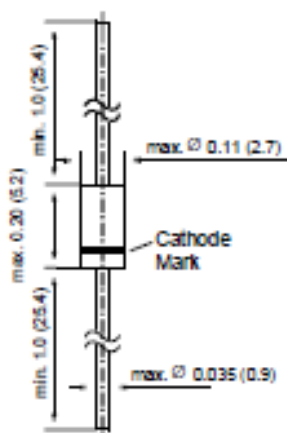


¹⁾ Valid, if leads are kept at ambient temperature at a distance of 10 mm from case
Gültig, wenn die Anschlußdrähte in 10 mm Abstand von Gehäuse auf Umgebungstemperatur gehalten werden

BZY97-C11 THRU BZY97-C68

ZENER DIODES

DO-41 Plastic



Dimensions are in inches and (millimeters)

FEATURES

- ♦ Silicon Power Zener Diodes
- ♦ For use in stabilizing and clipping circuits with high power rating.
- ♦ The Zener voltages are graded according to the international E 24 standard. Smaller voltage tolerances are available upon request.



MECHANICAL DATA

Case: DO-41 Plastic Case
Weight: approx. 0.34 g

MAXIMUM RATINGS

Ratings at 25°C ambient temperature unless otherwise specified.

	SYMBOL	VALUE	UNIT
Zener Current (see Table "Characteristics")			
Power Dissipation at $T_{amb} = 60^{\circ}C$	P_{tot}	1.5 ⁽¹⁾	Watts
Junction Temperature	T_j	150	$^{\circ}C$
Storage Temperature Range	T_s	- 55 to +150	$^{\circ}C$

Characteristics at $T_{amb} = 25^{\circ}C$

	SYMBOL	MIN.	TYP.	MAX.	UNIT
Thermal Resistance Junction to Ambient Air	R_{thJA}	-	-	60 ⁽¹⁾	$^{\circ}C/W$

NOTES:

(1) Valid provided that leads at a distance of 10 mm from case are kept at ambient temperature.

12/16/98

GENERAL SEMICONDUCTOR®

ELECTRICAL CHARACTERISTICS

Ratings at 25°C ambient temperature unless otherwise specified.

Type	Zener voltage ⁽¹⁾ at I _{ZT} min. max. V _Z (V)	Dynamic resistance at -I _{ZT} f = 1 kHz max r _{dj} (Ω)	Temp. coeff. of Zener volt. at I _{ZT} α _{VZ} (10 ⁻⁴ /K)	Test current I _{ZT} (mA)	Leakage current I _l (μA)	Reverse voltage V _R (V)	Admissible Zener current at T _{amb} = 80°C I _Z (mA)	I _{ZSM} t _p = 10 ms (A)
BZY97 - C11	10.4 ... 11.6	7	+5 ... +10	50	0.5	5	129	1.3
BZY97 - C12	11.4 ... 12.7	7	+5 ... +10	50	0.5	7	118	1.2
BZY97 - C13	12.4 ... 14.1	10	+5 ... +10	50	0.5	7	106	1.1
BZY97 - C15	13.8 ... 15.6	10	+5 ... +10	50	0.5	10	96	1.0
BZY97 - C16	15.3 ... 17.1	15	+6 ... +11	25	0.5	10	88	0.90
BZY97 - C18	16.8 ... 19.1	15	+6 ... +11	25	0.5	10	79	0.81
BZY97 - C20	18.8 ... 21.2	15	+6 ... +11	25	0.5	10	71	0.73
BZY97 - C22	20.8 ... 23.3	15	+6 ... +11	25	0.5	12	64	0.66
BZY97 - C24	22.8 ... 25.6	15	+6 ... +11	25	0.5	12	59	0.60
BZY97 - C27	25.1 ... 28.9	15	+6 ... +11	25	0.5	14	52	0.53
BZY97 - C30	28 ... 32	15	+6 ... +11	25	0.5	14	47	0.48
BZY97 - C33	31 ... 35	15	+6 ... +11	25	0.5	17	43	0.44
BZY97 - C36	34 ... 38	40	+6 ... +11	10	0.5	17	40	0.40
BZY97 - C39	37 ... 41	40	+6 ... +11	10	0.5	20	37	0.38
BZY97 - C43	40 ... 46	45	+7 ... +12	10	0.5	20	33	0.33
BZY97 - C47	44 ... 50	45	+7 ... +12	10	0.5	24	30	0.31
BZY97 - C51	48 ... 54	60	+7 ... +12	10	0.5	24	28	0.28
BZY97 - C56	52 ... 60	60	+7 ... +12	10	0.5	28	25	0.26
BZY97 - C62	58 ... 66	80	+7 ... +12	10	0.5	28	23	0.23
BZY97 - C68	64 ... 72	80	+7 ... +12	10	0.5	34	21	0.21

NOTES:

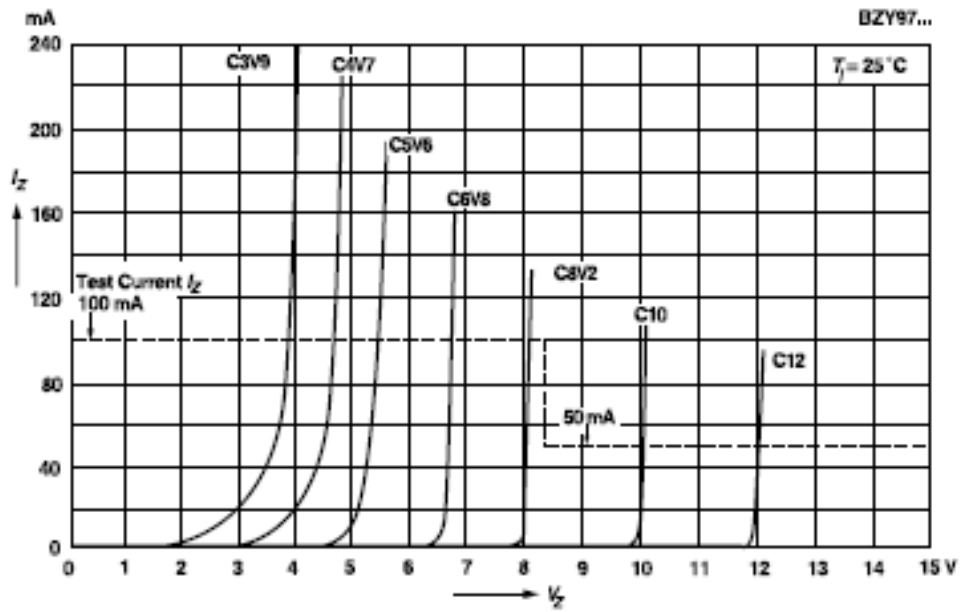
(1) Tested with pulses t_p = 5 ms

(2) Consult factory for voltages above 68V

RATINGS AND CHARACTERISTIC CURVES BZY97-C11 THRU BZY97-C68

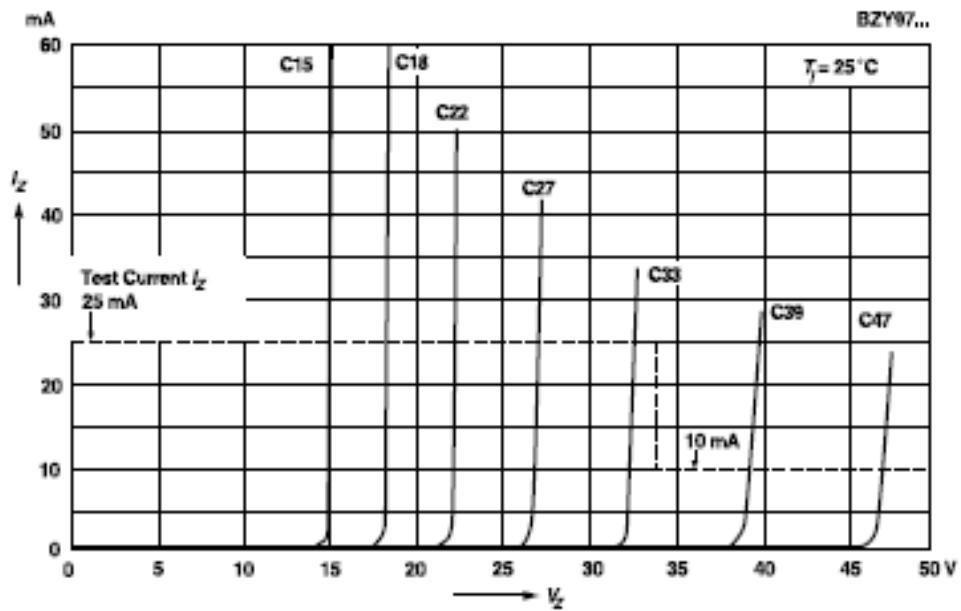
Breakdown characteristics

$T_j = \text{constant (pulsed)}$



Breakdown characteristics

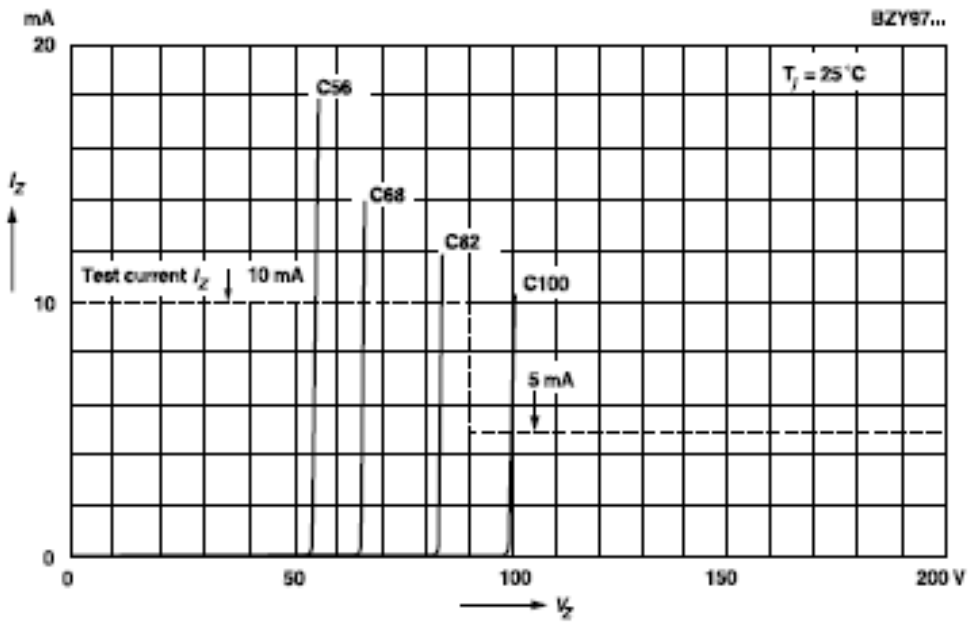
$T_j = \text{constant (pulsed)}$



RATINGS AND CHARACTERISTIC CURVES BZY97-C11 THRU BZY97-C68

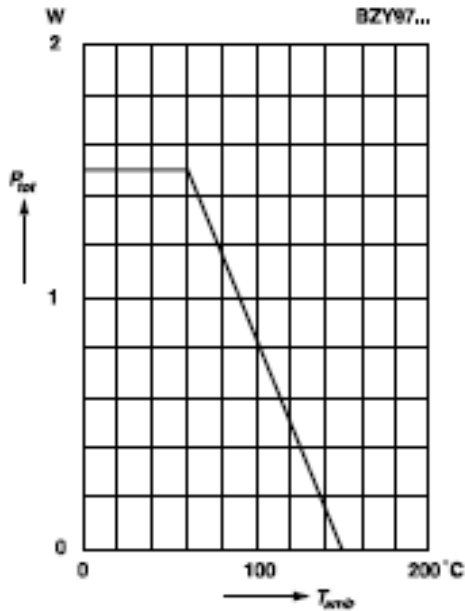
Breakdown characteristics

$T_j = \text{constant (pulsed)}$



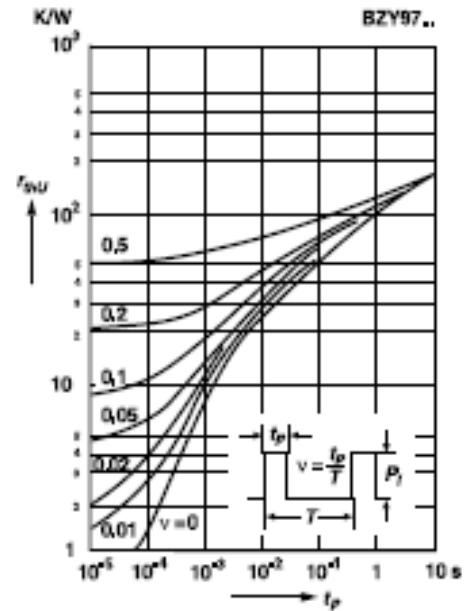
Admissible power dissipation versus ambient temperature

For conditions, see footnote in table "Absolute Maximum Ratings"



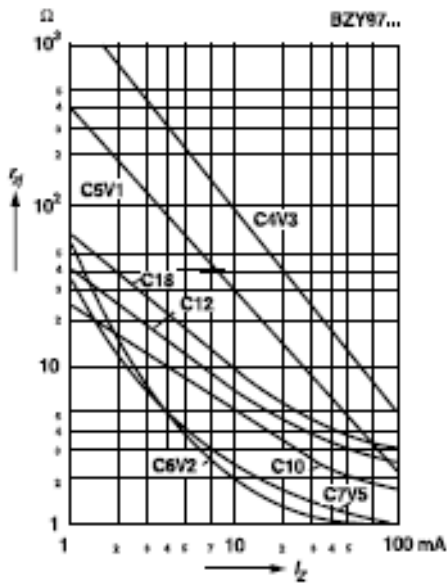
Pulse thermal resistance versus pulse duration

For conditions, see footnote in table "Absolute Maximum Ratings"

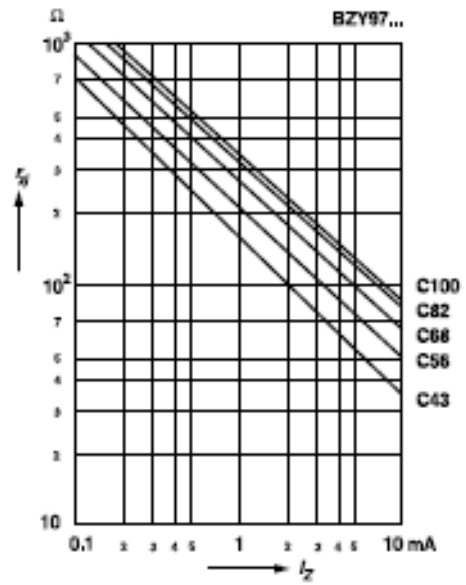


RATINGS AND CHARACTERISTIC CURVES BZY97-C11 THRU BZY97-C68

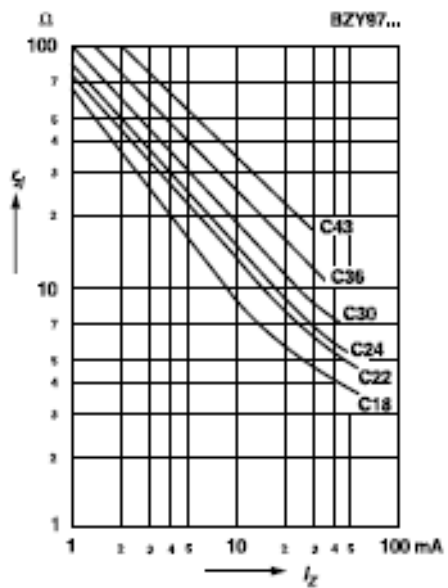
Dynamic resistance versus Zener current



Dynamic resistance versus Zener current



Dynamic resistance versus Zener current



INTERNATIONAL RECTIFIER



40HFL, 70HFL, 85HFL SERIES

40A, 70A, 85A Fast Recovery Rectifiers

Major Ratings and Characteristics

	40HFL...	70HFL...	85HFL...	Units	
$I_{F(AV)}$	40	70	85	A	
@ Max T_C	75	75	75	°C	
I_{FSM}	50Hz	400	700	1100	A
	60Hz	420	730	1151	A
I^2t	50Hz	800	2450	6050	A ² s
	60Hz	730	2240	5523	A ² s
$I^2\sqrt{t}$	11 300	34 650	65 580	A ² √s	
t_{rr} range	see table				
V_{RRM} range	100 to 1000			V	
T_J range	-40 to 125			°C	

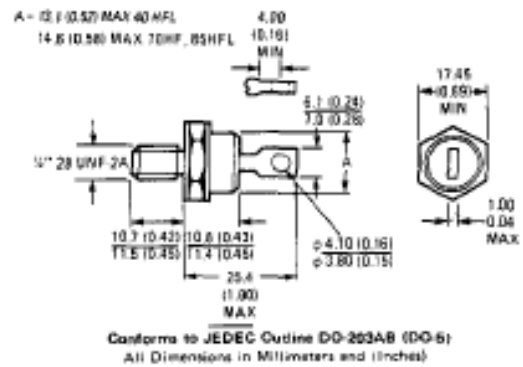
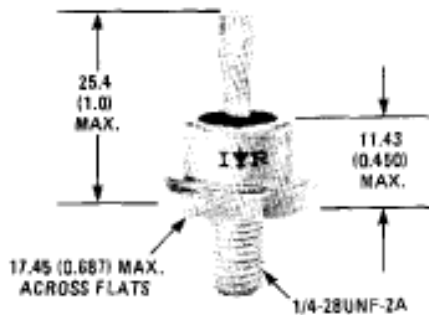
Description

This range of fast recovery diodes is designed for applications in DC power supplies, inverters, converters, choppers, ultrasonic systems and for use as a free wheeling diode.

Features

- Short reverse recovery time
- Low stored charge.
- Wide current range.
- Excellent surge capabilities.
- Stud cathode and stud anode versions.
- Types up to 1000V V_{RRM} .

CASE STYLE AND DIMENSIONS



ELECTRICAL SPECIFICATIONS

Reverse voltage ratings

Part number ①	V_{RRM} : Maximum peak repetitive reverse voltage $T_J = -40$ to 125°C	V_{RSM} : Maximum peak non-repetitive reverse voltage $T_J = 25$ to 125°C	I_{FM} : Maximum peak reverse current at rated V_{RRM} .	
	V	V	$T_J = 25^\circ\text{C}$ mA	$T_J = 125^\circ\text{C}$ mA
40HFL10S02, 40HFL10S05, 40HFL10S10 40HFL20S02, 40HFL20S05, 40HFL20S10 40HFL40S02, 40HFL40S05, 40HFL40S10 40HFL60S02, 40HFL60S05, 40HFL60S10 40HFL80S02, 40HFL80S05, 40HFL80S10 40HFL100S02, 40HFL100S05, 40HFL100S10	100 200 400 600 800 1000	150 300 500 700 900 1100	0.1 0.1 0.1 0.1 0.1 0.1	10 10 10 10 10 10
70HFL10S02, 70HFL10S05, 70HFL10S10 70HFL20S02, 70HFL20S05, 70HFL20S10 70HFL40S02, 70HFL40S05, 70HFL40S10 70HFL60S02, 70HFL60S05, 70HFL60S10 70HFL80S02, 70HFL80S05, 70HFL80S10 70HFL100S02, 70HFL100S05, 70HFL100S10	100 200 400 600 800 1000	150 300 500 700 900 1100	0.1 0.1 0.1 0.1 0.1 0.1	15 15 15 15 15 15
85HFL10S02, 85HFL10S05, 85HFL10S10 85HFL20S02, 85HFL20S05, 85HFL20S10 85HFL40S02, 85HFL40S05, 85HFL40S10 85HFL60S02, 85HFL60S05, 85HFL60S10 85HFL80S02, 85HFL80S05, 85HFL80S10 85HFL100S02, 85HFL100S05, 85HFL100S10	100 200 400 600 800 1000	150 300 500 700 900 1100	0.1 0.1 0.1 0.1 0.1 0.1	20 20 20 20 20 20

① Types listed are cathode case, for anode case add "R" to code, i.e. 40HFLR20S02, 85HFLR100S05 etc.

Reverse recovery characteristics

	40HFL...			70HFL...			85HFL...			Units	Conditions
	S02	S05	S10	S02	S05	S10	S02	S05	S10		
t_{rr} Maximum reverse recovery time	70	180	350	80	150	290	50	120	270	ns	$T_J = 25^\circ\text{C}$, $I_F = 1\text{A}$ to $V_R = 30\text{V}$ $-dI_F/dt = 100\text{A}/\mu\text{s}$
	200	500	1000	200	500	1000	200	500	1000	ns	$T_J = 25^\circ\text{C}$, $-dI_F/dt = 25\text{A}/\mu\text{s}$ $I_{FM} = \tau \times \text{rated } I_{F(AV)}$
Q_{RR} Maximum reverse recovered charge	160	750	3100	90	500	1600	70	340	1350	nC	$T_J = 25^\circ\text{C}$, $I_F = 1\text{A}$ to $V_R = 30\text{V}$ $-dI_F/dt = 100\text{A}/\mu\text{s}$
	240	1300	6000	240	1300	6000	240	1300	6000	nC	$T_J = 25^\circ\text{C}$, $-dI_F/dt = 25\text{A}/\mu\text{s}$ $I_{FM} = \tau \times \text{rated } I_{F(AV)}$

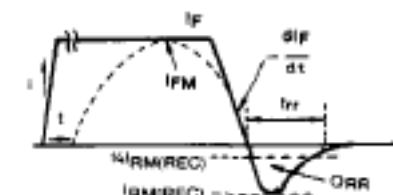
Forward conduction

		40HFL	70HFL	85HFL	Units	Conditions
$I_{F(AV)}$ Maximum average forward current		40	70	85	A	180°C conduction, half sine wave, max. $T_{\theta} = 75^\circ\text{C}$
$I_{F(RMS)}$ Maximum RMS forward current		63	110	134	A	
I_{FRM} Maximum peak repetitive forward current		220	380	470	A	Sinusoidal half wave, 30% conduction
I_{FSM} Maximum peak, one cycle non-repetitive forward current		400	700	1100	A	$t = 10\text{ms}$ Sinusoidal half-wave 100% V_{RRM} reapplied, initial $T_J = T_J \text{ max}$
		420	730	1151	A	$t = 8.3\text{ms}$
		475	830	1308	A	$t = 10\text{ms}$ Sinusoidal half-wave no voltage reapplied, initial $T_J = T_J \text{ max}$
		500	870	1369	A	$t = 8.3\text{ms}$
I^2t Maximum I^2t for fusing		800	2450	6050	A^2s	$t = 10\text{ms}$ 100% V_{RRM} reapplied Initial $T_J = T_J \text{ max}$
		730	2240	5523	A^2s	$t = 8.3\text{ms}$
		1130	3450	8556	A^2s	$t = 10\text{ms}$ No voltage reapplied Initial $T_J = T_J \text{ max}$
		1030	3160	7810	A^2s	$t = 8.3\text{ms}$
$I^2\sqrt{t}$ Maximum $I^2\sqrt{t}$ for fusing ②		11300	34590	85560	$\text{A}^2/\sqrt{\text{s}}$	$t = 0.1$ to 10ms , no voltage reapplied
$V_{F(TO)}$ Maximum value of threshold voltage		1.081	1.065	1.128	V	$T_J = 125^\circ\text{C}$
r_F Maximum value of forward slope resistance		6.33	3.40	2.11	$\text{m}\Omega$	
V_{FM} Maximum peak forward voltage		1.95	1.85	1.75	V	$T_J = 25^\circ\text{C}$, $I_{FM} = \tau \times I_{F(AV)}$

② I^2t for time $t_k = I^2\sqrt{t} + \sqrt{t_k}$.

THERMAL AND MECHANICAL SPECIFICATIONS

		40HFL...	70HFL...	85HFL...	Units	Conditions
T_j	Junction operating temperature range	-40 to 125			°C	
T_{stg}	Storage temperature range	-40 to 150			°C	
R_{thJC}	Maximum internal thermal resistance, junction to case	0.80	0.36	0.30	K/W	DC operation
R_{thCS}	Maximum thermal resistance, case to heat sink	0.25			K/W	Mounting surface, smooth, flat and greased
T	Mounting torque 10%	to nut	20 (27)		lbf·in	Lubricated threads (non-lubricated threads)
			0.23 (0.29)		kgf·m	
	to device	1.2 (2.7)		N·m		
		22		lbf·in		
		0.25		kgf·m		
		2.5		N·m		
wt	Approximate weight	25 (0.88)			g (oz)	
	Outline	00-203AB (00-5)				JEDEC



- I_F , I_{FM} = Peak forward current prior to commutation
- $-dI_F/dt$ = Rate of fall of forward current
- $I_{RRM(REC)}$ = Peak reverse recovery current
- t_{rr} = Reverse recovery time
- Q_{RR} = Reverse recovered charge

Fig. 1 – Reverse Recovery Time Test Waveform

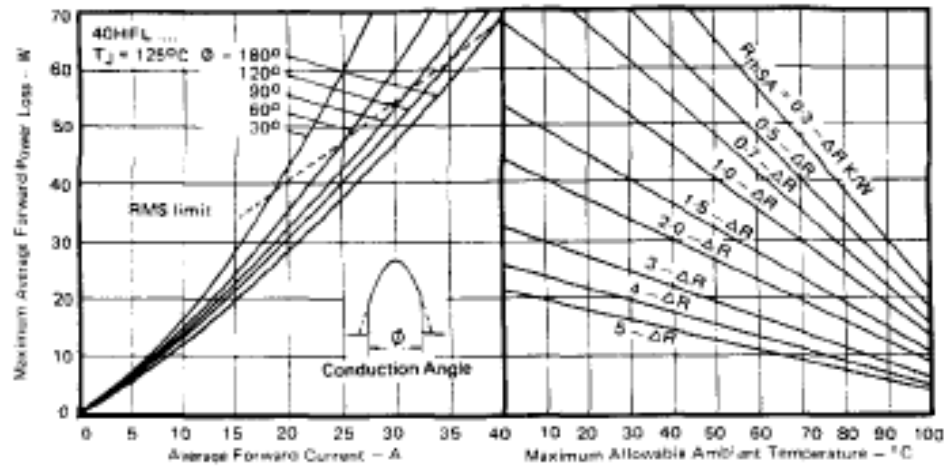


Fig. 2 - Current Rating Nomogram (Sinusoidal Waveforms), 40HFL Series

Conduction angle - ϕ	ΔR	K/W
180°	0.14	
120°	0.15	
90°	0.20	
60°	0.31	
30°	0.53	

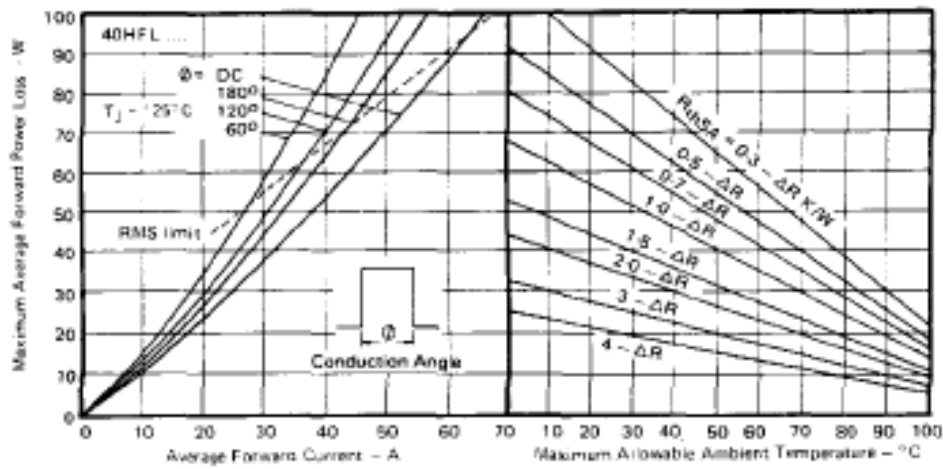


Fig. 3 - Current Rating Nomogram (Rectangular Waveforms), 40HFL Series

Conduction angle - ϕ	ΔR	K/W
DC	0	
180°	0.08	
120°	0.14	
60°	0.30	

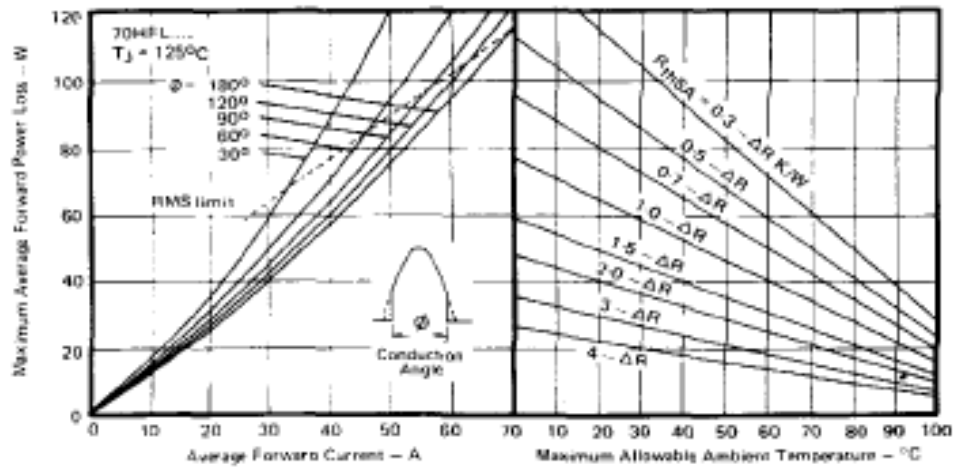


Fig. 4 - Current Rating Nomogram (Sinusoidal Waveforms), 70HFL Series

Conduction angle - ϕ	ΔR	K/W
180°	0.08	
120°	0.09	
90°	0.12	
60°	0.18	
30°	0.32	

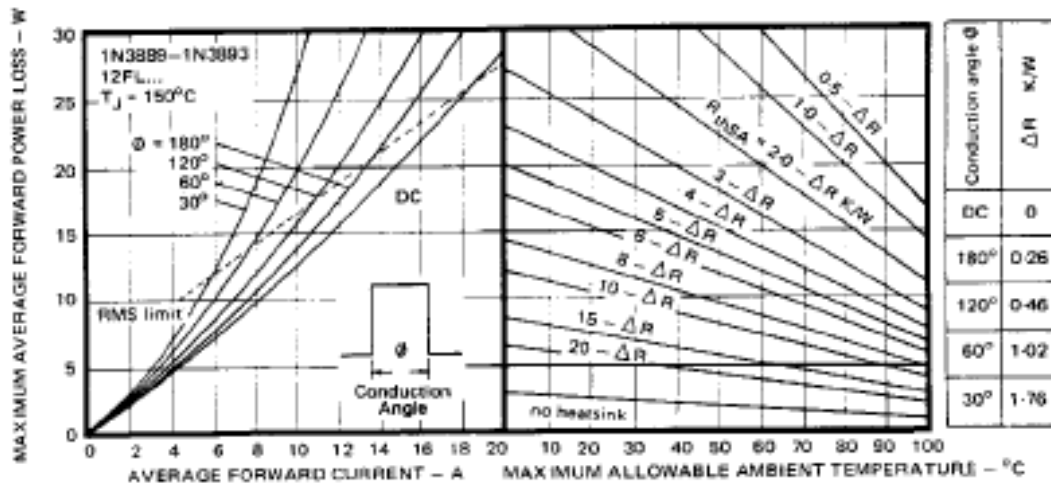


Fig. 8 – Current Rating Nomogram (Rectangular Waveforms), 1N3889 and 12FL Series

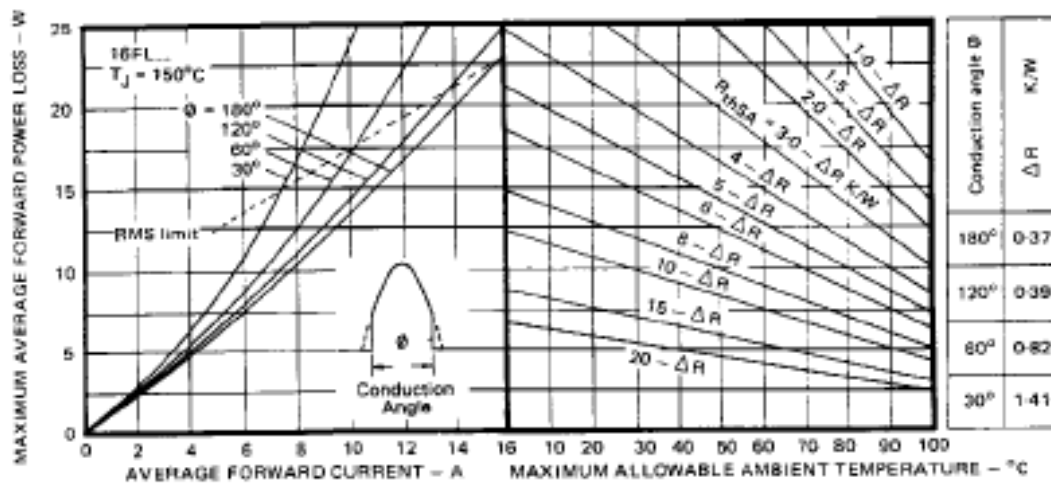


Fig. 9 – Current Rating Nomogram (Sinusoidal Waveforms), 16FL Series

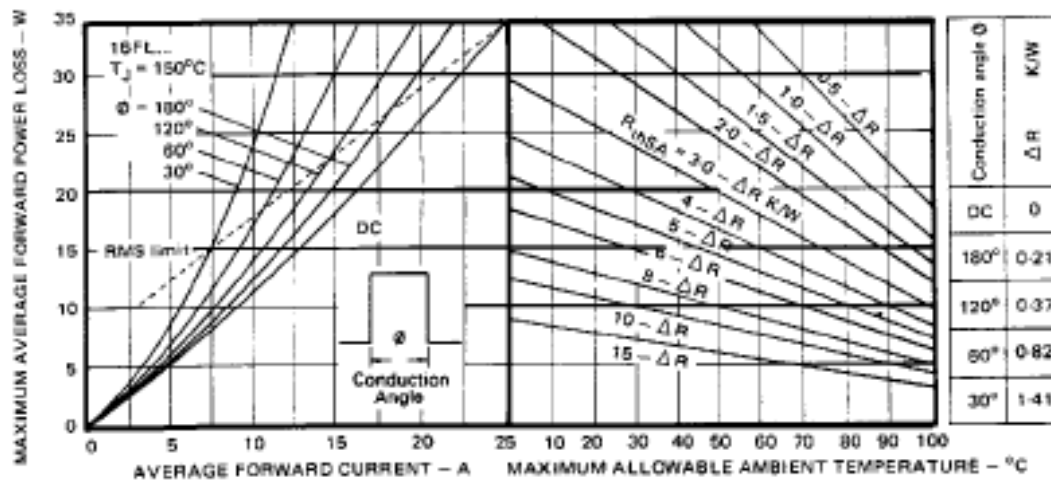


Fig. 10 – Current Rating Nomogram (Rectangular Waveforms), 16FL Series

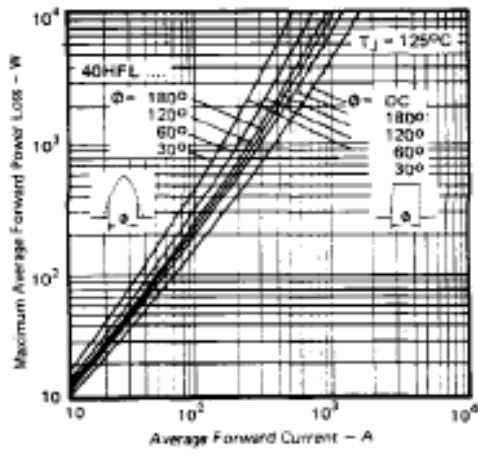


Fig. 8 – Maximum High Level Forward Power Loss Vs. Average Forward Current, 40HFL Series

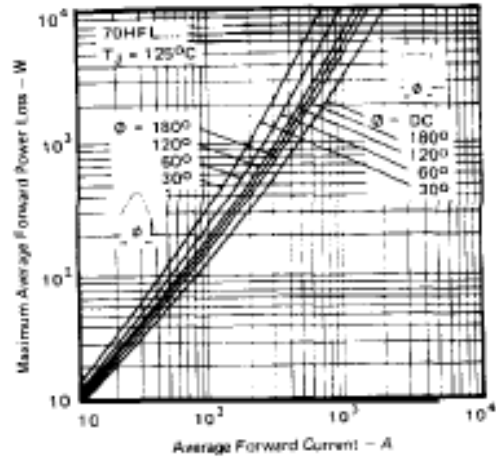


Fig. 9 – Maximum High Level Forward Power Loss Vs. Average Forward Current, 70HFL Series

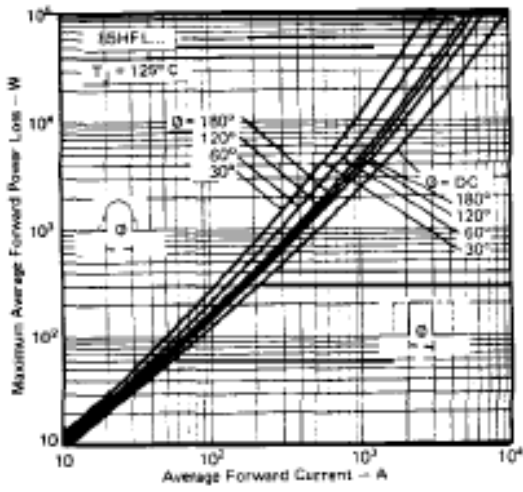


Fig. 10 – Maximum High Level Forward Power Loss Vs. Average Forward Current, 85HFL Series

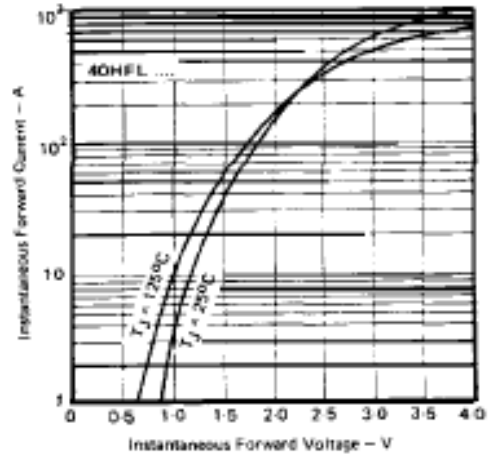


Fig. 11 – Maximum Forward Voltage Vs. Forward Current, 40HFL Series

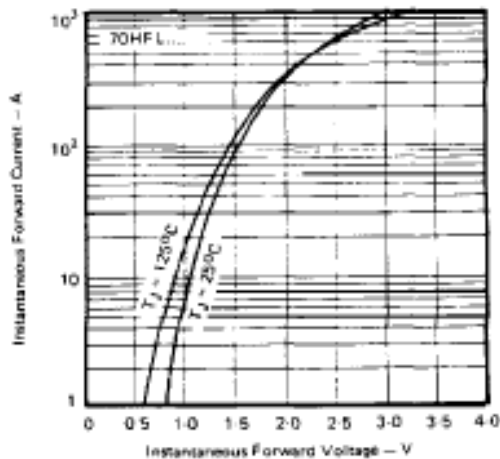


Fig. 12 – Maximum Forward Voltage Vs. Forward Current, 70HFL Series

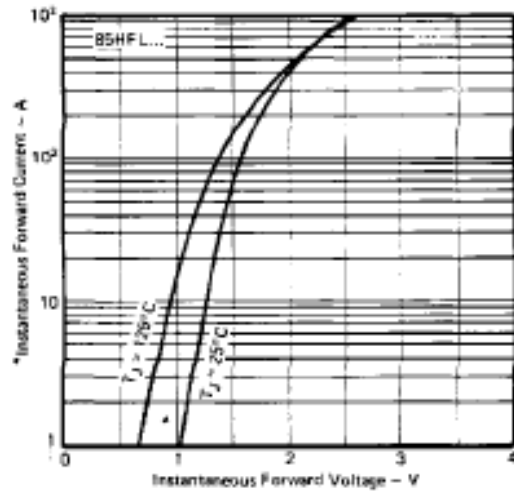


Fig. 13 – Maximum Forward Voltage Vs. Forward Current, 85HFL Series

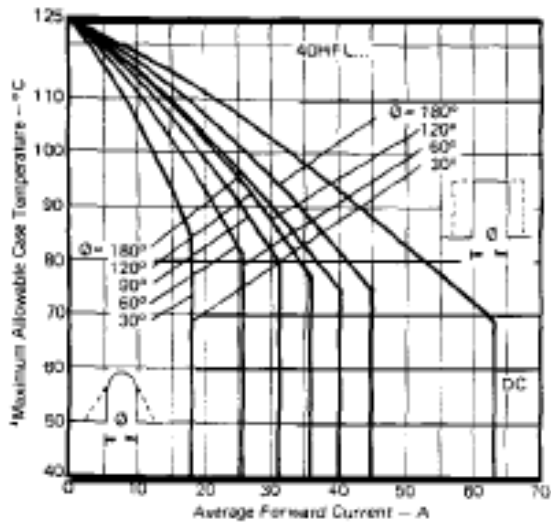


Fig. 14 – Average Forward Current Vs. Maximum Allowable Case Temperature, 40HFL Series

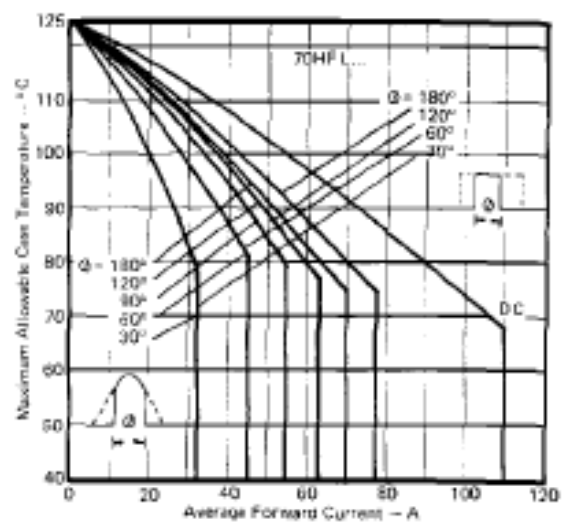


Fig. 15 – Average Forward Current Vs. Maximum Allowable Case Temperature, 70HFL Series

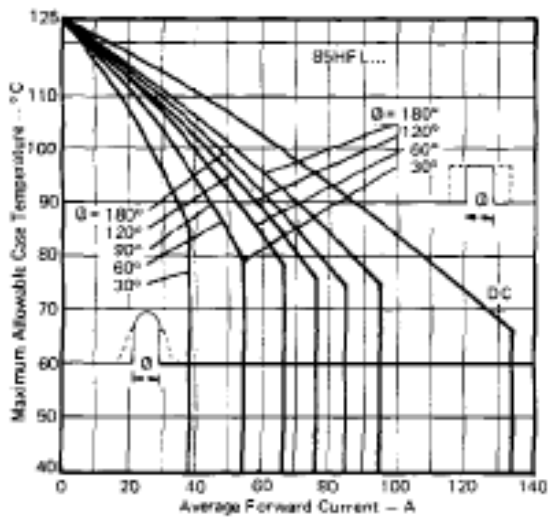


Fig. 16 – Average Forward Current Vs. Maximum Allowable Case Temperature, 85HFL Series

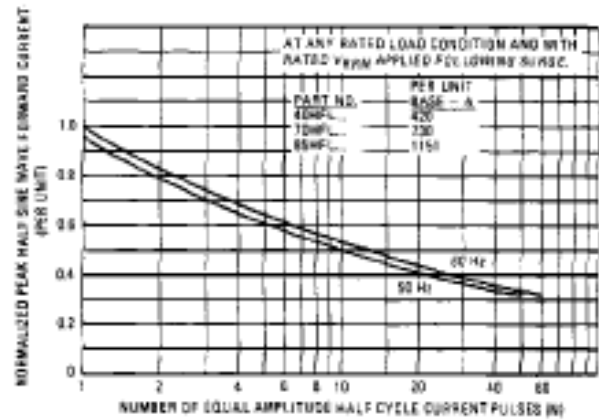


Fig. 17 – Maximum Non-Repetitive Surge Current Vs. Number of Current Pulses, All Series

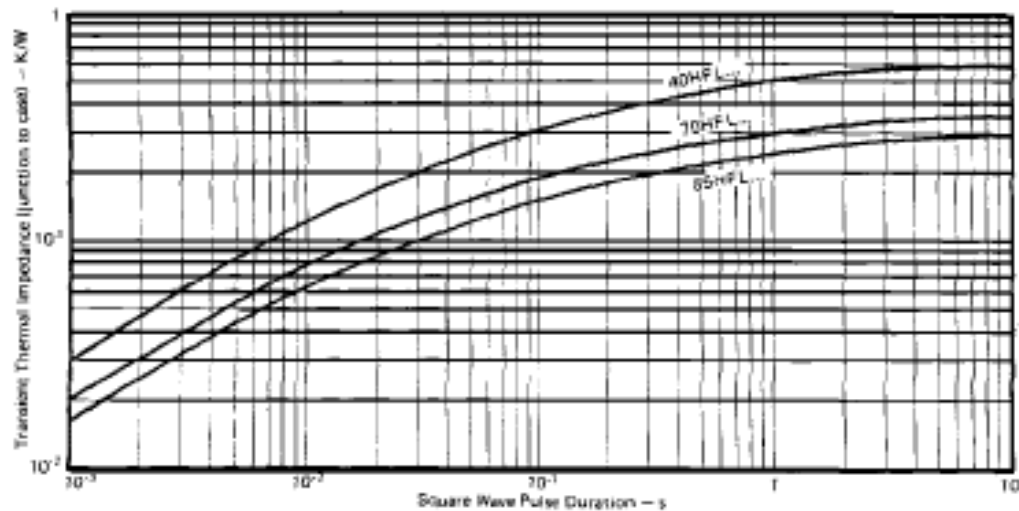


Fig. 18 – Maximum Transient Thermal Impedance, Junction-to-Case Vs. Pulse Duration, All Series

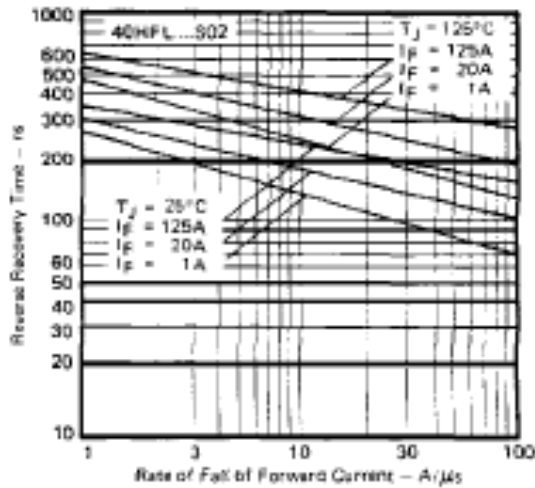


Fig. 19 – Maximum Reverse Recovery Time Vs. Rate of Fall of Forward Current, 40HFL...S02 Series

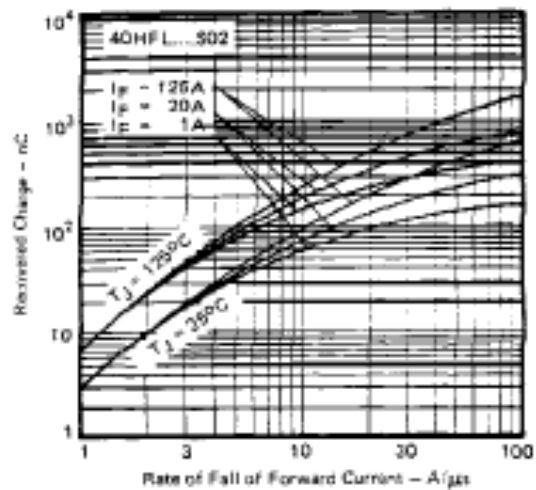


Fig. 20 – Maximum Recovered Charge Vs. Rate of Fall of Forward Current, 40HFL...S02 Series

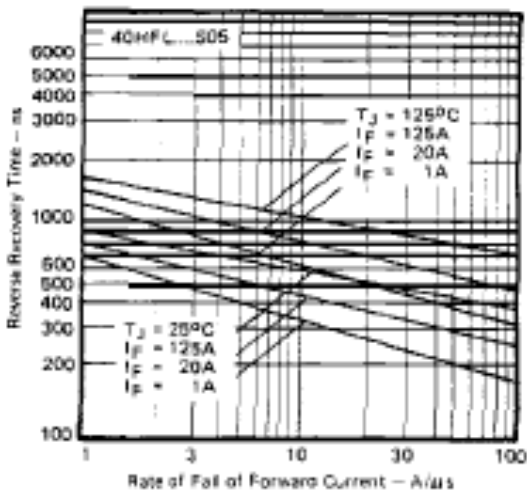


Fig. 21 – Maximum Reverse Recovery Time Vs. Rate of Fall of Forward Current, 40HFL...S05 Series

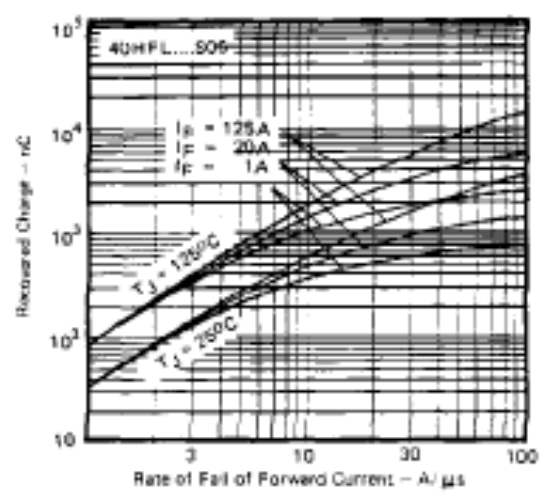


Fig. 22 – Maximum Recovered Charge Vs. Rate of Fall of Forward Current, 40HFL...S05 Series

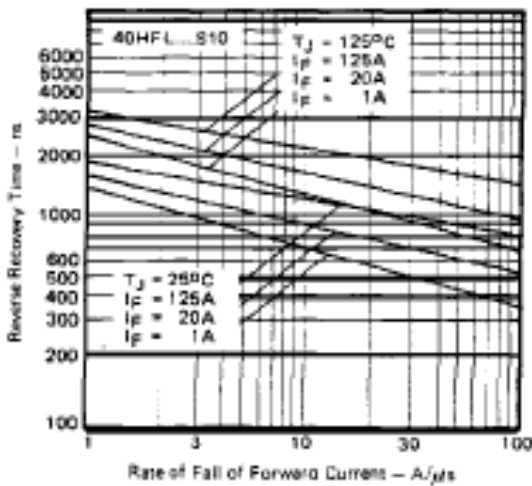


Fig. 23 – Maximum Reverse Recovery Time Vs. Rate of Fall of Forward Current, 40HFL...S10 Series

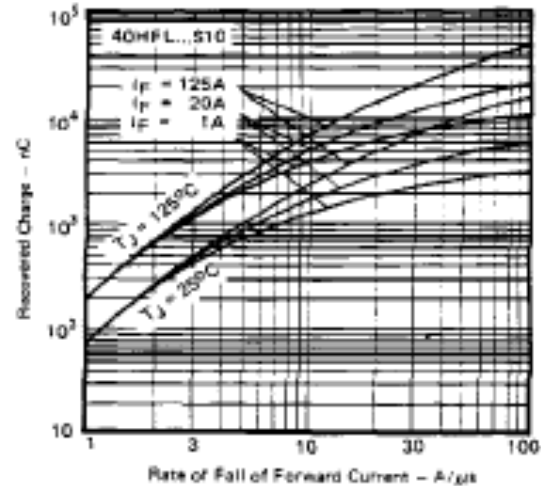


Fig. 24 – Maximum Recovered Charge Vs. Rate of Fall of Forward Current, 40HFL...S10 Series

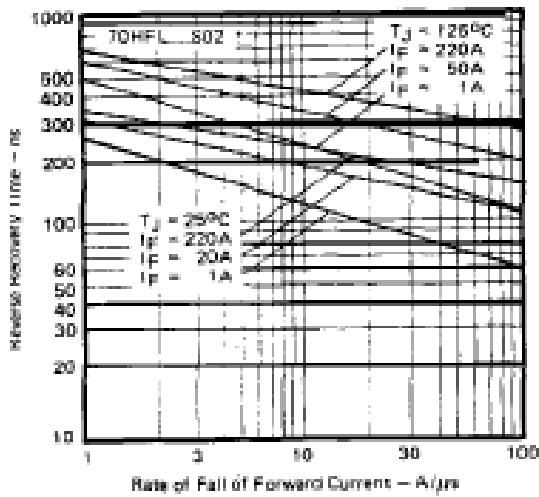


Fig. 25 – Maximum Reverse Recovery Time Vs. Rate of Fall of Forward Current, 70HFL...S02 Series

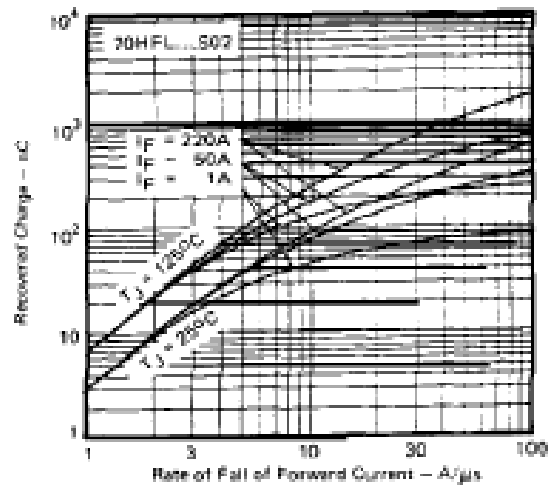


Fig. 26 – Maximum Recovered Charge Vs. Rate of Fall of Forward Current, 70HFL...S02 Series

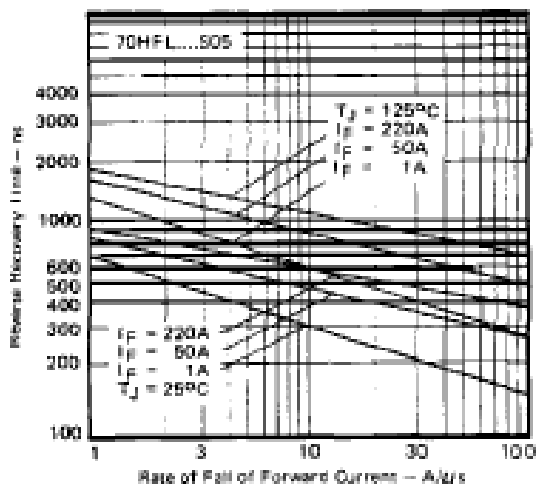


Fig. 27 – Maximum Reverse Recovery Time Vs. Rate of Fall of Forward Current, 70HFL...S05 Series

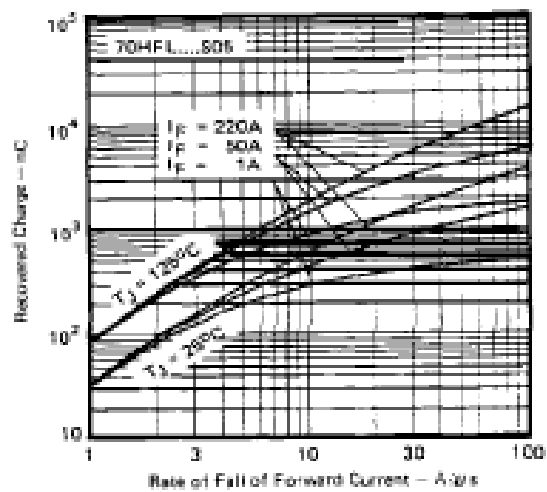


Fig. 28 – Maximum Recovered Charge Vs. Rate of Fall of Forward Current, 70HFL...S05 Series

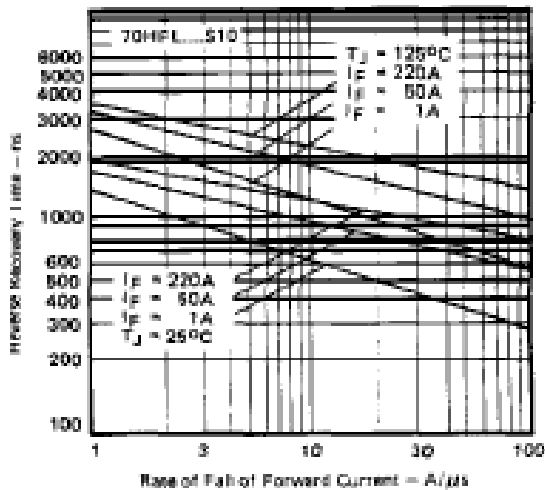


Fig. 29 – Maximum Reverse Recovery Time Vs. Rate of Fall of Forward Current, 70HFL...S10 Series

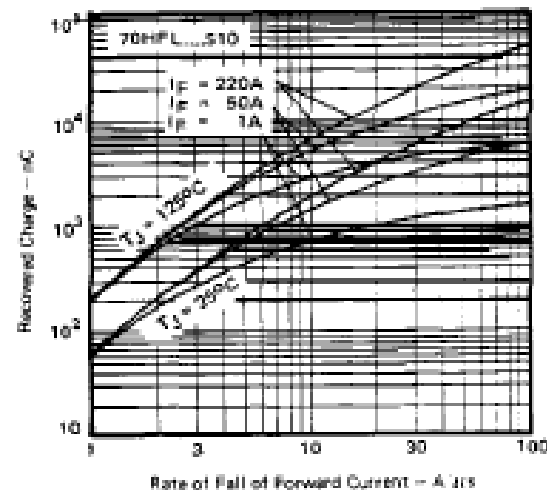


Fig. 30 – Maximum Recovered Charge Vs. Rate of Fall of Forward Current, 70HFL...S10 Series

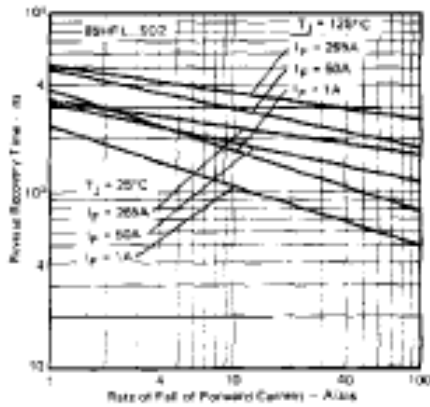


Fig. 31 – Maximum Reverse Recovery Time Vs. Rate of Fall of Forward Current, 85HFL_S02 Series

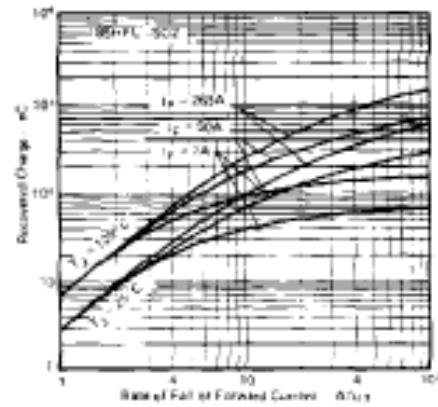


Fig. 32 – Maximum Recovered Charge Vs. Rate of Fall of Forward Current, 85HFL_S02 Series

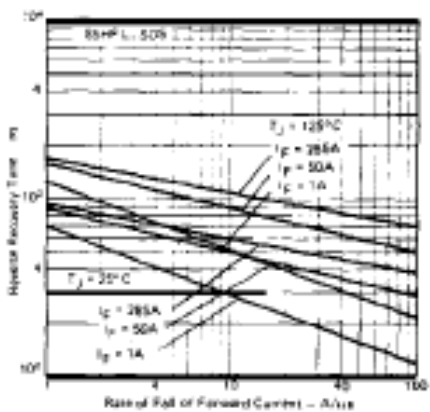


Fig. 33 – Maximum Reverse Recovery Time Vs. Rate of Fall of Forward Current, 85HFL_S05 Series

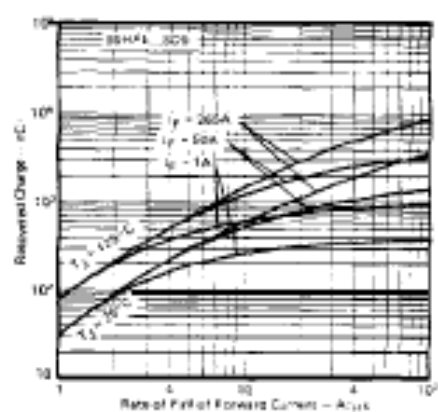


Fig. 34 – Maximum Recovered Charge Vs. Rate of Fall of Forward Current, 85HFL_S05 Series

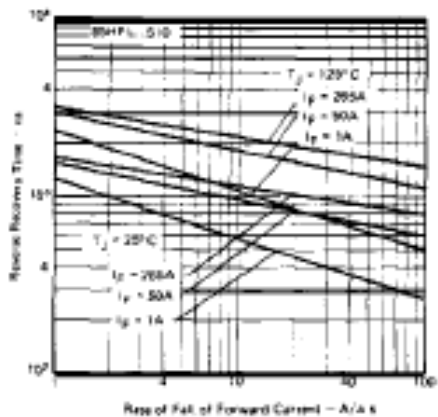


Fig. 35 – Maximum Reverse Recovery Time Vs. Rate of Fall of Forward Current, 85HFL_S10 Series

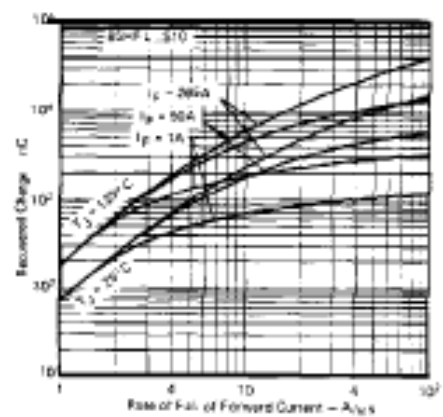


Fig. 36 – Maximum Recovered Charge Vs. Rate of Fall of Forward Current, 85HFL_S10 Series



8XC196KC/8XC196KC20 COMMERCIAL/EXPRESS CHMOS MICROCONTROLLER

87C196KC—16 Kbytes of On-Chip OTPROM

83C196KC—16 Kbytes ROM

80C196KC—ROMless

- 16 and 20 MHz Available
- 488 Byte Register RAM
- Register-to-Register Architecture
- 28 Interrupt Sources/16 Vectors
- Peripheral Transaction Server
- 1.4 μ s 16 x 16 Multiply (20 MHz)
- 2.4 μ s 32/16 Divide (20 MHz)
- Powerdown and Idle Modes
- Five 8-Bit I/O Ports
- 16-Bit Watchdog Timer
- Extended Temperature Available
- Dynamically Configurable 8-Bit or 16-Bit Bus width
- Full Duplex Serial Port
- High Speed I/O Subsystem
- 16-Bit Timer
- 16-Bit Up/Down Counter with Capture
- 3 Pulse-Width-Modulated Outputs
- Four 16-Bit Software Timers
- 8- or 10-Bit A/D Converter with Sample/Hold
- HOLD/HLDA Bus Protocol
- OTPROM One-Time Programmable Version

The 80C196KC 16-bit microcontroller is a high performance member of the MCS® 96 microcontroller family. The 80C196KC is an enhanced 80C196KB device with 488 bytes RAM, 16 and 20 MHz operation and an optional 16 Kbytes of ROM/OTPROM. Intel's CHMOS III process provides a high performance processor along with low power consumption.

The 87C196KC is an 80C196KC with 16 Kbytes on-chip OTPROM. The 83C196KC is an 80C196KC with 16 Kbytes factory programmed ROM. In this document, the 80C196KC will refer to all products unless otherwise stated.

Four high-speed capture inputs are provided to record times when events occur. Six high-speed outputs are available for pulse or waveform generation. The high-speed output can also generate four software timers or start an A/D conversion. Events can be based on the timer or up/down counter.

With the commercial (standard) temperature option, operational characteristics are guaranteed over the temperature range of 0°C to +70°C. With the extended (Express) temperature range option, operational characteristics are guaranteed over the temperature range of -40°C to +85°C. Unless otherwise noted, the specifications are the same for both options.

See the Packaging information for extended temperature designators.

*Other brands and names are the property of their respective owners. Information in this document is provided in connection with Intel products. Intel assumes no liability whatsoever, including infringement of any patent or copyright, for sale and use of Intel products except as provided in Intel's Terms and Conditions of Sale for such products. Intel reserves the right to make changes to these specifications at any time without notice. Microcomputer Products may have minor variations to this specification known as errata.

COPYRIGHT © INTEL CORPORATION, 1995

November 1994

Order Number: 270945-005

8XC196KC/8XC196KC20

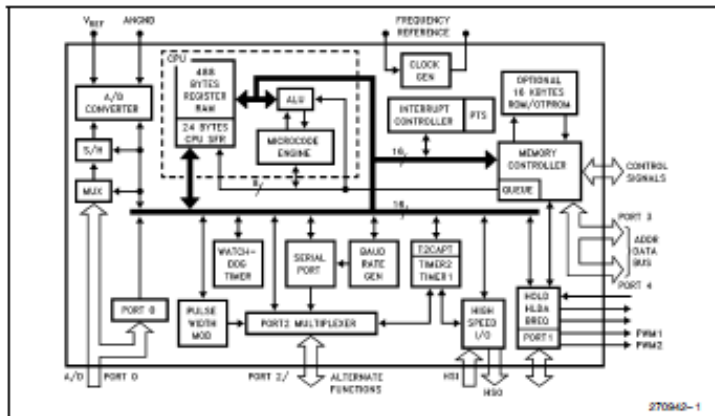


Figure 1. 8XC196KC Block Diagram

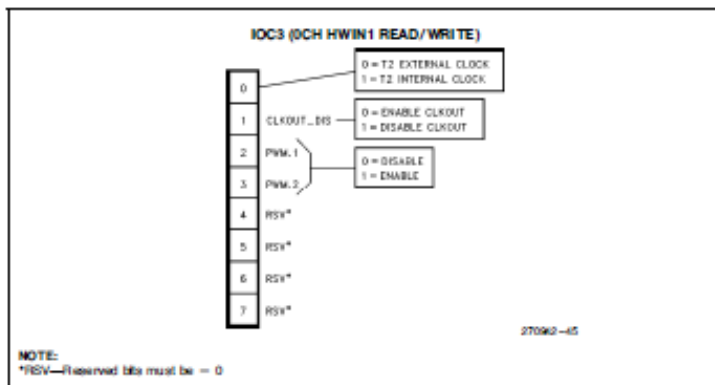


Figure 2. 8XC196KC New SFR Bit (CLKOUT Disable)

PROCESS INFORMATION

This device is manufactured on P₂29.5 or P₂29.9, a CMOS II process. Additional process and reliability information is available in Intel's Components *Quality and Reliability Handbook*, Order Number 240997.

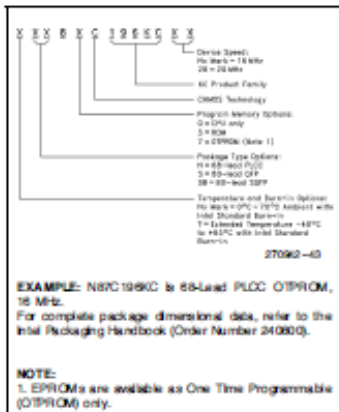


Figure 3. The 8XC196KC Family Nomenclature

Table 1. Thermal Characteristics

Package Type	θ_{JA}	θ_{JC}
PLCC	35°C/W	15°C/W
QFP	55°C/W	18°C/W
SQFP	TBD	TBD

All thermal impedance data is approximate for static air conditions at 1W of power dissipation. Values will change depending on operation conditions and application. See the Intel Packaging Handbook (order number 240900) for a description of Intel's thermal impedance test methodology.

Table 2. 8XC196KC Memory Map

Description	Address
External Memory or I/O	0FFFFH 06000H
Internal ROM/OTPROM or External Memory (Determined by EA)	5FFFH 2080H
Reserved. Must contain FFH. (Note 5)	207FH 205EH
PTS Vectors	205DH 2040H
Upper Interrupt Vectors	203FH 2030H
ROM/OTPROM Security Key	202FH 2020H
Reserved. Must contain FFH. (Note 5)	201FH 201AH
Reserved. Must Contain 20H. (Note 5)	2019H
CCB	2018H
Reserved. Must contain FFH. (Note 5)	2017H 2014H
Lower Interrupt Vectors	2013H 2000H
Port 3 and Port 4	1FFFH 1FFEH
External Memory	1FFDH 0200H
488 Bytes Register RAM (Note 1)	01FFFH 0018H
CPU SFR's (Notes 1, 3, 4)	0017H 0000H

- NOTES:
- Code executed in locations 0000H to 01FFFH will be forced external.
 - Reserved memory locations must contain 0FFH unless noted.
 - Reserved SFR bit locations must contain 0.
 - Refer to 8XC196KC User's manual for SFR descriptions.
 - WARNING:** Reserved memory locations must not be written or read. The contents and/or function of these locations may change with future revisions of the device. Therefore, a program that relies on one or more of these locations may not function properly.

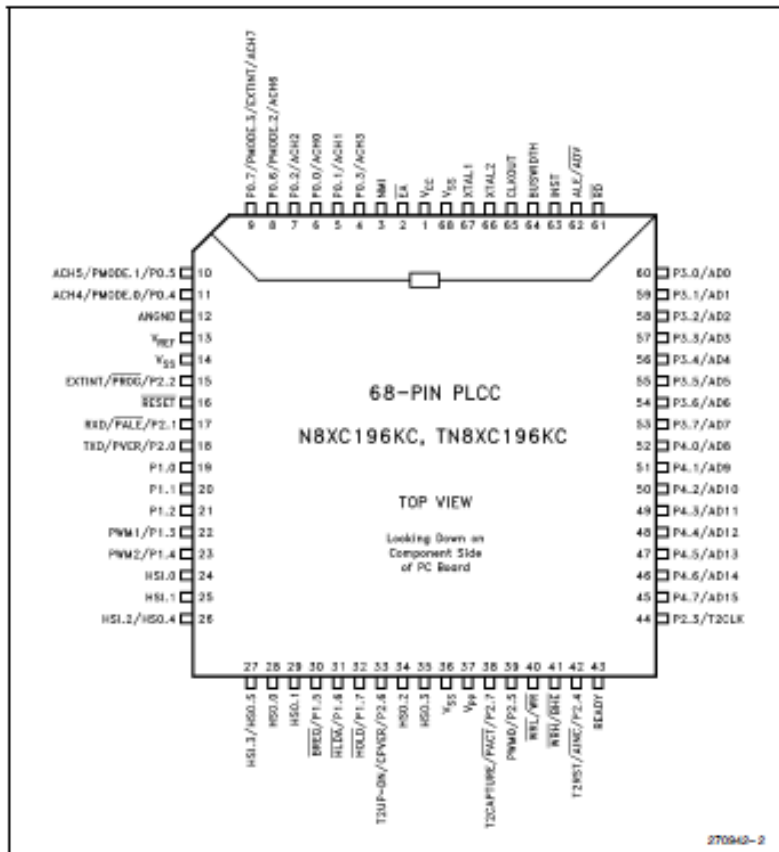


Figure 4. 68-Lead PLCC Package

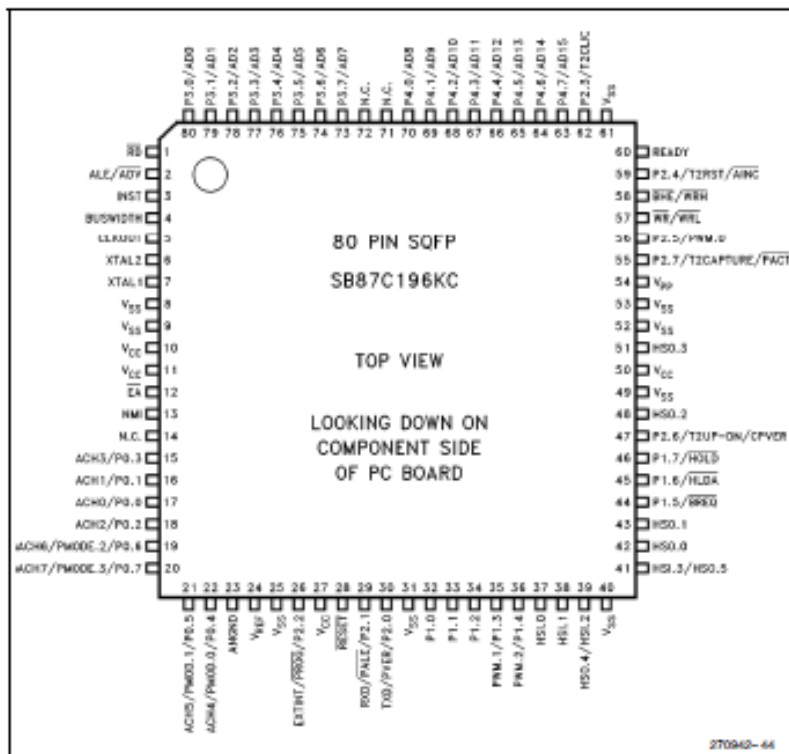


Figure 6. 80-Pin SQFP Package

PIN DESCRIPTIONS

Symbol	Name and Function
V _{CC}	Main supply voltage (5V).
V _{SS}	Digital circuit ground (0V). There are multiple V _{SS} pins, all of which must be connected.
V _{REF}	Reference voltage for the A/D converter (5V). V _{REF} is also the supply voltage to the analog portion of the A/D converter and the logic used to read Port 0. Must be connected for A/D and Port 0 to function.
ANGND	Reference ground for the A/D converter. Must be held at nominally the same potential as V _{SS} .
V _{PP}	Timing pin for the return from powerdown circuit. This pin also supplies the programming voltage on the EPROM device.
XTAL1	Input of the oscillator inverter and of the internal clock generator.
XTAL2	Output of the oscillator inverter.
CLKOUT	Output of the internal clock generator. The frequency of CLKOUT is 1/3 the oscillator frequency.
RESET	Reset input and open drain output.
BUSWIDTH	Input for buswidth selection. If CCR bit 1 is a one, this pin selects the bus width for the bus cycle in progress. If BUSWIDTH is a 1, a 16-bit bus cycle occurs. If BUSWIDTH is a 0 an 8-bit cycle occurs. If CCR bit 1 is a 0, the bus is always an 8-bit bus.
NMI	A positive transition causes a vector through 203EH.
INST	Output high during an external memory read indicates the read is an instruction fetch. INST is valid throughout the bus cycle. INST is activated only during external memory accesses and output low for a data fetch.
EA	Input for memory select (External Access). EA equal high causes memory accesses to locations 2000H through 5FFFH to be directed to on-chip ROM/EPROM. EA equal to low causes accesses to those locations to be directed to off-chip memory. Also used to enter programming mode.
ALE/ADV	Address Latch Enable or Address Valid output, as selected by CCR. Both pin options provide a signal to demultiplex the address from the address/data bus. When the pin is ADV, it goes inactive high at the end of the bus cycle. ALE/ADV is activated only during external memory accesses.
RD	Read signal output to external memory. RD is activated only during external memory reads.
WR/WRL	Write and Write Low output to external memory, as selected by the CCR. WR will go low for every external write, while WRL will go low only for external writes where an even byte is being written. WR/WRL is activated only during external memory writes.
BHE/WRH	Bus High Enable or Write High output to external memory, as selected by the CCR. BHE will go low for external writes to the high byte of the data bus. WRH will go low for external writes where an odd byte is being written. BHE/WRH is activated only during external memory writes.
READY	Ready input to lengthen external memory cycles, for interfacing to slow or dynamic memory, or for bus sharing. When the external memory is not being used, READY has no effect.
HSI	Inputs to High Speed Input Unit. Four HSI pins are available: HSI.0, HSI.1, HSI.2 and HSI.3. Two of them (HSI.2 and HSI.3) are shared with the HSO Unit.
HSD	Outputs from High Speed Output Unit. Six HSD pins are available: HSD.0, HSD.1, HSD.2, HSI.3, HSD.4 and HSD.5. Two of them (HSD.4 and HSD.5) are shared with the HSI Unit.
Port 0	8-bit high impedance input-only port. These pins can be used as digital inputs and/or as analog inputs to the on-chip A/D converter.
Port 1	8-bit quasi-bidirectional I/O port.
Port 2	8-bit multi-functional port. All of its pins are shared with other functions in the 80C196KD. Pins 2.6 and 2.7 are quasi-bidirectional.

PIN DESCRIPTIONS (Continued)

Symbol	Name and Function
Ports 3 and 4	8-bit bidirectional I/O ports with open drain outputs. These pins are shared with the multiplexed address/data bus which has strong internal pullups.
HOLD	Bus Hold input requesting control of the bus.
HOLDA	Bus Hold acknowledge output indicating release of the bus.
BREQ	Bus Request output activated when the bus controller has a pending external memory cycle.
PMODE	Determines the EPROM programming mode.
PACT	A low signal in Auto Programming mode indicates that programming is in process. A high signal indicates programming is complete.
CPVER	Cumulative Program Output Verification. Pin is high if all locations have programmed correctly since entering a programming mode.
PALE	A falling edge in Slave Programming Mode and Auto Configuration Byte Programming Mode indicates that ports 3 and 4 contain valid programming address/command information (input to slave).
PROG	A falling edge in Slave Programming Mode indicates that ports 3 and 4 contain valid programming data (input to slave).
PVER	A high signal in Slave Programming Mode and Auto Configuration Byte Programming Mode indicates the byte programmed correctly.
AINC	Auto Increment. Active low input signal indicates that the auto increment mode is enabled. Auto Increment will allow reading or writing of sequential EPROM locations without address transactions across the PBUS for each read or write.

**ELECTRICAL CHARACTERISTICS
ABSOLUTE MAXIMUM RATINGS***

Ambient Temperature Under Bias -55°C to +125°C
 Storage Temperature -65°C to +150°C
 Voltage On Any Pin to V_{SS} -0.5V to +7.0V(1)
 Voltage from EA or V_{PP} to V_{SS} or AN_{GN}D +13.00V
 Power Dissipation 1.5W(2)

NOTICE: This is a production data sheet. It is valid for the devices indicated in the revision history. The specifications are subject to change without notice.

*WARNING: Stressing the device beyond the "Absolute Maximum Ratings" may cause permanent damage. These are stress ratings only. Operation beyond the "Operating Conditions" is not recommended and extended exposure beyond the "Operating Conditions" may affect device reliability.

NOTE:

1. This includes V_{PP} and EA on ROM or CPU only devices.
2. Power dissipation is based on package heat transfer limitations, not device power consumption.

OPERATING CONDITIONS

Symbol	Description	Min	Max	Units
T _A	Ambient Temperature Under Bias Commercial Temp.	0	+70	°C
T _A	Ambient Temperature Under Bias Extended Temp.	-40	+85	°C
V _{CC}	Digital Supply Voltage	4.50	5.50	V
V _{REF}	Analog Supply Voltage	4.00	5.50	V
AN _{GN} D	Analog Ground Voltage	V _{SS} - 0.4	V _{SS} + 0.4	V(1)
F _{OSC}	Oscillator Frequency (8XC196KC)	8	16	MHz
F _{OSC}	Oscillator Frequency (8XC196KC20)	8	20	MHz

NOTE:

1. AN_{GN}D and V_{SS} should be nominally at the same potential.

DC CHARACTERISTICS (Over Specified Operating Conditions)

Symbol	Description	Min	Typ	Max	Units	Test Conditions
V _{IL}	Input Low Voltage	-0.5		0.8	V	
V _{IH}	Input High Voltage (Note 1)	0.2 V _{CC} + 1.0		V _{CC} + 0.5	V	
V _{IH1}	Input High Voltage on XTAL1	0.7 V _{CC}		V _{CC} + 0.5	V	
V _{IH2}	Input High Voltage on RESET	2.2		V _{CC} + 0.5	V	
V _{HYS}	Hysteresis on RESET	300			mV	V _{CC} = 5.0V
V _{OL}	Output Low Voltage			0.3 0.45 1.5	V	I _{OL} = 200 μA I _{OL} = 2.8 mA I _{OL} = 7 mA
V _{OL1}	Output Low Voltage in RESET on P2.5 (Note 2)			0.8	V	I _{OL} = +0.4 mA
V _{OH}	Output High Voltage (Standard Outputs)	V _{CC} - 0.3 V _{CC} - 0.7 V _{CC} - 1.5			V	I _{OH} = -200 μA I _{OH} = -3.2 mA I _{OH} = -7 mA

DC CHARACTERISTICS (Over Specified Operating Conditions) (Continued)

Symbol	Description	Min	Typ	Max	Units	Test Conditions
V _{OH1}	Output High Voltage (Quasi-bidirectional Outputs)	V _{CC} - 0.3 V _{CC} - 0.7 V _{CC} - 1.5			V	I _{OH} = -10 μA I _{OH} = -30 μA I _{OH} = -60 μA
I _{OH1}	Logical 1 Output Current in Reset on P2.0. Do not exceed this or device may enter test modes.	-0.8			mA	V _{IH} = V _{CC} - 1.5V
I _{I2}	Logical 0 Input Current in Reset on P2.0. Maximum current that must be sunk by external device to ensure test mode entry.		TBD		mA	V _{IN} = 0.45V
I _{I1}	Logical 1 Input Current. Maximum current that external device must source to initiate NMI.		+200		μA	V _{IN} = V _{CC} = 2.4V
I _I	Input Leakage Current (Std. Inputs)			±10	μA	0 < V _{IN} < V _{CC} - 0.5V
I _{I1}	Input Leakage Current (Port 0)			±3	μA	0 < V _{IN} < V _{REF}
I _{TR}	1 to 0 Transition Current (QBD Pins)			-650	μA	V _{IN} = 2.0V
I _L	Logical 0 Input Current (QBD Pins)			-70	μA	V _{IN} = 0.45V
I _{L1}	Ports 3 and 4 in Reset			-70	μA	V _{IN} = 0.45V
I _{CC}	Active Mode Current in Reset (8XC196KC)		65	75	mA	XTAL1 = 16 MHz V _{CC} = V _{PP} = V _{REF} = 5.5V
I _{CC}	Active Mode Current in Reset (8XC196KC20)		80	92	mA	XTAL1 = 20 MHz V _{CC} = V _{PP} = V _{REF} = 5.5V
I _{IDLE}	Idle Mode Current (8XC196KC)		17	25	mA	XTAL1 = 16 MHz V _{CC} = V _{PP} = V _{REF} = 5.5V
I _{IDLE}	Idle Mode Current (8XC196KC20)		21	30	mA	XTAL1 = 20 MHz V _{CC} = V _{PP} = V _{REF} = 5.5V
I _{PD}	Powerdown Mode Current		8	15	μA	V _{CC} = V _{PP} = V _{REF} = 5.5V
I _{REF}	A/D Converter Reference Current		2	5	mA	V _{CC} = V _{PP} = V _{REF} = 5.5V
R _{RESET}	Reset Pullup Resistor	6K		65K	Ω	V _{CC} = 5.5V, V _{IN} = 4.0V
C _P	Pin Capacitance (Any Pin to V _{SS})			10	pF	

NOTES:

1. All pins except RESET and XTAL1.
2. Violating these specifications in Reset may cause the part to enter test modes.
3. Commercial specifications apply to express parts except where noted.
4. QBD (Quasi-bidirectional) pins include Port 1, P2.5 and P2.7.
5. Standard Outputs include A00-15, RD, WR, ALE, STE, INST, HSO pins, PWM/P2.5, CLKOUT, RESET, Ports 3 and 4, TXD/P2.0 and RXD (in serial mode 0). The V_{OH} specification is not valid for RESET. Ports 3 and 4 are open-drain outputs.
6. Standard Inputs include HSI pins, READY, BUSWDTM, RXD/P2.1, EXTINT/P2.2, T2CLK/P2.3 and T2RST/P2.4.
7. Maximum current per pin must be externally limited to the following values if V_{OL} is held above 0.45V or V_{OH} is held below V_{CC} - 0.7V:
 I_{OL} on Output pins: 10 mA
 I_{OL} on quasi-bidirectional pins: self limiting
 I_{OL} on Standard Output pins: 10 mA
8. Maximum current per bus pin (data and control) during normal operation is ±3.2 mA.
9. During normal (non-transient) conditions the following total current limits apply:
 Port 1, P2.5 I_{OL}: 29 mA I_{OH}: self limiting
 HSO, P2.0, RXD, RESET I_{OL}: 26 mA I_{OH}: 26 mA
 P2.5, P2.7, WR, STE I_{OL}: 13 mA I_{OH}: 11 mA
 A00-A015 I_{OL}: 52 mA I_{OH}: 52 mA
 RD, ALE, INST-CLKOUT I_{OL}: 13 mA I_{OH}: 13 mA

HOLD/HLDA Timings

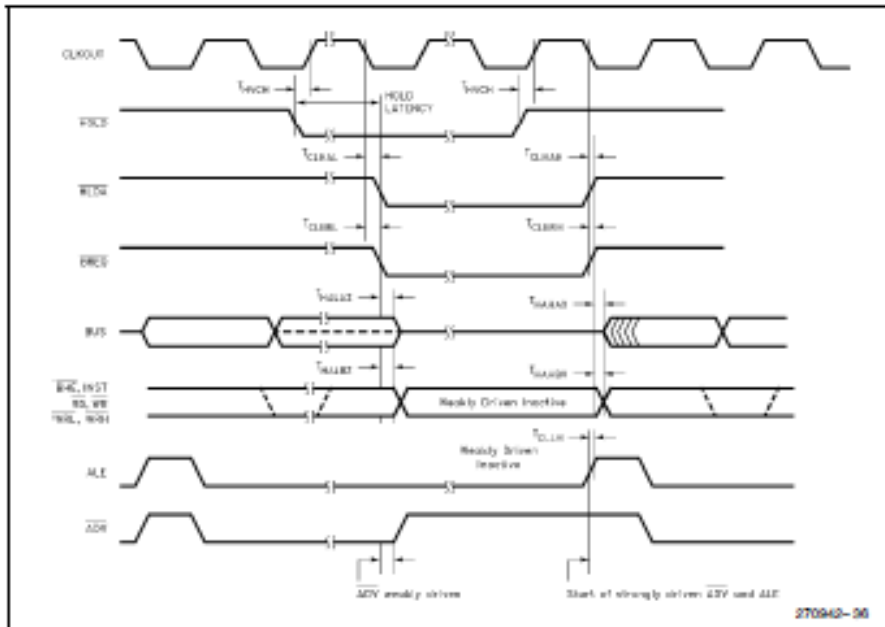
Symbol	Description	Min	Max	Units	Notes
T _{HVCH}	HOLD Setup	+55		ns	(Note 1)
T _{CLHAL}	CLKOUT Low to HLDA Low	-15	+15	ns	
T _{CLBFL}	CLKOUT Low to BREQ Low	-15	+15	ns	
T _{HALAZ}	HLDA Low to Address Float		+15	ns	
T _{HALBZ}	HLDA Low to BHE, INST, RD, WR Weakly Driven		+20	ns	
T _{CLHAH}	CLKOUT Low to HLDA High	-15	+15	ns	
T _{CLBFH}	CLKOUT Low to BREQ High	-15	+15	ns	
T _{HAHAX}	HLDA High to Address No Longer Float	-15		ns	
T _{HAHBV}	HLDA High to BHE, INST, RD, WR Valid	-10	+15	ns	
T _{CLLH}	CLKOUT Low to ALE High	-5	+15	ns	

NOTE:

1. To guarantee recognition at next clock.

DC SPECIFICATIONS IN HOLD

Description	Min	Max	Units
Weak Pullups on \overline{ADV} , RD, WR, WR _L , BREQ	50K	250K	V _{CC} = 5.5V, V _N = 0.45V
Weak Pulldowns on ALE, INST	10K	50K	V _{CC} = 5.5V, V _N = 2.4



Maximum Hold Latency

Bus Cycle Type	
Internal Execution	1.5 States
16-Bit External Execution	2.5 States
8-Bit External Execution	4.5 States

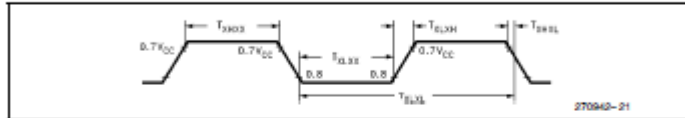
EXTERNAL CLOCK DRIVE (8XC196KC)

Symbol	Parameter	Min	Max	Units
1/T _{XLXL}	Oscillator Frequency	8	16.0	MHz
T _{XLXL}	Oscillator Period	62.5	125	ns
T _{XH0X}	High Time	20		ns
T _{XL0X}	Low Time	20		ns
T _{XL0H}	Rise Time		10	ns
T _{X00L}	Fall Time		10	ns

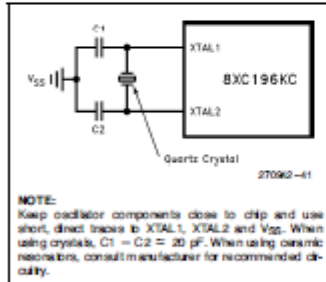
EXTERNAL CLOCK DRIVE (8XC196KC20)

Symbol	Parameter	Min	Max	Units
$1/T_{XCLK}$	Oscillator Frequency	8	20.0	MHz
T_{XCLK}	Oscillator Period	50	125	ns
T_{XCLKH}	High Time	17		ns
T_{XCLKL}	Low Time	17		ns
T_{XCLKH}	Rise Time		8	ns
T_{XCLKL}	Fall Time		8	ns

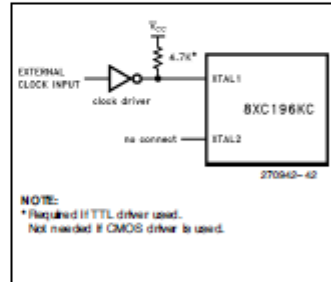
EXTERNAL CLOCK DRIVE WAVEFORMS



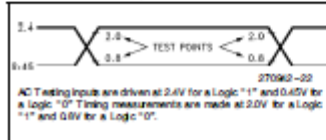
EXTERNAL CRYSTAL CONNECTIONS



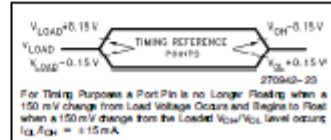
EXTERNAL CLOCK CONNECTIONS



AC TESTING INPUT, OUTPUT WAVEFORMS



FLOAT WAVEFORMS



EXPLANATION OF AC SYMBOLS

Each symbol is two pairs of letters prefixed by "T" for time. The characters in a pair indicate a signal and its condition, respectively. Symbols represent the time between the two signal/condition points.

- | | | |
|--------------------|-------------------------------|---|
| Conditions: | Signals: | L— ALE/ADV |
| H— High | A— Address | BR— BREQ |
| L— Low | B— $\overline{\text{BHE}}$ | R— $\overline{\text{RD}}$ |
| V— Valid | C— CLKOUT | W— $\overline{\text{WR}}/\overline{\text{WTR}}/\overline{\text{WRL}}$ |
| X— No Longer Valid | D— DATA | X— XTAL1 |
| Z— Floating | G— Buswidth | Y— READY |
| | H— HOLD | Q— Data Out |
| | HA— $\overline{\text{HOLDA}}$ | |

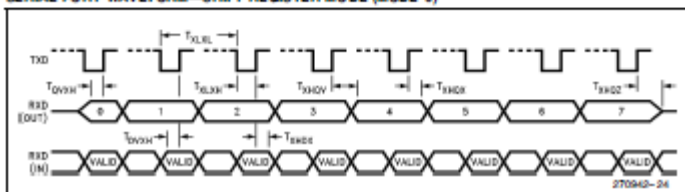
AC CHARACTERISTICS—SERIAL PORT—SHIFT REGISTER MODE

SERIAL PORT TIMING—SHIFT REGISTER MODE (MODE 0)

Symbol	Parameter	Min	Max	Units
T_{XCLK}	Serial Port Clock Period (BRR > 8002H)	$6 T_{OSC}$		ns
T_{XCLKH}	Serial Port Clock Falling Edge to Rising Edge (BRR > 8002H)	$4 T_{OSC} - 50$	$4 T_{OSC} + 50$	ns
T_{XCLK}	Serial Port Clock Period (BRR = 8001H)	$4 T_{OSC}$		ns
T_{XCLKH}	Serial Port Clock Falling Edge to Rising Edge (BRR = 8001H)	$2 T_{OSC} - 50$	$2 T_{OSC} + 50$	ns
T_{OVSH}	Output Data Setup to Clock Rising Edge	$2 T_{OSC} - 50$		ns
T_{XHCK}	Output Data Hold after Clock Rising Edge	$2 T_{OSC} - 50$		ns
T_{XHCV}	Next Output Data Valid after Clock Rising Edge		$2 T_{OSC} + 50$	ns
T_{OVSH}	Input Data Setup to Clock Rising Edge	$T_{OSC} + 50$		ns
T_{XHCK}	Input Data Hold after Clock Rising Edge	0		ns
T_{XHCV}	Last Clock Rising to Output Float		$1 T_{OSC}$	ns

WAVEFORM—SERIAL PORT—SHIFT REGISTER MODE

SERIAL PORT WAVEFORM—SHIFT REGISTER MODE (MODE 0)



A to D CHARACTERISTICS

The A/D converter is ratiometric, so absolute accuracy is dependent on the accuracy and stability of V_{REF} .

10-BIT MODE A/D OPERATING CONDITIONS

Symbol	Description	Min	Max	Units
T_A	Ambient Temperature Commercial Temp.	0	+70	°C
T_A	Ambient Temperature Extended Temp.	-40	+85	°C
V_{CC}	Digital Supply Voltage	4.50	5.50	V
V_{REF}	Analog Supply Voltage	4.00	5.50	V
T_{SAM}	Sample Time	1.0		$\mu s^{(1)}$
T_{CONV}	Conversion Time	10	20	$\mu s^{(1)}$
F_{OSC}	Oscillator Frequency (8XC196KC)	8.0	16.0	MHz
F_{OSC}	Oscillator Frequency (8XC196KC20)	8.0	20.0	MHz

NOTE:

ANGND and V_{CC} should nominally be at the same potential, 0.00V.

1. The value of AD_TIME is selected to meet these specifications.

10-BIT MODE A/D CHARACTERISTICS (Over Specified Operating Conditions)

Parameter	Typical ⁽¹⁾	Minimum	Maximum	Units*	Notes
Resolution		1024 10	1024 10	Levels Bits	
Absolute Error		0	±9	LSBs	
Full Scale Error	0.25 ± 0.5			LSBs	
Zero Offset Error	0.25 ± 0.5			LSBs	
Non-Linearity	1.0 ± 2.0	0	±9	LSBs	
Differential Non-Linearity Error		> -1	+2	LSBs	
Channel-to-Channel Matching	±0.1	0	±1	LSBs	
Repeatability	±0.25			LSBs	
Temperature Coefficients: Offset Full Scale Differential Non-Linearity	0.009 0.009 0.009			LSB/°C LSB/°C LSB/°C	
Off Isolation		-60		dB	1, 2
Feedthrough	-60			dB	1
V_{CC} Power Supply Rejection	-60			dB	1
Input Series Resistance		750	1.2K	Ω	4
Voltage on Analog Input Pin		ANGND - 0.5	$V_{REF} + 0.5$	V	5, 6
DC Input Leakage		0	±3.0	μA	
Sampling Capacitor	3			pF	

NOTES:

*An "LSB" as used here has a value of approximately 5 mV. (See Embedded Microcontrollers and Processors Handbook for A/D glossary of terms).

1. These values are expected for most parts at 25°C but are not tested or guaranteed.

2. DC to 100 kHz.

3. Multiplexer Break-Before-Make is guaranteed.

4. Resistance from device pin, through internal MUX, to sample capacitor.

5. These values may be exceeded if the pin current is limited to ±2 mA.

6. Applying voltages beyond these specifications will degrade the accuracy of all channels being converted.

7. All conversions performed with processor in DLE mode.

8-BIT MODE A/D OPERATING CONDITIONS

Symbol	Description	Min	Max	Units
T _A	Ambient Temperature Commercial Temp.	0	+70	°C
T _A	Ambient Temperature Extended Temp.	-40	+85	°C
V _{CC}	Digital Supply Voltage	4.50	5.50	V
V _{REF}	Analog Supply Voltage	4.00	5.50	V
T _{SAM}	Sample Time	1.0		μs(1)
T _{CONV}	Conversion Time	7	20	μs(1)
F _{OSC}	Oscillator Frequency (8XC196KC)	8.0	16.0	MHz
F _{OSC}	Oscillator Frequency (8XC196KC20)	8.0	20.0	MHz

NOTE:

ANGND and V_{CC} should nominally be at the same potential, 0.00V.

1. The value of AD_TIME is selected to meet these specifications.

8-BIT MODE A/D CHARACTERISTICS (Over Specified Operating Conditions)

Parameter	Typical	Minimum	Maximum	Units*	Notes
Resolution		256 8	256 8	Levels Bits	
Absolute Error		0	+1	LSBs	
Full Scale Error	± 0.5			LSBs	
Zero Offset Error	± 0.5			LSBs	
Non-Linearity		0	± 1	LSBs	
Differential Non-Linearity Error		> -1	+1	LSBs	
Channel-to-Channel Matching			± 1	LSBs	
Repeatability	± 0.25			LSBs	
Temperature Coefficients: Offset Full Scale Differential Non-Linearity	0.003 0.003 0.003			LSB/°C LSB/°C LSB/°C	
Off Isolation		-60		dB	2, 3
Feedthrough	-60			dB	2
V _{CC} Power Supply Rejection	-60			dB	2
Input Series Resistance		750	1.2K	Ωs	4
Voltage on Analog Input Pin		V _{CC} - 0.5	V _{REF} + 0.5	V	5, 6
DC Input Leakage		0	± 3.0	μA	
Sampling Capacitor	3			pF	

NOTES:

*An "LSB" as used here has a value of approximately 20 mV. (See Embedded Microcontrollers and Processors Handbook for A/D glossary of terms).

1. These values are expected for most parts at 25°C but are not tested or guaranteed.

2. DC to 100 KHz.

3. Multiplexer Break-Before-Make is guaranteed.

4. Resistance from device pin, through internal MUX, to sample capacitor.

5. These values may be exceeded if pin current is limited to ± 2 mA.

6. Applying voltages beyond these specifications will degrade the accuracy of all channels being converted.

7. All conversions performed with processor in IDLE mode.

EPROM SPECIFICATIONS

OPERATING CONDITIONS DURING PROGRAMMING

Symbol	Description	Min	Max	Units
T _A	Ambient Temperature During Programming	20	90	°C
V _{CC}	Supply Voltage During Programming	4.5	5.5	V ⁽¹⁾
V _{REF}	Reference Supply Voltage During Programming	4.5	5.5	V ⁽¹⁾
V _{PP}	Programming Voltage	12.25	12.75	V ⁽²⁾
V _{EA}	EA Pin Voltage	12.25	12.75	V ⁽²⁾
F _{OSC}	Oscillator Frequency During Auto and Slave Mode Programming	6.0	8.0	MHz
F _{OSC}	Oscillator Frequency During Run-Time Programming (8XC196KC)	6.0	16.0	MHz
F _{OSC}	Oscillator Frequency During Run-Time Programming (8XC196KC20)	6.0	20.0	MHz

NOTES:

1. V_{CC} and V_{REF} should normally be at the same voltage during programming.
2. V_{PP} and V_{EA} must never exceed the maximum specification, or the device may be damaged.
3. V_{REF} and AN_{GN}D should normally be at the same potential (0V).
4. Load capacitance during Auto and Slave Mode programming = 150 pF.

AC EPROM PROGRAMMING CHARACTERISTICS

Symbol	Description	Min	Max	Units
T _{SHLL}	Reset High to First $\overline{\text{FALE}}$ Low	1100		T _{osc}
T _{LLH}	$\overline{\text{FALE}}$ Pulse Width	50		T _{osc}
T _{AVLL}	Address Setup Time	0		T _{osc}
T _{LLAK}	Address Hold Time	100		T _{osc}
T _{PLDV}	PROG Low to Word Dump Valid		50	T _{osc}
T _{PHDX}	Word Dump Data Hold		50	T _{osc}
T _{OVIL}	Data Setup Time	0		T _{osc}
T _{PLDX}	Data Hold Time	400		T _{osc}
T _{PLH⁽³⁾}	PROG Pulse Width	50		T _{osc}
T _{PHLL}	PROG High to Next $\overline{\text{FALE}}$ Low	220		T _{osc}
T _{LHPL}	$\overline{\text{FALE}}$ High to PROG Low	220		T _{osc}
T _{PHPL}	PROG High to Next PROG Low	220		T _{osc}
T _{PHL}	PROG High to AINC Low	0		T _{osc}
T _{IUH}	AINC Pulse Width	240		T _{osc}
T _{ILVH}	PVER Hold after AINC Low	50		T _{osc}
T _{IUPL}	AINC Low to PROG Low	170		T _{osc}
T _{PHVL}	PROG High to PVER Valid		220	T _{osc}

NOTE:

1. This specification is for the Word Dump Mode. For programming pulses, use the Modified Quick Pulse Algorithm. See user's manual for further information.

DATA SHEET REVISION HISTORY

This data sheet is valid for devices with a "H", "L" or "M" at the end of the topside tracking number. The topside tracking number consists of nine characters and is the second line on the top side of the device. Data sheets are changed as new device information becomes available. Verify with your local Intel sales office that you have the latest version before finalizing a design or ordering devices.

The following are differences between the 270942-004 and 270942-005 datasheets:

1. Removed "Word Addressable Only" from Port 3 and 4 in Table 2.
2. Renamed PVAL to CPVER.
3. Removed T_{LLVY} and T_{LLGV} from the waveform diagrams.
4. Added HSI_MODE divide-by-eight and IPD hump to 8XC199KC errata.

The following are important differences between the 270942-002 and 270942-004 data sheets:

1. NMI during PTS, QBD port glitch and Divide HOLD/READY erratas were fixed and have been removed from the data sheet. The HSI errata is also removed as this is now considered normal operation.
2. Combined 16 and 20 MHz data sheets. Data sheet 270924-001 (20 MHz) is now obsolete.
3. Added 80-lead SQFP package pinout.
4. Added documentation for CLKOUT disable bit.
5. θ_{JA} for QFP package was changed to 55°C/W from 42°C/W.
6. θ_{JC} for QFP package was changed to 16°C/W from TBD°C/W.
7. T_{SAM} (MIN) in 10-bit mode was changed to 1.0 μ s from 3.0 μ s.
8. T_{SAM} (MIN) in 8-bit mode was changed to 1.0 μ s from 2.0 μ s.
9. I_{L1} specification for port 2.0 was renamed I_{L2} .
10. I_{L2} (MAX) is changed to TBD from -6 mA.
11. I_{H1} (MAX) is changed to +200 μ A from +100 μ A.
12. I_{H1} test condition changes to $V_{IN} = 2.4V$ from $V_{IN} = 5.5V$.
13. V_{HYS} is changed to 300 mV from 150 mV.
14. I_{CC} (TYP) at 16 MHz is changed to 65 mA from 50 mA.
15. I_{CC} (MAX) at 16 MHz is changed to 75 mA from 70 mA.
16. I_{CC} (TYP) at 20 MHz is changed to 80 mA from 60 mA.
17. I_{CC} (MAX) at 20 MHz is changed to 92 mA from 86 mA.
18. I_{IDLE} (TYP) at 16 MHz is changed to 17 mA from 15 mA.
19. I_{IDLE} (MAX) at 16 MHz is changed to 25 mA from 30 mA.
20. I_{IDLE} (TYP) at 20 MHz is changed to 21 mA from 15 mA.
21. I_{IDLE} (MAX) at 20 MHz is changed to 30 mA from 35 mA.
22. I_{PD} (TYP) at 16 MHz is changed to 8 μ A from 15 μ A.
23. I_{PD} (MAX) at 16 MHz is changed to 15 μ A from TBD.
24. I_{PD} (TYP) at 20 MHz is changed to 8 μ A from 18 μ A.
25. I_{PD} (MAX) at 20 MHz is changed to 15 μ A from TBD.
26. T_{CLDV} (MAX) is changed to $T_{OSC} - 45$ ns from $T_{OSC} - 50$ ns.
27. T_{LLAX} (MIN) is changed to $T_{OSC} - 35$ ns from $T_{OSC} - 40$ ns.
28. T_{CHWH} (MIN) is changed to -5 ns from -10 ns.
29. T_{RHAX} (MIN) is changed to $T_{OSC} - 25$ ns from $T_{OSC} - 30$ ns.
30. T_{HALAZ} (MAX) is changed to +15 ns from +10 ns.
31. T_{HALBZ} (MAX) is changed to +20 ns from +15 ns.
32. T_{HAHEV} (MAX) is now specified at +15 ns, was formerly unspecified.
33. The T_{LLVY} and T_{LLGV} specifications were removed. These specifications are not required in high-speed system designs.
34. Added EXTINT, P0.7 errata to Errata section.

The following are the important differences between the -001 and -002 versions of data sheet 270942.

1. Express and Commercial devices are combined into one data sheet. The Express only data sheet 270794-001 is obsolete.
2. Removed KB/KC feature set differences, pin definition table, and SFR locations and bitmaps.
3. Added programming pin function to package drawings and pin descriptions.
4. Changed absolute maximum temperature under bias from 0°C to +70°C to -55°C to +125°C.
5. Replaced V_{CH2} specification with I_{CH1} and I_{L1} specifications.
6. Added I_{H1} specification for NMI pulldown resistors.
7. Added maximum hold latency table.
8. Added external oscillator and external clock circuit drawings.
9. Changed Clock Drive T_{X20X} and T_{X10X} Min spec to 20 ns.
10. Fixed Serial Port T_{X10X} specification.
11. Added 8- and 10-bit mode A/D operating conditions tables.
12. Specified operating range for sample and convert times.
13. Added specification for voltage on analog input pin.
14. Put operating conditions for EPROM programming into tabular format.

Κεφάλαιο 2. Βιβλιογραφία

Φωτοβολταϊκή Τεχνολογία , Κ. Καγκαράκη

Σημειώσεις στα Ηλεκτρονικά Ισχύος, Α. Μανίτης

A Basic Guide to Power Electronics, Albert Kloss

8XC196KC/8XC196KD User's Manual, Intel Corporation

Switchmode Power Supply Handbook, Keith Billings

Peak Power Tracking in Parallel Connected Converters, K. Siri V. A. Caliskan
C. Q. Lee G. C. Agarwal

Microcomputer Control of a Residential Photovoltaic Power Conditioning
System, Bimal K. Bose Paoul M. Szceny Robert L. Steigerwald

Simplified Maximum Power Point Controller for PV installations, Danie B
Snyman Johan HR Enslin

PV array model with MPPT, <http://sel.me.wisc.edu>

Το Ενεργειακό πρόβλημα της Κρήτης και οι Ανανεώσιμες Πηγές Ενέργειας, Γ.
Σ. Βουρδουμπάς

Κεφάλαιο 3. Ευρετήριο εικόνων

Φάσμα ηλιακής ακτινοβολίας στο διάστημα (AM0) και στη Γη (AM1)	13
Ηλιακό δυναμικό της Ελλάδας (πηγή: SOLAR RADIATION ATLAS)	14
Αρχή λειτουργίας φωτοβολταϊκού στοιχείου.....	16
Χαρακτηριστική ρεύματος τάσης για τυπικό φωτοβολταϊκό.	17
Ισοδύναμο κύκλωμα φωτοβολταϊκού	19
Χαρακτηριστική ισχύος φωτοβολταϊκού στοιχείου.....	19
Βασικό κύκλωμα DC – DC BUCK μετατροπέα.....	27
Κυματομορφές ρεύματος ενός Buck regulator	28
Βασικό κύκλωμα DC – DC BOOST μετατροπέα.....	29
Κυματομορφές ρεύματος ενός Boost regulator	30
Βασικό κύκλωμα αντιστροφέα (buck – boost)	31
Ισοδύναμο κύκλωμα BUCK Converter συστήματος.....	32
Χαρακτηριστικές Ρεύματος Buck Converter.	33
Λογικό διάγραμμα λειτουργίας M.P.P.T.	36
Εσωτερικές μονάδες μικροελεκτή 80C196KC.	39
Διάταξη οργάνωσης μνημης μικροελεκτή.	42
Διάγραμμα λειτουργίας κατασκευής.....	50
Σχηματικό διάγραμμά κεντρικής πλακέτας	52
Ηλεκτρονικό διάγραμμα κυκλώματος μικροελεκτή.....	55
Ηλεκτρονικό διάγραμμα κυκλώματος μετατροπής ισχύος.....	57