



ΤΕΧΝΟΛΟΓΙΚΟ ΙΔΡΥΜΑ ΚΡΗΤΗΣ
ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΙΑΣ

Θέμα πτυχιακής εργασίας:

Σχεδιασμός & ανάπτυξη μονοφασικού αντιστροφέα για την λειτουργία λαμπτήρων HID

Σχεδίαση και ανάπτυξη εργαστηριακού μονοφασικού
αντιστροφέα χαμηλής συχνότητας

Φοιτητής:

Γεώργιος Στ. Τσαγκαράκης

A.M.:4507

Εισηγητής:

Δρ. Κυριάκος Σιδεράκης

Φεβρουάριος, 2011

ΠΕΡΙΕΧΟΜΕΝΑ

Εισαγωγή.....	1
1. Θεωρητικό υπόβαθρο πτυχιακής εργασίας.....	3
1.1 Λαμπτήρες High-Intensity Discharge (HID)	4
1.2 Μονοφασικός αντιστροφέας με πλήρη γέφυρα.....	7
1.3 Έλεγχος τάσης εξόδου αντιστροφέα πλήρης γέφυρας.....	11
1.3.1 Τεχνική Διαμόρφωσης Εύρους Παλμών (PWM).....	11
1.3.2 Τετραγωνική κυματομορφή.....	13
2. Κατασκευή των διατάξεων.....	14
2.1 Προηγούμενη κατασκευή.....	15
2.2 Δομικά στοιχεία διάταξης.....	16
2.3 Κύκλωμα Ελέγχου.....	19
2.3.1 Μικροελεγκτής ATmega16 της Atmel.....	19
2.3.2 Πλακέτα κυκλώματος ελέγχου.....	20
2.3.3 Πρόγραμμα.....	22
2.4 Κύκλωμα Ισχύος.....	27
2.4.1 Προϋποθέσεις οδήγησης πύλης.....	27
2.4.2 Τεχνική Bootstrap.....	27
2.4.3 Πλακέτα κυκλώματος ισχύος.....	31
3. Δοκιμή των διατάξεων και μετρήσεις.....	33
3.1 Δοκιμή Διατάξεων.....	34
3.1.1 Κυκλώματα δοκιμής και ελέγχου διατάξεων.....	34
3.1.2 Μετρήσεις δοκιμών.....	35
3.2 Μετρήσεις.....	47
3.2.1 Κύκλωμα για την πραγματοποίηση μετρήσεων σε κανονικές συνθήκες.....	47
3.2.2 Μετρήσεις σε κανονικές συνθήκες.....	48
4. Συμπεράσματα – Προτάσεις για μελλοντική εργασία.....	53
5. Βιβλιογραφία.....	55
6. Παράρτημα Α	
7. Παράρτημα Β	

Εισαγωγή

Ο σκοπός της πτυχιακής εργασίας είναι ο σχεδιασμός, η ανάπτυξη και η δημιουργία ενός μετατροπέα συνεχούς τάσης σε εναλλασσόμενη τάση (*Inverter*) ικανού να οδηγήσει λάμπες εκκένωσης υψηλής έντασης (*HID λάμπες*). Ο τύπος *HID* λάμπας που θα αποτελέσει κύριο στόχο είναι οι *metal halide* λάμπες ως η πιο δημοφιλής κατηγορία.

Το ζητούμενο από αυτήν την εργασία είναι να κατασκευαστεί ένας αντιστροφέας που θα παρέχει την δυνατότητα της ρύθμισης της συχνότητας εξόδου σε μια κλίμακα από 50 Hz έως την μέγιστη τιμή, 15KHz. Με αυτό τον τρόπο θα δοθεί η ευκαιρία να μελετηθεί κατά πόσον επηρεάζει η συχνότητα εξόδου τα δεδομένα εξόδου. Αυτά που ενδιαφέρουν κυρίως είναι αν επηρεάζεται η απόδοση του συστήματος και η φωτεινότητα της λάμπας.

Τέλος, η συσκευή που θα προκύψει από την πτυχιακή αυτή εργασία θα χρησιμοποιηθεί για επιστημονικούς και πειραματικούς σκοπούς και μετά την περάτωση της πτυχιακής θα παραμείνει στο Τ.Ε.Ι. Κρήτης. Η συσκευή αυτή θα μπορεί να χρησιμοποιηθεί για μελέτη άλλων διαφορετικών τύπων λάμπας αλλά και ως ένα τροφοδοτικό εναλλασσόμενης τάσης με ρυθμιζόμενη συχνότητα εξόδου για οποιαδήποτε εργαστηριακή χρήση.

Για την καλύτερη κατανόηση της πτυχιακής είναι σημαντικό να δημιουργηθεί ένα θεωρητικό υπόβαθρο για τα βασικά σημεία που αποτελούν την εργασία. Έτσι, στο πρώτο κεφάλαιο θα αναλυθούν τα τρία βασικά αυτά σημεία. Πρώτο, το ένα από τα δύο αντικείμενα έρευνας, η High-Intensity Discharge (*HID*) λάμπα. Θα γίνει αναφορά στον τρόπο λειτουργίας της και στα ιδιαίτερα χαρακτηριστικά αυτής της κατηγορίας λαμπτήρων. Δεύτερο, το δεύτερο αντικείμενο έρευνας και το βασικό τμήμα της κατασκευής, ο μετατροπέας τύπου αντιστροφέα και η αρχή λειτουργίας του. Τέλος, γίνεται μια γενική αναφορά στην στρατηγική Διαμόρφωσης Εύρους Παλμών (*PWM*) και στα χαρακτηριστικά της, καθώς και στον τετραγωνικό παλμό.

Στο δεύτερο κεφάλαιο γίνεται αρχικά μια αναφορά στην προηγούμενη προσπάθεια που είχε γίνει για την ανάπτυξη μιας αντίστοιχης συσκευής και στα προβλήματα που προέκυψαν κατά την λειτουργία της. Έπειτα, γίνεται μια ανάλυση στα δύο κύρια κυκλώματα, το κύκλωμα ισχύος και ελέγχου. Όσο για το κύκλωμα ισχύος, αναλύεται ο σχεδιασμός του και ποία προβλήματα υπήρξαν και έπρεπε να επιλυθούν, την επιλογή των υλικών και την κατασκευή της νέας διάταξης. Όσον αφορά το κύκλωμα ελέγχου, εκτός από τον σχεδιασμό του κυκλώματος, γίνεται μια σύντομη αναφορά και στον μικροεπεξεργαστή *mega16* της *Atmel* ο οποίος αποτελεί τον πυρήνα του κυκλώματος. Επίσης, παρουσιάζεται το πρόγραμμα που αναπτύχθηκε όπως και κάποια

επεξηγηματικά σχόλια. Τελευταία παρατίθενται τα σχέδια και οι ενέργειες που έγιναν βήμα προς βήμα κατά την κατασκευή των κυρίων πλακετών και την βοηθητική πλακέτα με το τροφοδοτικό συνεχούς τάσης των +5V, +15V και +320V .

Το τρίτο κεφάλαιο, έχοντας πλέον έτοιμη την συσκευή, βασίζεται στην επαλήθευση της ορθής λειτουργίας της αρχικά και μετά στις τελικές μετρήσεις που θα κρίνουν και τα αποτελέσματα της πτυχιακής εργασίας. Η λειτουργία δοκιμής και επαλήθευσης θα γίνει χρησιμοποιώντας απλά φορτία. Τέτοια φορτία είναι τα ωμικά φορτία και σύνθετα φορτία, δηλαδή ωμικά-επαγωγικά. Έπειτα, στις κανονικές πειραματικές μετρήσεις θα χρησιμοποιηθούν φορτία τέτοια ώστε να προσομοιωθεί ο λαμπτήρας HID.

Στο τέταρτο κεφάλαιο γίνεται η ανάλυση των αποτελεσμάτων των μετρήσεων του προηγούμενου κεφαλαίου. Μέσω αυτής της ανάλυσης θα βγουν τα συμπεράσματα της πτυχιακής και θα απαντηθούν τα ερωτήματα που τίθενται στην αρχή της εισαγωγής. Το κεφάλαιο αυτό αποτελεί όλη την ουσία της εργασίας.

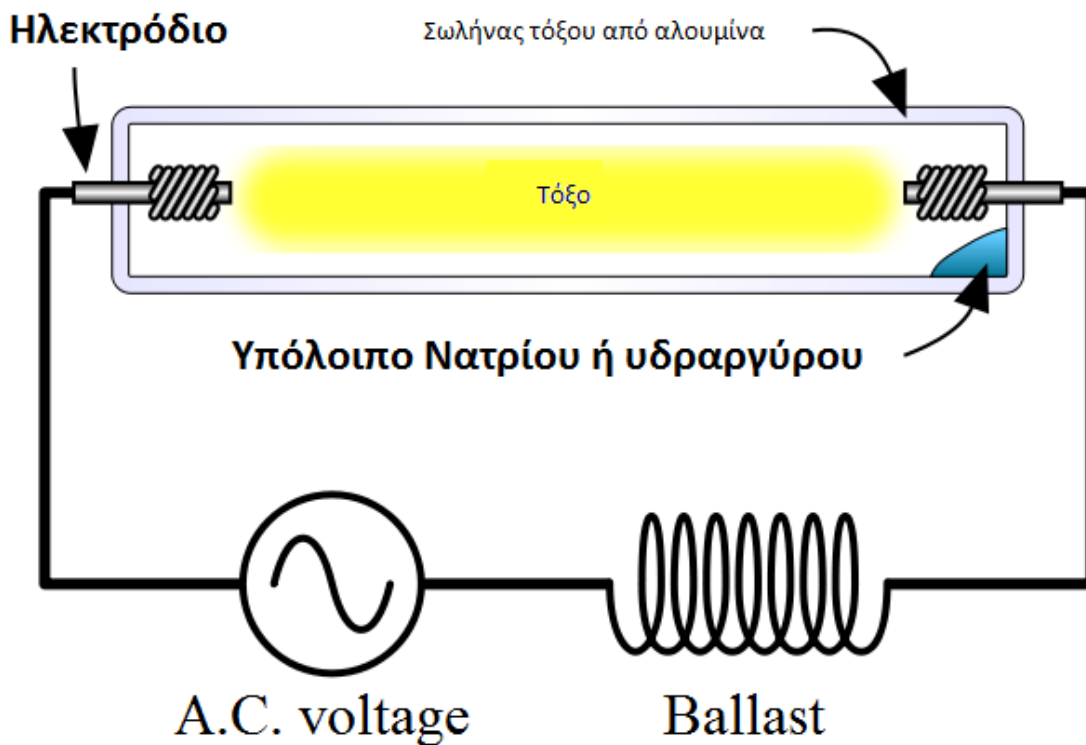
Στο τέλος παρατίθεται η βιβλιογραφία της πτυχιακής εργασίας και τα παραρτήματα. Στο παράρτημα βρίσκονται συνημμένα τα τεχνικά φυλλάδια των σημαντικότερων χρησιμοποιημένων υλικών, τα σχηματικά και τα αντίγραφα των πιστών χαλκού (PCB) από τις ηλεκτρικές πλακέτες, όπως και ολόκληρο το πρόγραμμα που αναπτύχθηκε για την λειτουργία του μικροεπεξεργαστή και τον έλεγχο των MOSFET.

ΚΕΦΑΛΑΙΟ 1

ΘΕΩΡΗΤΙΚΟ ΥΠΟΒΑΘΡΟ ΠΤΥΧΙΑΚΗΣ ΕΡΓΑΣΙΑΣ

1.1 Λαμπτήρες High-Intensity Discharge (HID)

Οι λαμπτήρες HID, ή λαμπτήρες εκκένωσης υψηλής έντασης όπως αναφέρονται στην ελληνική βιβλιογραφία, είναι ένας τύπος λαμπτήρα τόξου. Ο λαμπτήρας παράγει φωτισμό μέσω ηλεκτρικού τόξου που δημιουργείται ανάμεσα σε δύο ηλεκτρόδια από βολφράμιο τοποθετημένα μέσα σε ένα ημιδιαφανές ή διάφανο σωλήνα. Η αρχή λειτουργίας του λαμπτήρα στηρίζεται στην ιδιότητα των μεταλλικών αλάτων να σχηματίζουν πλάσμα όταν θερμαίνονται. Ο σωλήνας από λιωμένο πυρίτιο ή αλουμίνα, μέσα στον οποίο βρίσκονται τα ηλεκτρόδια, περιέχει αέριο και μεταλλικά άλατα. Ο ρόλος του αερίου είναι να διευκολύνει την δημιουργία του τόξου στην αρχή. Μόλις αρχίσει το ηλεκτρικό τόξο ανάμεσα στα δύο ηλεκτρόδια, θερμαίνει τα μεταλλικά άλατα εξατμίζοντάς τα δημιουργώντας πλάσμα ιόντων. Το πλάσμα αυτό αυξάνει σε σημαντικό βαθμό την ένταση της φωτεινότητας του παραγόμενου φωτός και μειώνει την κατανάλωση ενέργειας.



Εικόνα 1 Εσωτερικό λαμπτήρα HID

Συγκρίνοντάς τις με λαμπτήρες άλλων τύπων όπως φθορισμού και πυράκτωσης, οι λάμπες HID παρέχουν υψηλότερη φωτεινή απόδοση λόγω του υψηλότερου ποσοστού ακτινοβολίας εντός του φάσματος του ορατού φωτός σε σχέση με το ποσοστό της ακτινοβολίας που

μετατρέπεται σε θερμότητα. Επίσης, ακόμα και η συνολική απόδοση της είναι υψηλότερη καθώς αποδίδουν περισσότερη ποσότητα φωτός ανά μονάδα ηλεκτρικής ισχύς εισόδου.

Οι λαμπτήρες HID αποτελούν μια οικογένεια λαμπτήρων η οποία περιέχει διάφορα είδη ανάλογα με την κατασκευή τους. Οι λαμπτήρες χωρίζονται ανάλογα με το ποια χημικά στοιχεία περιέχουν. Οι κατηγορίες αυτές είναι οι ακόλουθες:

- Λάμπα ατμών υδραργύρου (Mercury vapor lamp)
- Λάμπα μεταλλικών αλογονιδίων (Metal halide lamp)
- Κεραμική λάμπα μεταλλικών αλογονιδίων (Ceramic MH lamp)
- Λάμπα ατμών νατρίου (Sodium vapor lamp)
- Λάμπες Xenon
- Λάμπες υπέρ-υψηλής απόδοσης (Ultra-high performance lamps, UHP)

Όπως και οι λαμπτήρες φθορισμού, έτσι και οι λάμπες HID απαιτούν πηνίο, ballast, για την δημιουργία και την διατήρηση του ηλεκτρικού τόξου. Σε κάποιες κατηγορίες από τις παραπάνω η έναυση γίνεται με την χρήση ενός τρίτου ηλεκτροδίου που βρίσκεται στην μέση της απόστασης των άλλων δύο ηλεκτροδίων. Όπου δεν υπάρχει τρίτο ηλεκτρόδιο η έναυση γίνεται με την χρήση παλμών υψηλής τάσης.



Εικόνα 2 Μερικά Ballast του εμπορίου

Αυτού του είδους οι λαμπτήρες χρησιμοποιούνται όπου απαιτείται υψηλού επιπέδου φωτισμός σε μεγάλη επιφάνεια, αποδοτική κατανάλωση ενέργειας και ένταση φωτισμού. Τέτοια μέρη είναι γυμναστήρια, δημόσιοι χώροι, αποθήκες, θέατρα, στάδια και γήπεδα, δρόμοι κλπ. Ακόμα, χρησιμοποιούνται σε εσωτερικούς κήπους για προσομοίωση του ηλιακού φωτός, σε ενυδρεία και συστήματα προβολής εικόνας (UHP HID λάμπες).

Από τις αρχές της δεκαετίας του 1990, χρησιμοποιούνται και για τον φωτισμό των αυτοκινήτων και μηχανών.



Εφαρμογές λαμπτήρων HID

1.2 Μονοφασικός αντιστροφέας με πλήρη γέφυρα

Για την παραγωγή ενός εναλλασσόμενου ρεύματος από μια πηγή συνεχούς, χρησιμοποιούνται στρεφόμενοι ή στατικοί αντιστροφείς. Οι πρώτοι είναι ζεύγη μηχανών (κινητήρας συνεχούς-ασύγχρονη ή σύγχρονη γεννήτρια), ενώ οι δεύτεροι είναι διατάξεις ηλεκτρονικής ισχύος, χωρίς κινούμενα μέρη με διόδους, θυρίστορ ή τρανζίστορ ισχύος. Με την ραγδαία εξέλιξη της ηλεκτρονικής ισχύος η χρήση των στατικών αντιστροφών απλώνεται όλο και περισσότερο.

Αν η συχνότητα της τάσης εξόδου ρυθμίζεται αυτοδύναμα από το κύκλωμα έλεγχου, τότε πρόκειται για αντιστροφή με εξαναγκασμένη οδήγηση. Αν το φορτίο είναι σειριακός ταλαντωτής, τότε το κύκλωμα έλεγχου μπορεί να συγχρονιστεί με την ιδιοσυχνότητα του φορτίου, η οποία καθορίζει τη συχνότητα της τάσης εξόδου. Στην περίπτωση αυτή πρόκειται για οδήγηση φορτίου. Η συχνότητα, σύμφωνα με την οποία ανοίγουν και κλείνουν τα θυρίστορ, δίνεται στην περίπτωση της εξαναγκασμένης οδήγησης από το κύκλωμα έλεγχου. Η συχνότητα αυτή είναι και η συχνότητα εξόδου του αντιστροφέα. Στο ισοδύναμο, κατά την αντικατάσταση των θυρίστορ με ζεύγη διακοπών-διόδων (ιδανικά θυρίστορ) δεν λήφθηκαν υπόψιν ορισμένα φαινόμενα των πραγματικών θυρίστορ, τα οποία επηρεάζουν αρνητικά τη λειτουργία του αντιστροφέα.

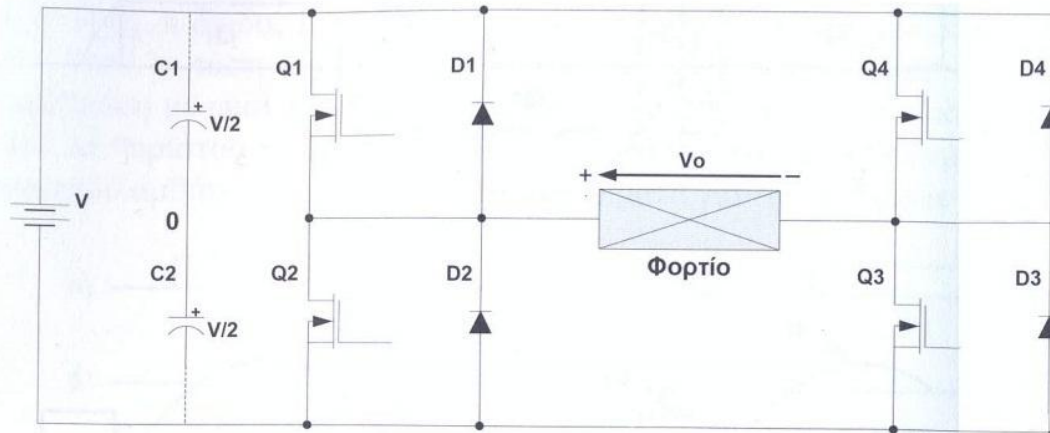
Για την λειτουργία του κυκλώματος πρέπει όμως να ληφθούν υπόψιν οι εξής ιδιότητες των πραγματικών θυρίστορ :

1. Η έναυση ενός θυρίστορ είναι δυνατή μόνον όταν εφαρμόζεται σε αυτό θετική τάση και δοθεί ένας παλμός έναυσης στο ηλεκτρόδιο έλεγχου.

2. Η σβέση ενός αναμμένου θυρίστορ μπορεί να γίνει μόνο με την εφαρμογή μιας αρνητικής τάσης.

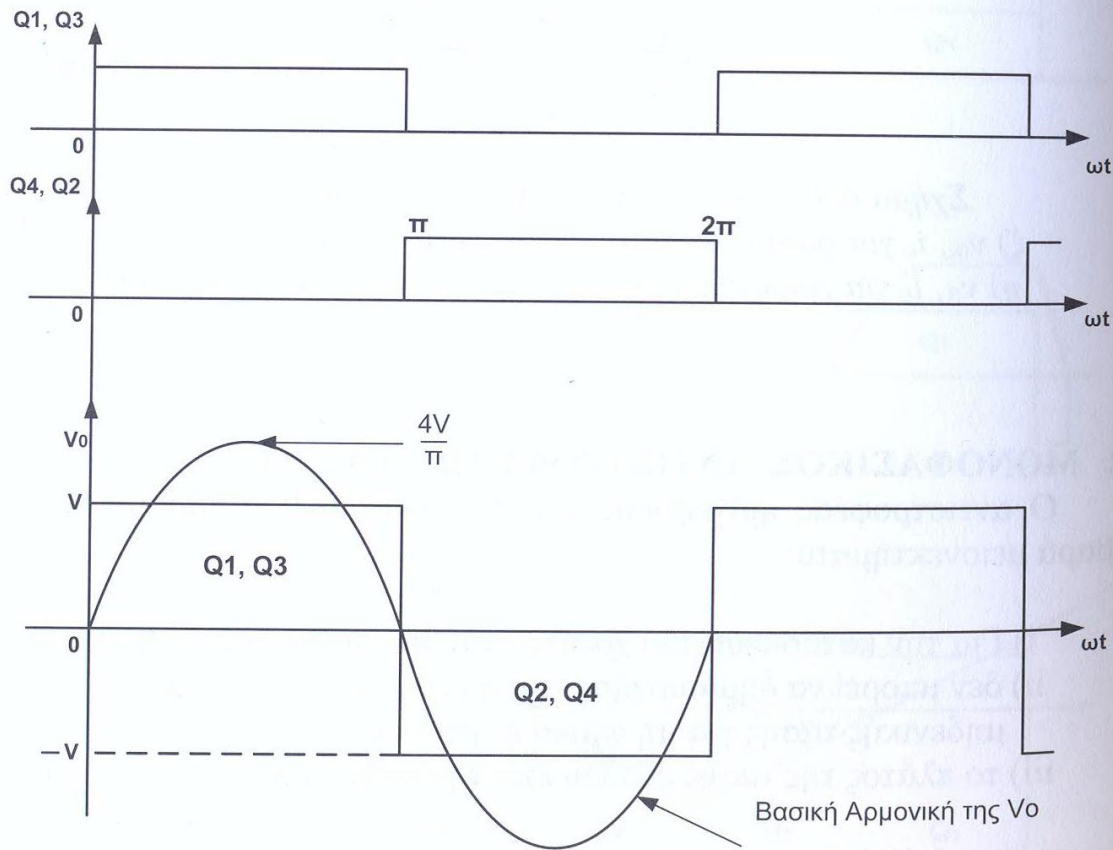
3. Μόλις το ρεύμα γίνει μηδέν, το θυρίστορ χρειάζεται ένα χρόνο ανάκτησης (TF) μέχρι να μπορέσει να ανακτήσει την ικανότητα αποκοπής, ακόμα και αν εφαρμόζεται θετική τάση πάνω του. Ο χρόνος ανάκτησης κυμαίνεται μεταξύ 10 και 100 μsec.

Στο παρακάτω σχήμα παρουσιάζεται ένας αντιστροφέας σε συνδεσμολογία πλήρους γέφυρας (αποτελείται από δύο ημιγέφυρες):

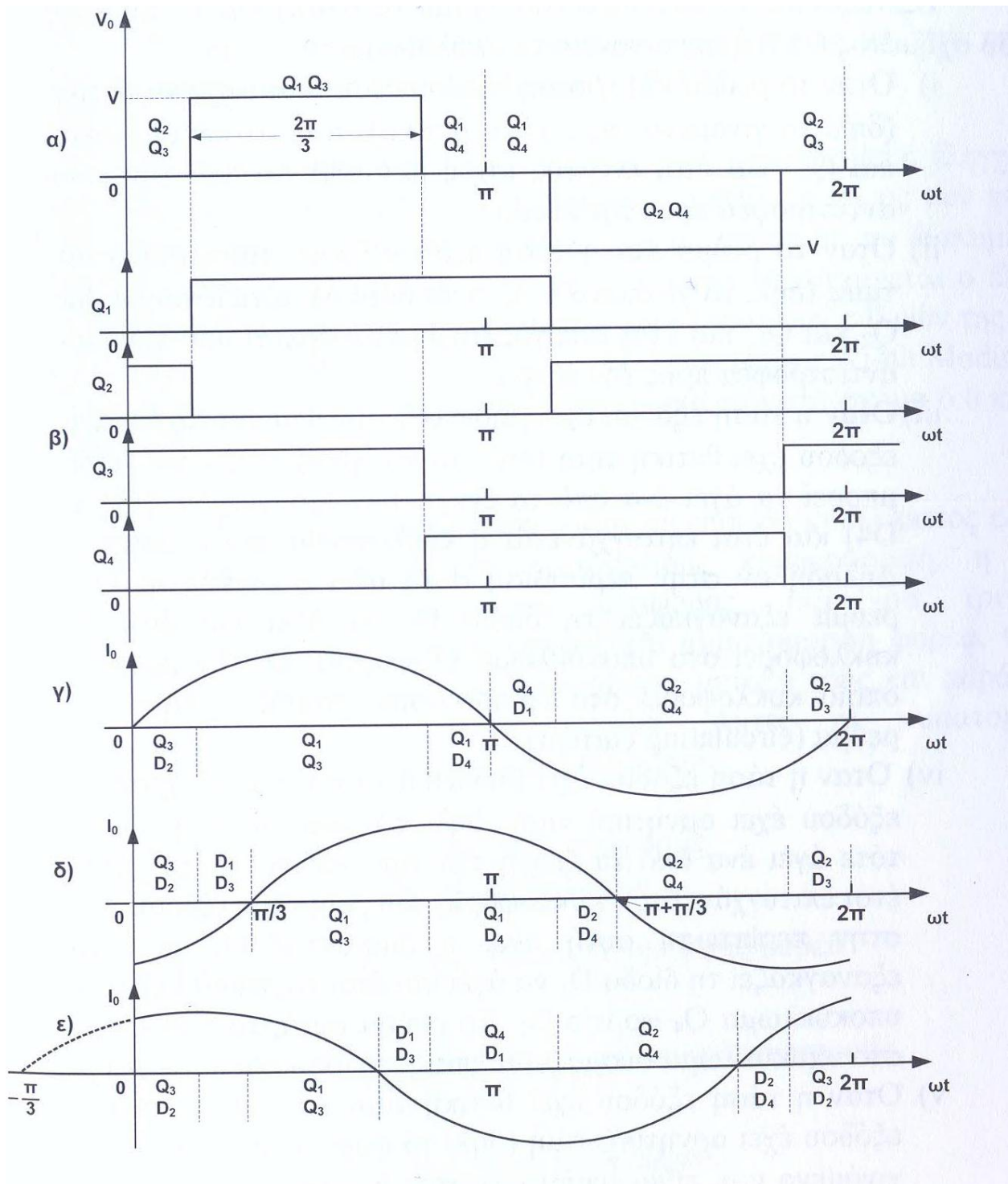


Εικόνα 3 Τυπικό σχέδιο μονοφασικού αντιστροφέα με πλήρη γέφυρα

ενώ στο επόμενο φαίνονται οι γραφικές παραστάσεις της λειτουργίας των διακοπτικών στοιχείων και της εξόδου του αντιστροφέα. Ακόμα, δίνονται οι κυματομορφές του αντιστροφέα για διάφορα φορτία:



Εικόνα 4 Κυματομορφές για διάφορες γωνίες αγωγής



Εικόνα 5 Χαρακτηριστικές κυματομορφές αντιστροφέα γέφυρας, όπως Τάση εξόδου, Παλμοί έναυσης, Ρεύματα για ωμικό, επαγωγικό και χωρητικό φορτίο

Εξετάζοντας το κύκλωμα του πρώτου σχήματος και τις παραπάνω κυματομορφές συμπεραίνονται τα ακόλουθα:

- Όταν το ρεύμα και η τάση εξόδου έχουν ταυτόχρονα θετικές τιμές (δηλ. το γινόμενο $V_0 \cdot i_0$ είναι θετικό), τότε άγουν οι διακόπτες Q_1 και Q_3 και έτσι ενεργός ισχύς μεταφέρεται από την είσοδο του αντιστροφέα προς την έξοδο.
- Όταν το ρεύμα και η τάση εξόδου έχουν ταυτόχρονα αρνητικές τιμές (δηλ. το γινόμενο $V_0 \cdot i_0$ είναι θετικό), τότε άγουν οι διακόπτες Q_2 και Q_4 και έτσι ενεργός ισχύς μεταφέρεται από την είσοδο του αντιστροφέα προς την έξοδο.
- Όταν η τάση εισόδου έχει μηδενική τιμή και ταυτόχρονα το ρεύμα εξόδου έχει θετική τιμή (δηλ. το γινόμενο $V_0 \cdot i_0$ είναι μηδέν), τότε μπορεί να άγει ένα από τα ζεύγη των ημιαγωγών $[Q_3, D_2]$, $[Q_1, D_4]$ και έτσι επιτυγχάνεται η κυκλοφορία του ρεύματος εξόδου. Δηλαδή αν στην περίπτωση αυτή άγει ο διακόπτης Q_3 τότε το ρεύμα εξαναγκάζει τη δίοδο D_2 να άγει και έτσι το ρεύμα κυκλοφορεί στο υποκύκλωμα Q_3 -φορτίο- D_2 . Το ρεύμα αυτό, το οποίο κυκλοφορεί στο υποκύκλωμα ονομάζεται ανακυκλούμενο ρεύμα (*circulating current*).
- Όταν η τάση εισόδου έχει μηδενική τιμή και ταυτόχρονα το ρεύμα εξόδου έχει αρνητική τιμή (δηλ. το γινόμενο $V_0 \cdot i_0$ είναι μηδέν), τότε άγει ένα από τα ζεύγη των ημιαγωγών $[Q_4, D_1]$, $[Q_2, D_3]$ και έτσι επιτυγχάνεται η κυκλοφορία του ρεύματος εξόδου. Δηλαδή αν στην περίπτωση αυτή άγει ο διακόπτης Q_4 τότε το ρεύμα εξαναγκάζει τη δίοδο D_1 να άγει και έτσι το ρεύμα κυκλοφορεί στο κύκλωμα Q_4 -φορτίο- D_1 . Το ρεύμα αυτό, το οποίο κυκλοφορεί στο υποκύκλωμα ονομάζεται επίσης ανακυκλούμενο ρεύμα (*circulating current*).
- Όταν η τάση εξόδου έχει αρνητική τιμή και ταυτόχρονα το ρεύμα εξόδου αρνητική τιμή (δηλ. το φορτίο είναι επαγωγικό και το γινόμενο $V_0 \cdot i_0$ είναι αρνητικό), τότε οι δίοδοι ελεύθερης διέλευσης D_1 και D_3 εξαναγκάζονται να άγουν και έτσι το ρεύμα κυκλοφορεί μέσω του υποκυκλώματος πηγή - D_1 -φορτίο - D_3 .
- Όταν η τάση εξόδου έχει αρνητική τιμή και ταυτόχρονα το ρεύμα εξόδου θετική τιμή (δηλ. το φορτίο είναι χωρητικό και το γινόμενο $V_0 \cdot i_0$ είναι αρνητικό), τότε οι δίοδοι ελεύθερης διέλευσης D_2 και D_4 εξαναγκάζονται να άγουν και έτσι το ρεύμα κυκλοφορεί μέσω του υποκυκλώματος πηγή - D_2 -φορτίο - D_4 . Στην περίπτωση αυτή ενεργός ισχύς μεταφέρεται από τον πυκνωτή του φορτίου προς την πηγή εισόδου.

1.3 Έλεγχος τάσης εξόδου αντιστροφεία πλήρης γέφυρας

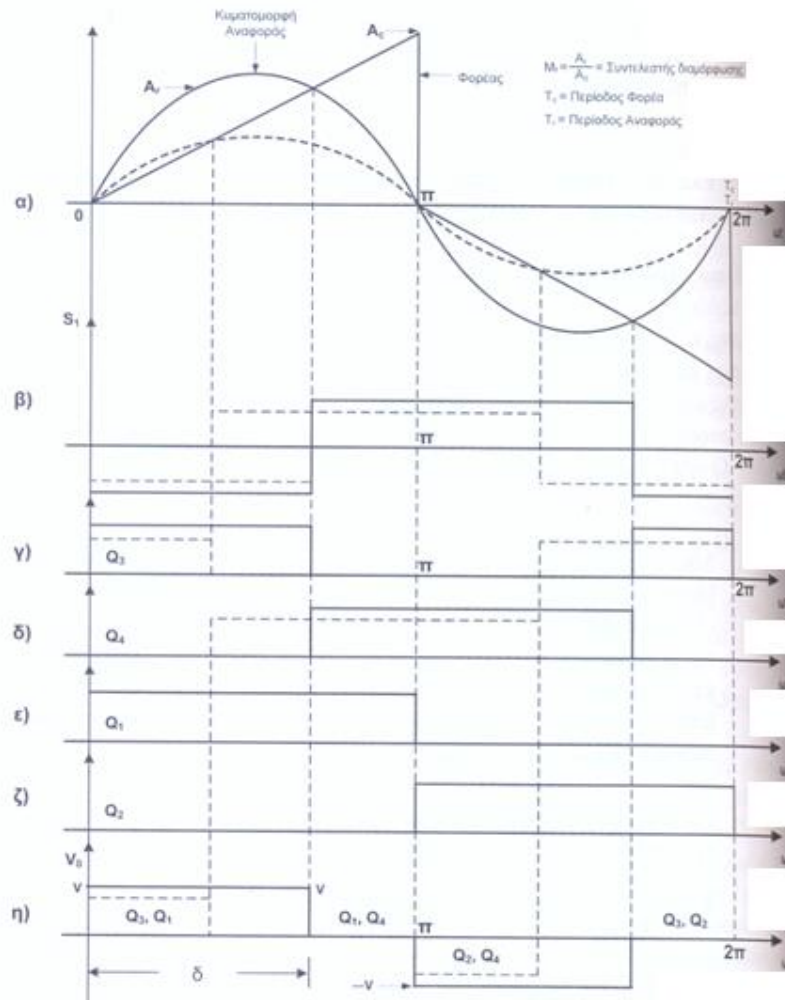
1.3.1 Τεχνική Διαμόρφωσης Εύρους Παλμών (PWM)

Όπως αναφέρθηκε και προηγουμένως για να επιτευχθεί ο έλεγχος της τάσης εξόδου του αντιστροφεία, το εύρος των παλμών της τάσης εξόδου δ πρέπει να μεταβάλλεται σε σχέση με τις διακυμάνσεις της τάσης εισόδου. Η τεχνική αυτή με την οποία επιτυγχάνεται ο έλεγχος της τάσης εξόδου μέσω της αυξομείωσης του εύρους των παλμών της τάση εξόδου ονομάζεται Διαμόρφωση Εύρους Παλμών (Pulse Width Modulation, PWM). Ο ορισμός της τεχνικής PWM παρουσιάζεται στο παρακάτω σχήμα και έχει ως εξής:

- Με την τεχνική αυτή παράγονται σε επίπεδο κυκλώματος ελέγχου (ασθενή σήματα) μια ημιτονοειδής κυματομορφή, η οποία ονομάζεται κυματομορφή αναφοράς, και μια τριγωνική κυματομορφή, η οποία ονομάζεται κυματομορφή φορέα. Οι δύο κυματομορφές είναι συγχρονισμένες μεταξύ τους και παράγονται από γεννήτριες κυματομορφών. Αυτές οι κυματομορφές παρουσιάζονται στο σχήμα (α) όπου
 - A_r = πλάτος κυματομορφής αναφοράς
 - A_c = πλάτος της κυματομορφής φορέα
 - $A_r = \frac{1}{F_c}$ = περίοδος της κυματομορφής φορέα
 - $A_c = \frac{1}{F_r}$ = περίοδος της κυματομορφής αναφοράς
 - $M_f = \frac{A_r}{A_c}$ = συντελεστής διαμόρφωσης
- Στη συνέχεια, οι δύο παραπάνω κυματομορφές εφαρμόζονται στην είσοδο ενός συγκριτή, η έξοδος θα είναι η κυματομορφή που παρουσιάζεται στο σχήμα 6.6(β). Όπως διαπιστώνεται και από τα σχήματα 6.6(α) και 6.6(β), η κυματομορφή εξόδου του συγκριτή εξαρτάται από τα σημεία τομής των δύο κυματομορφών εισόδου. Στο σχήμα 6.6(β) παρουσιάζονται δύο διαφορετικές κυματομορφές της τάσης εξόδου του συγκριτή, για δύο διαφορετικές τιμές του πλάτους A_r της κυματομορφής αναφοράς, κρατώντας το πλάτος A_c της κυματομορφής φορέα σταθερό. Επομένως αυξομειώνοντας τον συντελεστή διαμόρφωσης M_f (από 0 έως 1), η κυματομορφή της τάσης εξόδου του συγκριτή μεταβάλλεται.
- Το αρνητικό μέρος της τάσης εξόδου του συγκριτή, ορίζει τους παλμούς έναυσης του διακόπτη Q3. Αναστρέφοντας τους παλμούς έναυσης του διακόπτη Q4 ορίζονται οι παλμοί έναυσης του διακόπτη Q4. Οι παλμοί έναυσης των διακοπών Q1 και Q2

παράγονται από την κυματομορφή αναφοράς και παρουσιάζονται αντίστοιχα στα σχήματα (ε) και (ζ).

- Η τάση εξόδου του αντιστροφέα για τους παραπάνω παλμούς έναυσης παρουσιάζεται στο σχήμα (η). Όπως διαπιστώνεται από το σχήμα αυτό, αυξομειώνοντας το συντελεστή διαμόρφωσης M_f , το εύρος των παλμών δ της τάσης εξόδου επίσης αυξομειώνεται και έτσι επιτυγχάνεται ο έλεγχος της τάσης εξόδου.



Σχήμα 6.6 Ορισμός της τεχνικής PWM.

- Κυματομορφές της αναφοράς και του φορέα.
- Κυματομορφή της τάσης εξόδου του συγκριτή.
- Παλμός έναυσης του διακόπτη Q_3 .
- Παλμός έναυσης του διακόπτη Q_4 .
- Παλμός έναυσης του διακόπτη Q_1 .
- Παλμός έναυσης του διακόπτη Q_2 .
- Τάση εξόδου του αντιστροφέα.

1.3.2 Τετραγωνική κυματομορφή

Στη μετάβαση με τετραγωνική κυματομορφή κάθε διακόπτης του σκέλους του αντιστροφέα είναι κλειστός για μια ημιπερίοδο (180°) της επιθυμητής εξόδου. Από την ανάλυση Fourier τα πλάτη της θεμελιώδους συνιστώσας και των αρμονικών για μια δεδομένη είσοδο V_d προκύπτουν

$$(V_{Ao})_1 = \frac{4}{\pi} \frac{V_d}{2} = 1.273 \left(\frac{V_d}{2} \right)$$

και

$$(V_{Ao})_h = \frac{(V_{Ao})_1}{h}$$

Όπου η τάξη της αρμονικής h παίρνει μόνο περιττές τιμές. Πρέπει να σημειωθεί ότι η μετάβαση σε τετραγωνική κυματομορφή είναι ειδική περίπτωση της μετάβασης με ημιτονοειδή διαμόρφωση PWM, όταν ο συντελεστής m_a γίνεται τόσο μεγάλος, ώστε η κυματομορφή της τάσης ελέγχου να τέμνεται με την τριγωνική κυματομορφή μόνο στο μηδενισμό του $u_{control}$. Επομένως, η τάση εξόδου στην περιοχή τετραγωνικής κυματομορφής είναι ανεξάρτητη του m_a . Ένα από τα πλεονεκτήματα της λειτουργίας με τετραγωνική κυματομορφή είναι ότι κάθε διακόπτης του αντιστροφέα αλλάζει την κατάστασή του μόνο δύο φορές ανά περίοδο, γεγονός που είναι σημαντικό στην περίπτωση πολύ υψηλών επιπέδων ισχύος, όπου οι διακόπτες στερεάς κατάστασης έχουν γενικά χαμηλότερες ταχύτητες μετάβασης. Ένα από τα σοβαρά μειονεκτήματα της μετάβασης με τετραγωνική κυματομορφή είναι ότι ο αντιστροφέας δε μπορεί να ρυθμίσει το πλάτος της τάσης εξόδου. Για να ελέγχεται το πλάτος της τάσης εξόδου του αντιστροφέα, πρέπει να ρυθμίζεται η DC τάση εισόδου V_d .

ΚΕΦΑΛΑΙΟ 2

ΚΑΤΑΣΚΕΥΗ ΤΩΝ ΔΙΑΤΑΞΕΩΝ

2.1 Προηγούμενη κατασκευή

Για τις ανάγκες προηγούμενης πτυχιακής εργασίας, είχε μελετηθεί το συγκεκριμένο θέμα και είχε κατασκευαστεί μια διάταξη χωρίς όμως να έχει την επιθυμητή λειτουργία και αποτέλεσμα. Κατά την μελέτη της εργασίας αυτής με την διάθεση να χρησιμοποιηθεί ως βάση για την παρούσα πτυχιακή εργασία. Παρατηρήθηκαν αρκετά λάθη κατά την σχεδίαση και τοποθέτηση των εξαρτημάτων, όπως και την φιλοσοφία με την οποία προοριζόταν να χρησιμοποιηθεί η πλακέτα.

Η διάταξη αποτελείται από μία πλακέτα η οποία περιλαμβάνει την μονάδα παραγωγής των παλμών ελέγχου για την λειτουργία των MOSFET και την μονάδα οδήγησης των MOSFET. Το σήμα ελέγχου που χρησιμοποιείται παράγεται από την σύγκριση μίας τριγωνικής παλμοσειράς με μια σταθερή συνεχή τάση μέσω κάποιων συγκριτών και ενισχυτών. Πρέπει να σημειωθεί ότι η παραγωγή της τριγωνικής παλμοσειράς και της σταθερής συνεχής τάσης δεν γινόταν στην ίδια πλακέτα, αλλά ούτε είχε προβλεφθεί και κατασκευαστεί ένα κατάλληλο τροφοδοτικό. Έπρεπε να τροφοδοτηθούν από ανεξάρτητη πηγή. Για την οδήγηση των MOSFET χρησιμοποιείται ο οδηγός IR2110.

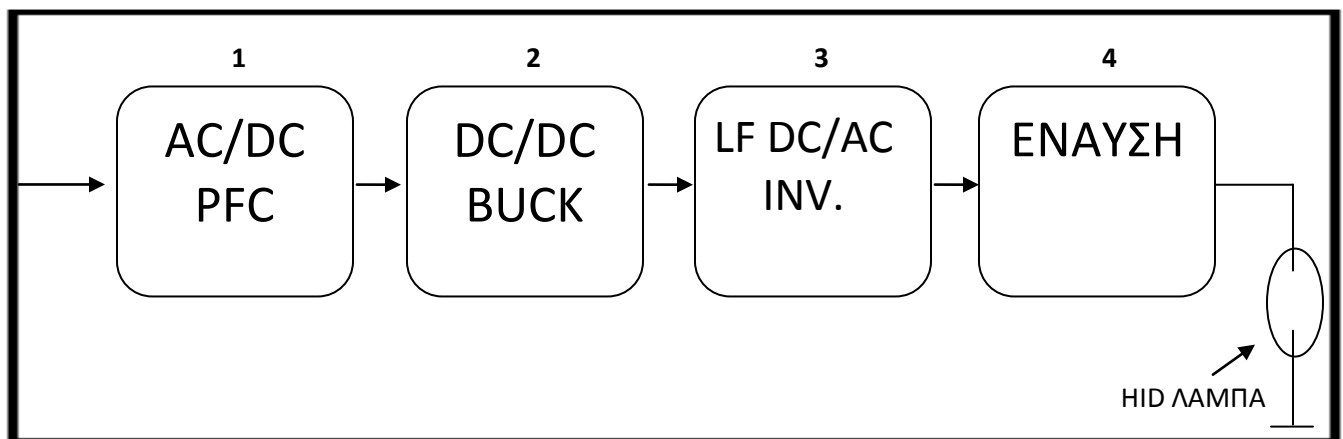
Τα λάθη που εντοπίστηκαν στην κατασκευή είχαν σχέση με την κατασκευή, τον σχεδιασμό και τις τάσεις λειτουργίας. Αρχικά, παρατηρήθηκε ότι τα ολοκληρωμένα που περιείχαν τους οδηγούς IR2110 ήταν τοποθετημένα ανάποδα, δηλαδή δεν ήταν συνδεδεμένα έτσι όπως θα έπρεπε. Παρόλα αυτά όμως, το σημαντικότερο πρόβλημα ήταν ότι έτσι όπως είχε σχεδιαστεί, η συγκεκριμένη πλακέτα δεν πρόκειται να λειτουργήσει ποτέ. Αυτό συμβαίνει διότι, σύμφωνα με το επίσημο εγχειρίδιο του οδηγού IR2110 που διατίθεται από τον κατασκευαστή, για να μπορέσει να λειτουργήσει ο οδηγός πρέπει να δεχτεί σήμα ελέγχου τουλάχιστον 9,5V συνεχούς τάσης. Ο οδηγός, όμως, δεχόταν τετραγωνικό παλμό πλάτους 5V. Άρα λοιπόν, ο οδηγός δεν μπορούσε να αντιληφθεί το εν λόγω σήμα εισόδου με αποτέλεσμα να μην παράγει το απαιτούμενο σήμα για την ενεργοποίηση των MOSFET.

Αρχικά, υπήρχε η σκέψη να διορθωθεί η ήδη υπάρχουσα διάταξη με την προσθήκη ενός ενισχυτή ανά κανάλι, έτσι ώστε να επιτευχθεί το απαιτούμενο πλάτος σήματος. Εν τέλει, όμως, αυτό δεν ήταν εφικτό πρακτικά λόγω του κακού σχεδιασμού της πλακέτας. Για το λόγω αυτό αποφασίστηκε η κατασκευή της διάταξης από την αρχή και ο εκσυγχρονισμός της αλλάζοντας το κύκλωμα ελέγχου και αντικαθιστώντας το με έναν μικροελεγκτή.

2.2 Δομικά στοιχεία διάταξης

Για την κατασκευή ενός τροφοδοτικού κατάλληλου να οδηγήσει ένα λαμπτήρα τύπου HID πρέπει να ληφθεί υπόψη ότι τα απαραίτητα δομικά στοιχεία μιας τέτοιας διάταξης είναι τα ακόλουθα:

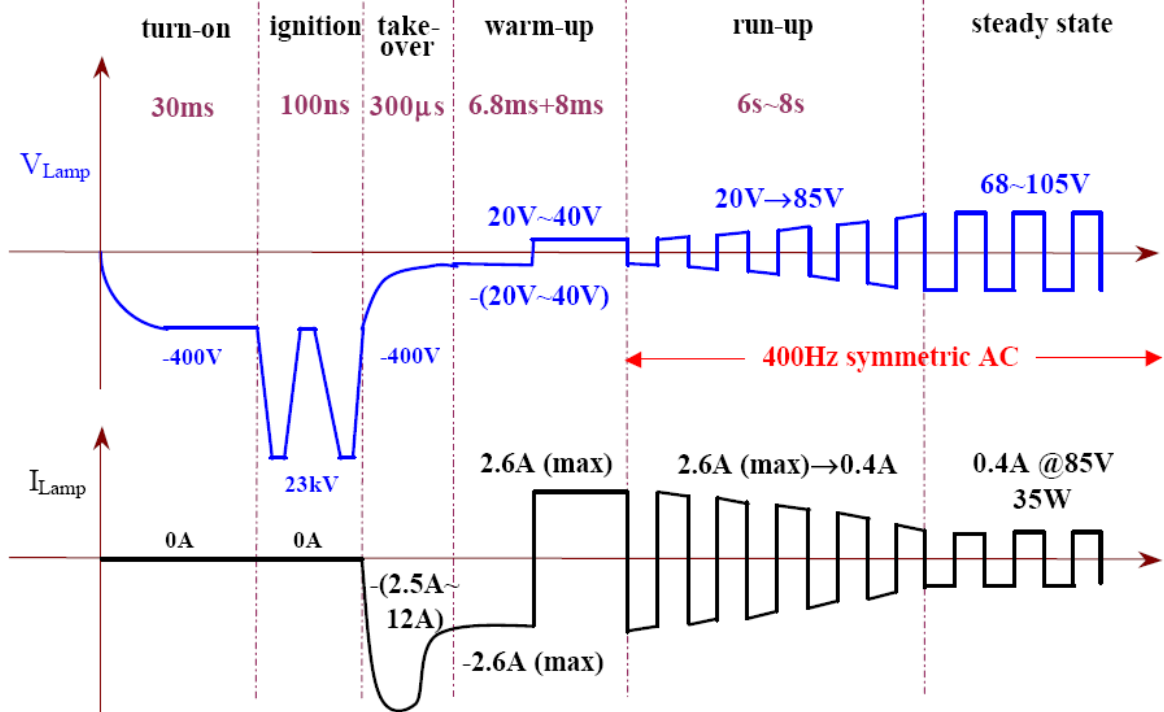
- Μία ανορθωτική γέφυρα
- Ένας μετατροπέας DC/DC
- Ένας αντιστροφέας
- Έναυση



Εικόνα 1 Block διάγραμμα μιας τυπικής συσκευής για την οδήγηση λαμπτήρων HID

1. Στο πρώτο τμήμα ενός τέτοιου ballast μετατρέπεται η τάση εισόδου, η τάση του δικτύου 230V, σε DC σταθερή τάση προσφέροντας ταυτόχρονα υψηλό συντελεστή ισχύος και μικρά αρμονικά ρεύματα εισόδου.
2. Στον μετατροπέα DC/DC υποβαθμίζεται η τάση από το προηγούμενο στάδιο και επιτυγχάνεται σταθεροποίηση της ισχύος που απαιτείται για την λάμπα. Ο μετατροπέας αυτός λειτουργεί σε υψηλή συχνότητα.
3. Ο DC/AC χαμηλής συχνότητας αντιστροφέας παρέχει στην λάμπα το εναλλασσόμενο τετραγωνικό ρεύμα που χρειάζεται για να αποφευχθούν οι αρμονικές στη λάμπα.
4. Τέλος υπάρχει η έναυση κατά την οποία δημιουργείται η κατάλληλη τάση έναυσης που απαιτείται για να αρχίσει η εκκένωση στο εσωτερικό της λάμπας. Η τάση αυτή κυμαίνεται από το 1kV έως τα 5kV ή και τα 20kV ανάλογα με τον τρόπο έναυσης και την τοπολογία που χρησιμοποιείται.

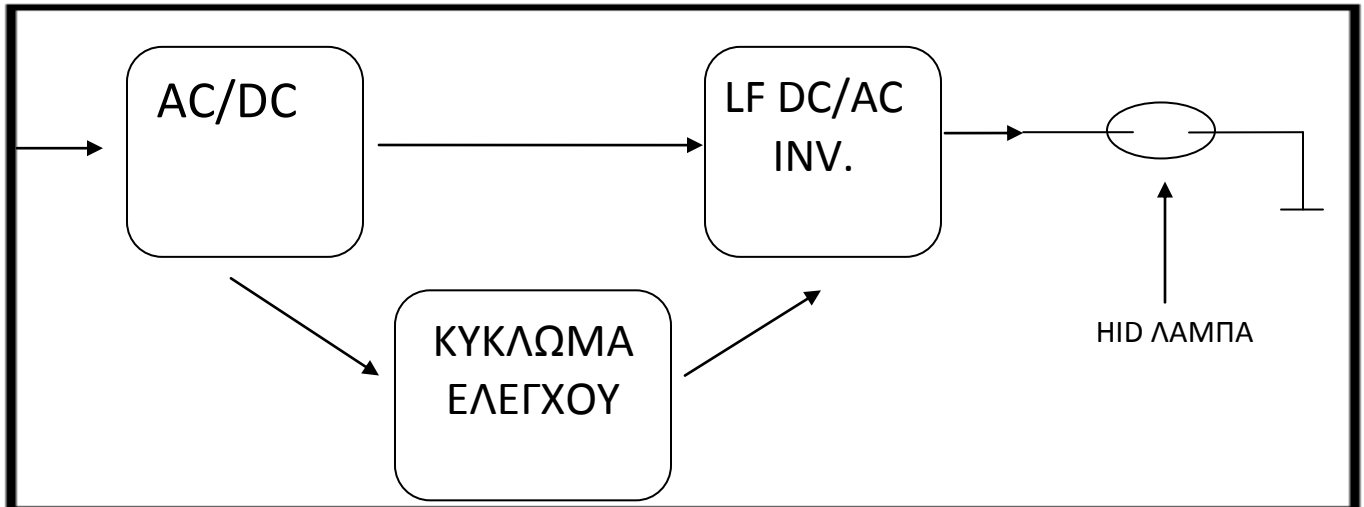
Επιπλέον, Μία λάμπα τέτοιου τύπου χρειάζεται ένα προφίλ τάσης κατάλληλο ώστε να μπορέσει να λειτουργήσει. Ένα τυπικό προφίλ τάσης για λαμπτήρα HID είναι το ακόλουθο:



Εικόνα 2 Προφίλ τάσης και ρεύματος για λαμπτήρες HID

Από τα παραπάνω, σε αυτή την πτυχιακή, θα παραληφθούν κάποια τμήματα λόγω του ότι η μελέτη γίνεται για μια συσκευή η οποία θα έχει μόνο εργαστηριακή και επιστημονική χρήση. Οι δοκιμές και η λειτουργία θα γίνει σε πλήρως ελεγχόμενο περιβάλλον. Έτσι δεν θα συμπεριληφθούν αρκετά μέτρα ασφάλειας, παρά μόνο τα απαραίτητα, αλλά ούτε και Η/Μ φίλτρο. Επιπλέον, δεν θα χρησιμοποιηθεί διάταξη έναυσης διότι πρόκειται για μικρής έντασης φορτίο και έτσι η χρήση της δεν κρίνεται απαραίτητη.

Από τα παραπάνω, λοιπόν προκύπτει το δομικό διάγραμμα της διάταξης της πτυχιακής εργασίας που ακολουθεί:



Εικόνα 3 Block Διάγραμμα της πραγματικής διάταξης

Η διάταξη αποτελείται από τρεις πλακέτες. Η μία περιλαμβάνει το κύκλωμα ελέγχου όπου παράγεται η παλμοσειρά ελέγχου των MOSFET χρησιμοποιώντας ένα μικροελεγκτή της Atmel, το Atmega16. Η δεύτερη περιλαμβάνει το κύκλωμα ισχύος όπου βρίσκονται τα MOSFET και οι οδηγοί, ενώ η τρίτη αποτελεί το τροφοδοτικό λειτουργίας των δύο κυκλωμάτων.

2.3 Κύκλωμα Ελέγχου

2.3.1 Μικροελεγκτής ATmega16 της Atmel

Οι μικροελεγκτές έχουν ιστορία ανάλογη με αυτήν των ηλεκτρονικών υπολογιστών. Όλα ξεκίνησαν από το πρώτο ολοκληρωμένο κύκλωμα της Intel για να ακολουθήσει ραγδαία εξέλιξη σε οποιοδήποτε έχει σχέση με την ηλεκτρονική την πληροφορική και όλες τις σχετικές επιστήμες και τεχνολογίες. Η εξέλιξη των μικροελεγκτών ακολούθησε αυτό το ρεύμα, αλλά η έμφαση δεν δόθηκε στην απόλυτη επεξεργαστική ισχύ, αλλά συμπυκνώνουν όσο το δυνατόν περισσότερα και διαφορετικά μεταξύ τους περιφερειακά συστήματα σε ένα ολοκληρωμένο κύκλωμα. Αυτό έχει ως αποτέλεσμα το ευρύ πεδίο εφαρμογών των μικροελεγκτών, αφού παρέχουν πληθώρα δυνατοτήτων, όπως έλεγχος PWM, εξαιρετικά χαμηλή κατανάλωση ενέργειας αλλά και ικανότητα διαχείρισης εξειδικευμένων πρωτοκόλλων όπως TCP/IP.

Σήμερα στην αγορά υπάρχουν εκατοντάδες διαφορετικοί μικροελεγκτές, όπου διαφέρουν μεταξύ τους στη δομή, τη συσκευασία, όσο και στην αρχιτεκτονική λειτουργίας. Κατά κύριο λόγο όμως κατατάσσονται σε οικογένειες, ανάλογα τον κατασκευαστή πολλές φορές, όπως AVR, PIC, ARM, Zilog κλπ, όπου προορίζονται για γενική αλλά και εξειδικευμένη χρήση.

Για τις ανάγκες της παρούσας εργασίας επιλέγεται ο μικροελεγκτής ATmega16 της οικογένειας AVR καθώς υπερκαλύπτει τις απαιτήσεις που υπάρχουν. Τα επιμέρους χαρακτηριστικά του είναι:

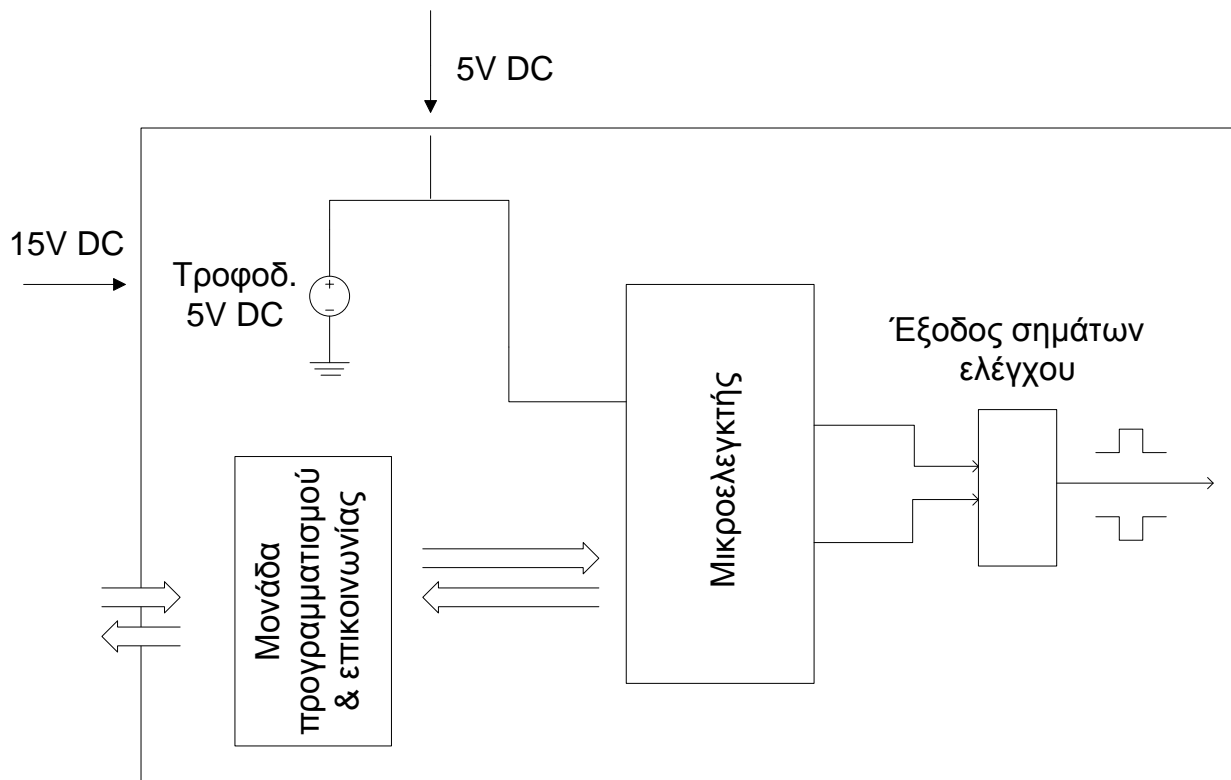
- Αρχιτεκτονική RISC 8bit
- 131 εντολές, οι περισσότερες 1 κύκλου
- 32 καταχωρητές γενικής χρήσης (registers) των 8bit
- Επεξεργαστική ισχύς 16 MIPS στα 16 MHz
- 16Kbytes μνήμη Flash γενικής χρήσης με διάρκεια ζωής 10000 επανεγγραφές
- 512byte EEPROM
- 1Kbyte μνήμη RAM
- Πλήρως στατική λειτουργία
- 2 timers/counters των 8bit με ξεχωριστό προγραμματισμό ο καθένας
- 1 timer/counter 16bit
- 4 κανάλια ελέγχου PWM
- Αναλογικό – ψηφιακό μετατροπέα (ADC) 8 καναλιών 10bit
- Εξωτερικό και εσωτερικό interrupt καθώς και watchdog timer
- Ανοχή στην τάση τροφοδοσίας από 4,5 έως 5,5 V
- Συχνότητα λειτουργίας έως 16MHz
- 6 διαφορετικές καταστάσεις αναμονής για εξοικονόμηση ενέργειας

2.3.2 Πλακέτα κυκλώματος ελέγχου

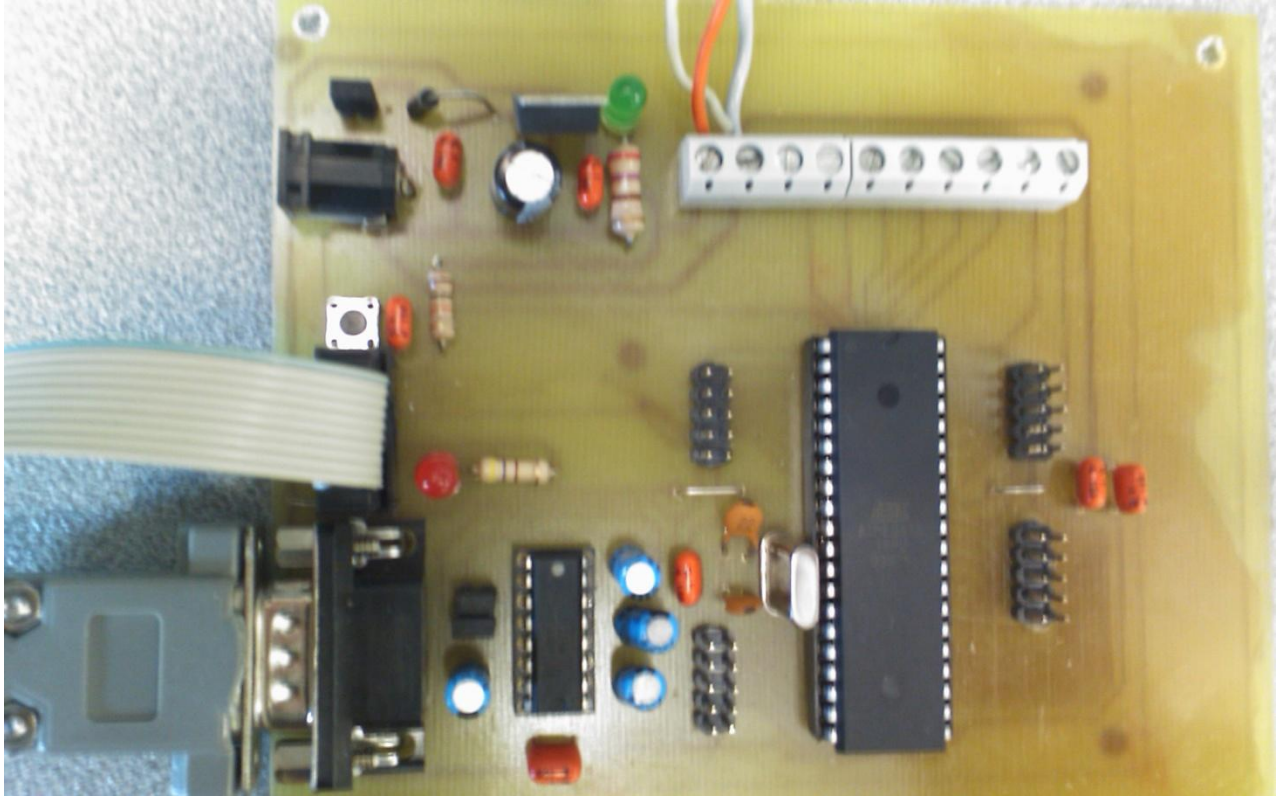
Η πλακέτα που περιέχει το κύκλωμα ελέγχου δεν είναι τίποτα άλλο από μία απλή αναπτυξιακή διάταξη που χρησιμοποιείται για τον προγραμματισμό του μικροελεγκτή και την δοκιμή της ορθής λειτουργίας του προγράμματος. Λόγω των περιορισμένων αναγκών της συγκεκριμένης εφαρμογής δεν πρόκειται να χρησιμοποιηθούν όλες οι διαθέσιμες πόρτες εισόδου/εξόδου (I/O pins). Γι' αυτό τον λόγο έχουν αφαιρεθεί κάποια τμήματα από το αρχικό σχέδιο του αναπτυξιακού, όπως τα 8 πλήκτρα και τα 8 LED ελέγχου.

Η τελική πλακέτα αποτελείται από τα παρακάτω τμήματα:

- 1 Σταθεροποιημένο τροφοδοτικό 5V με ενδεικτικό LED λειτουργίας και δύο εξόδους για την παροχή 5V και γείωσης για την τροφοδοσία των περιφερειακών συσκευών. Στην συγκεκριμένη εφαρμογή, η έξοδος μετατρέπεται σε είσοδο των 5V που υπάρχει ήδη από το ξεχωριστό τροφοδοτικό.
- 2 Σύνδεση υπολογιστή με τον μικροελεγκτή για τον προγραμματισμό του. Υπάρχει ενδεικτικό LED για να ελέγχεται η σωστή επικοινωνία των δύο πλευρών, καθώς και ένα μπουτόν για επαναφορά του chip στην αρχή του προγράμματος (Reset).
- 3 Κύκλωμα για την επικοινωνία του μικροελεγκτή και του υπολογιστή μέσω σειριακής θύρας για τον έλεγχο του προγράμματος και αποστολή και λήψη δεδομένων.
- 4 Ο μικροελεγκτής και οι εξόδοι των παλμοσειρών για τον έλεγχο της διάταξης ισχύος.



Εικόνα 4 Block διάγραμμα του κυκλώματος ελέγχου



Εικόνα 5 Το κύκλωμα ελέγχου

2.3.3 Πρόγραμμα

Ο μικροελεγκτής από μόνος του αποτελεί το υλικό μέρος (hardware), όπως και οι Η/Υ, δεν θα είχε καμία ιδιαίτερη αξία αν δεν ήταν εφικτός ο προγραμματισμός του, ώστε να ανταποκρίνεται στην εκάστοτε περίπτωση. Έτσι ο προγραμματισμός του μικροελεγκτή, δηλ. το λογισμικό (software), όχι μόνο έχει ιδιαίτερη σημασία, αλλά σχεδόν πάντα και μεγαλύτερη αξία από το υλικό μέρος αφού αυτό δίνει «ζωή» στον μικροελεγκτή. Όπως είναι λογικό, κάθε μικροελεγκτής μπορεί να προγραμματιστεί με γλώσσα χαμηλού επιπέδου assembly.

Ο προγραμματισμός με assembly προσφέρει σημαντικά μειωμένο μέγεθος κώδικα και αυξημένη ταχύτητα, όμως έχει όλες τις δυσκολίες που αντιμετωπίζει ένας προγραμματιστής με μία γλώσσα χαμηλού επιπέδου και ειδικά στην συντήρηση μεγάλου κώδικα.

Για να αντιμετωπιστούν αυτά τα προβλήματα και να γίνει ευκολότερος ο προγραμματισμός του, ο μικροελεγκτής μπορεί να προγραμματιστεί και με γλώσσες υψηλότερου επιπέδου όπως C, Basic, Pascal κλπ (τελευταία αρχίζουν να εμφανίζονται compilers ακόμη και για C++) , έχοντας βέβαια ως πλεονέκτημα την ευκολότερη ανάπτυξη και συντήρηση του κώδικα. Πολλές φορές μπορεί να συναντήσουμε «υβριδικό» κώδικα όπου μπορεί να είναι γραμμένος σε C αλλά να εμπεριέχει και τμήματα από assembly. Για να μεταφερθεί ένα πρόγραμμα στον μικροελεγκτή, απαραίτητη προϋπόθεση είναι η μεσολάβηση του μεταγλωττιστή (compiler) ώστε να μετατραπεί σε γλώσσα μηχανής αλλά και ένας «προγραμματιστής» που ουσιαστικά αναλαμβάνει να «φορτώσει» το πρόγραμμα στη μνήμη του μικροελεγκτή. Συνήθως η γλώσσα προγραμματισμού εξαρτάται από την οικογένεια του μικροελεγκτή, πχ οι AVR έχει επικρατήσει να προγραμματίζονται κυρίως με C και κατά δεύτερο λόγο με assembly και ελάχιστα με κάποια άλλη γλώσσα.

Ο προγραμματισμός του μικροελεγκτή έγινε με την χρήση του προγράμματος “CodeVision AVR C Compiler”.

Για την εισαγωγή των δεδομένων λειτουργίας προτιμήθηκε η επιλογή της σειριακής επικοινωνίας καθώς είναι πιο εύκολος ο προγραμματισμός, το πρόγραμμα γίνεται μικρότερο άρα και ταχύτερο και το περιβάλλον επικοινωνίας και εισαγωγής των δεδομένων είναι πιο φιλικό και κατανοητό προς τον χρήστη.

Ακολουθεί η ανάλυση του κώδικα χωρισμένος σε τμήματα για την καλύτερη κατανόησή του. Ολόκληρο το πρόγραμμα βρίσκεται στο παράρτημα.

Τμήμα 1^ο:

Εισάγονται οι απαραίτητες βιβλιοθήκες εντολών για την δημιουργία του κώδικα. Επίσης, δηλώνονται οι μεταβλητές που θα χρησιμοποιηθούν στο πρόγραμμα και δίνεται αρχική τιμή σε αυτές που χρειάζεται.


```

#include <mega16.h>
#include <stdio.h>
#include <stdlib.h>
#define saft 2

unsigned char k=0;
unsigned int Fr=0,D=0,time;
float usec;

```

Τμήμα 2^ο:

Από εδώ ξεκινάει ο κώδικας. Γίνεται η αρχικοποίηση του μικροελεγκτή και δηλώνονται οι θύρες εισόδων/εξόδων που θα χρησιμοποιηθούν. Για την συγκεκριμένη εφαρμογή, δηλώνεται ως έξοδος η θύρα D καθώς είναι αυτή που περιέχει τους ακροδέκτες του μικροελεγκτή στους οποίους παρέχονται τα δύο σήματα PWM. Έπειτα, ορίζονται οι καταχωρητές που πρέπει για την σειριακή επικοινωνία του Η/Υ με τον μικροελεγκτή.

```

void main(void)
{
    char dutyStr[3],outFrStr[6];
    PORTD=0x00;
    DDRD=0xFF;

    UBRRH=0x00;
    UBRRL=0x19;
    UCSRB=0x18;
    printf("\n\r George Tsagarakis Final Project \n");
}

```

Τμήμα 3^ο:

Εδώ γίνεται η εισαγωγή των δεδομένων λειτουργίας, η συχνότητα εξόδου σε Hz και το Duty Cycle σε ποσοστό επί τις εκατό. Μετά το ανάλογο μήνυμα, εισάγεται η επιθυμητή τιμή μέσα στα όρια που δίνονται. Στην περίπτωση που η τιμή που θα δοθεί υπερβαίνει τα όρια, τότε δεν την λαμβάνει υπόψη και περιμένει την σωστή τιμή. Αυτό επιτυγχάνεται από τους δύο βρόχους ελέγχου.

```

while (1)
{
    do
    {
        printf("\n\r Output Frequency (50-15000 Hz):");
        scanf("%i",&Fr);
    }
    while ((Fr<50)|| (Fr>15000));
}

```

```

do
{
    printf("\n\r Duty cycle (2-49):");
    scanf("%d",&D);
}
while ((D<2) || (D>49));

```

Τμήμα 4^ο:

Στο τμήμα αυτό του κώδικα, εφόσον έχουν εισαχθεί τα απαιτούμενα δεδομένα και οι τιμές βρίσκονται εντός ορίων, ενεργοποιείται η έξοδος των σημάτων. Μετατρέπεται η τιμή της συχνότητας σε χρόνο και μηδενίζεται ο μετρητής του χρονιστή 1 από προηγούμενη λειτουργία. Για να επιτευχθεί όσο γίνεται μικρότερο σφάλμα στην τιμή της συχνότητας που δίδεται σε σχέση με αυτήν που δημιουργείται στην πράξη, γίνεται ο παρακάτω διαχωρισμός:

- Αν η επιθυμητή τιμή της συχνότητας είναι μικρότερη των 1000 kHz, τότε ορίζεται ως συχνότητα του σήματος του ρολογιού το 1 MHz. Αυτό ουσιαστικά σημαίνει ότι κάθε μοναδιαία αύξηση του χρονιστή από τις 65535 ισοδυναμεί με 1 μ sec.
- Στην περίπτωση που η τιμή της συχνότητας είναι μεγαλύτερη των 1000 kHz, τότε η συχνότητα του σήματος του ρολογιού ορίζεται στα 8 MHz, άρα κάθε μοναδιαία αύξηση του χρονιστή πλέον ισοδυναμεί με 0,125 μ sec.

Αυτό έχει ως αποτέλεσμα να μειώνει το σφάλμα κατά 8 φορές.

Τέλος, επιστρέφεται στην οθόνη η πραγματική τιμή της συχνότητας εξόδου και του ποσοστού αγωγής για να γίνεται πάντα έλεγχος για την σωστή λειτουργία του κώδικα αλλά και για να είναι εμφανής η επίδραση της στρογγυλοποίησης των τιμών στο τελικό αποτέλεσμα.

```

usec=1e6/(float)Fr;

TCNT1=0x00;
if (Fr<1001)
{
    ICR1=(unsigned int)usec;
    OCR1B=D*(unsigned int)(usec/100.0) + saft;
    OCR1A=OCR1B - 2*saft;
    TCCR1A=0b10110010;
    TCCR1B=0b00011010;
    printf("\n\r Fr= %f",1e6/(float)ICR1);
    printf("\n\r D= %d", (OCR1B - saft) / (unsigned int)(usec/100.0));
}
else
{
    ICR1=(unsigned int)(usec*8);
    OCR1B=D*(unsigned int)(8*usec/100.0) + saft;
}

```

```

OCR1A=OCR1B - 2*saft;
TCCR1A=0b10110010;
TCCR1B=0b00011001;
printf("\n\r Fr= %f",8*1e6/(float)ICR1);
printf("\n\r D= %d", (OCR1B - saft) / (unsigned int)(8*usec/100.0));
}

printf("\n\r period (usec) = %f",usec);

```

Τμήμα 5^ο:

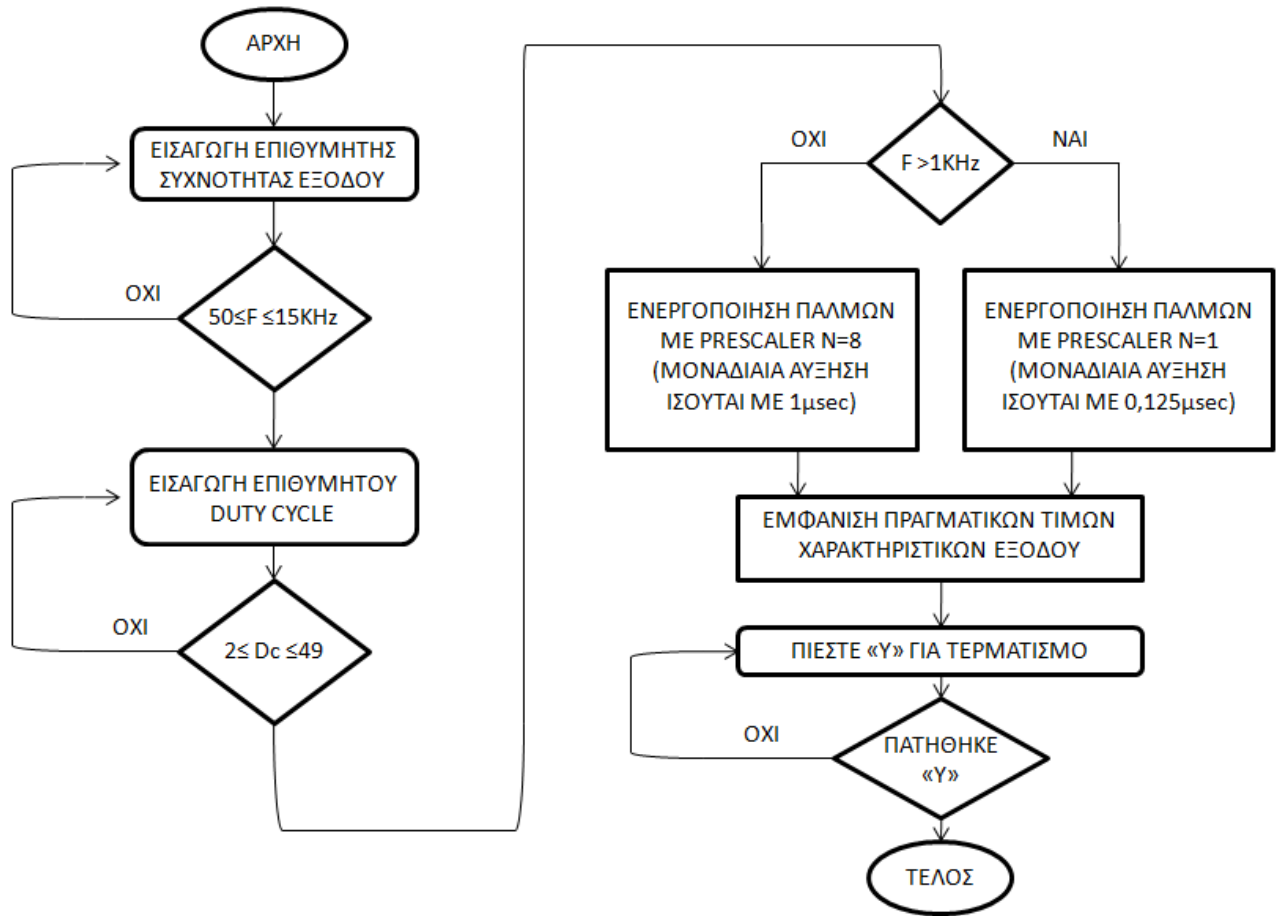
Το τελευταίο τμήμα αποτελεί την ασφαλιστική δικλίδα για την παραγωγή των παλμοσειρών. Αφού πλέον έχει ενεργοποιηθεί η γεννήτρια παλμών, ο χρήστης ρωτάται εάν επιθυμεί να σταματήσει ο παλμός. Δεν μπορεί να γίνει καμία αλλαγή στα δεδομένα και στην έξοδο εάν δεν σταματήσει ο παλμός. Αυτό είναι χρήσιμο διότι αποκλείει την περίπτωση κάποιου λάθους και να γίνει οποιαδήποτε αλλαγή που ίσως θα δημιουργούσε πρόβλημα στους παλμούς ελέγχου, άρα στο κύκλωμα ισχύος και εν τέλει το φορτίο.

```

printf("\n Press 'Y' to stop the PWM generation \r");
do
    k=getchar();
while((k!='Y') && (k!='y'));
TCCR1A=0x00;
TCCR1B=0x00;

```

Ακολουθεί το διάγραμμα ροής του κώδικα:



Εικόνα 6 Διάγραμμα ροής του κώδικα

2.4 Κύκλωμα Ισχύος

2.4.1 Προϋποθέσεις οδήγησης πύλης

Οι προϋποθέσεις για την οδήγηση της πύλης MOSFET ισχύος ή IGBT που χρησιμοποιείται ως διακοπτικό στοιχείο από την πλευρά της τροφοδοσίας (το drain του MOSFET συνδέεται στην τροφοδοσία) μπορούν να συνοψιστούν στα ακόλουθα:

- Η τάση της πύλης πρέπει να είναι 10-15V υψηλότερη από την τάση της πηγής (λέγοντας πηγή αναφέρεται στο source του MOSFET)
- Η τάση της πύλης πρέπει να είναι ελεγχόμενο από κάποιο σήμα, αναφερόμενο στη γείωση.
- Η ισχύς που απορροφάται από το κύκλωμα ελέγχου της πύλης δεν θα πρέπει να επηρεάζει σημαντικά την συνολική απόδοση.

2.4.2 Τεχνική Bootstrap

Για να καταφέρει ο οδηγός να οδηγήσει τα δύο MOSFET πρέπει να δημιουργηθεί ένας δεύτερος ουδέτερος, μια δεύτερη τάση αναφοράς για το στοιχείο του οποίου το drain βρίσκεται στην πλευρά της τροφοδοσίας (High – side). Η τεχνική αυτή ονομάζεται τεχνική Bootstrap.

Για να δημιουργηθεί αυτός ο δεύτερος «ουδέτερος», πρέπει να συνδεθεί μια απομονωμένη τροφοδοσία στους ακροδέκτες V_B και V_S . Με αυτόν τον τρόπο το High–side κανάλι θα ανοιγοκλείνει την έξοδο, μεταξύ την θετική τιμή αυτής της τροφοδοσίας και τον ουδέτερό της, σύμφωνα με το σήμα ελέγχου στην είσοδο. Την θέση της τροφοδοσίας αυτής, την παίρνει ένας πυκνωτής, ο οποίος τροφοδοτείται με 15V μέσω μιας διόδου κατά την διάρκεια που το στοιχείο δεν άγει (δεδομένου ότι το V_S πηγαίνει στον ουδέτερο). Μόλις φορτιστεί πλήρως ο πυκνωτής, η ισχύς που βλέπει η πύλη του στοιχείου είναι πολύ μικρή οδηγώντας το MOSFET να κλείσει. Έπειτα, ο πυκνωτής εκφορτίζει μέσω της αγωγής του κάτω στοιχείου (Low-side).

Η επιλογή των στοιχείων Bootstrap είναι αρκετά σημαντική για την λειτουργία του κυκλώματος. Τα μόνα εξωτερικά στοιχεία τα οποία χρειάζονται απαραίτητως για μία απλή εφαρμογή με χρήση της διαμόρφωσης του εύρους του παλμού (PWM) είναι η διάδος και ο πυκνωτής.

Ο πυκνωτής βλέπει μόνο την τάση τροφοδοσίας. Γι' αυτό χρειάζονται επιτόπιοι πυκνωτές συνδεδεμένοι στην τροφοδοσία για την αντιστάθμιση της αυτεπαγωγής των γραμμών τροφοδοσίας ώστε να είναι φιλτραρισμένη όσο γίνεται καλύτερα. Η χωρητικότητα του πυκνωτή Bootstrap ορίζεται από τα παρακάτω:

- Την τάση που απαιτείται για την ενεργοποίηση της πύλης του MOSFET
- I_{QBS} – ρεύμα διαρροής του κυκλώματος οδήγησης του στοιχείου του κλάδου που βρίσκεται στην πλευρά της τροφοδοσίας
- Τα ρεύματα από την εναλλαγή του επιπέδου τάσης του κυκλώματος ελέγχου
- Το ρεύμα διαρροής μεταξύ πύλης και πηγής (gate – source) του MOSFET
- Το ρεύμα διαρροής του πυκνωτή Bootstrap, όταν πρόκειται για ηλεκτρολυτικό πυκνωτή. Σε περίπτωση χρήσης άλλου τύπου πυκνωτή, μπορεί να αγνοηθεί.

Η ελάχιστη τιμή του πυκνωτή μπορεί να υπολογιστεί από τον παρακάτω τύπο

$$C \geq \frac{2 \left[2Q_g + \frac{I_{qbs(max)}}{f} + Q_{ls} + \frac{I_{Cbs(leak)}}{f} \right]}{V_{cc} - V_f - V_{ls} - V_{Min}}$$

όπου:

Q_g = το φορτίο της πύλης του FET που βρίσκεται στην πλευρά της τροφοδοσίας

f = συχνότητα λειτουργίας

$I_{Cbs(leak)}$ = το ρεύμα διαρροής του πυκνωτή Bootstrap

$I_{qbs(max)}$ = μέγιστο ρεύμα διαρροής του εσωτερικού κυκλώματος Bootstrap

V_{cc} = Τάση τροφοδοσίας

V_f = πτώση τάσης στην διόδο Bootstrap

V_{LS} = πτώση τάσης στο FET που βρίσκεται στην πλευρά της γείωσης

V_{Min} = ελάχιστη τάση ανάμεσα στα άκρα του οδηγού V_B και V_S

Q_{ls} = φορτίο εναλλαγής λογικής στάθμης ανά κύκλο φόρτισης και εκφόρτισης (τυπικά 5nC για MOSFET με μέγιστη τάση λειτουργίας 500V/600V, σαν αυτά που χρησιμοποιούνται σε αυτήν την πτυχιακή.

Από την εφαρμογή του παραπάνω τύπου για διάφορες συχνότητες λειτουργίας και με δεδομένα αυτά που φαίνονται παρακάτω, προκύπτουν οι παρακάτω τιμές του πυκνωτή Bootstrap:

$$Q_g = 210\text{nC}$$

$$I_{qbs(max)} = 125\mu\text{A}$$

$$V_{cc} = 15\text{V}$$

$$V_f = 1.2\text{V}$$

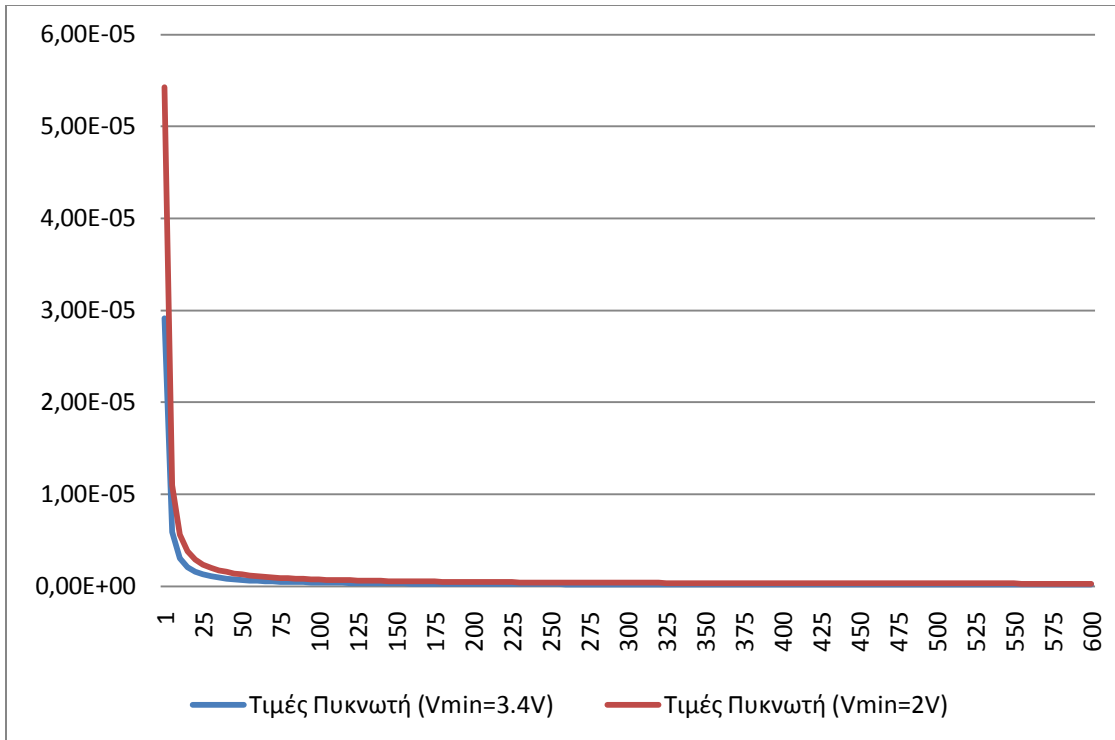
$$V_{LS} = 1.8\text{V}$$

$$V_{Min} = 3.4\text{V}$$

$$Q_{ls} = 5\text{nC}$$

προκύπτουν οι παρακάτω τιμές του πυκνωτή Bootstrap:

f	C (3,4V)	C (2V)	f	C (3,4V)	C (2V)	f	C (3,4V)	C (2V)	f	C (3,4V)	C (2V)
1	2,9E-05	2,5E-05	150	2,9E-07	2,5E-07	300	2E-07	1,7E-07	450	1,6E-07	1,4E-07
5	5,9E-06	5,1E-06	155	2,9E-07	2,5E-07	305	1,9E-07	1,7E-07	455	1,6E-07	1,4E-07
10	3E-06	2,6E-06	160	2,8E-07	2,4E-07	310	1,9E-07	1,7E-07	460	1,6E-07	1,4E-07
15	2E-06	1,8E-06	165	2,8E-07	2,4E-07	315	1,9E-07	1,6E-07	465	1,6E-07	1,4E-07
20	1,6E-06	1,3E-06	170	2,7E-07	2,3E-07	320	1,9E-07	1,6E-07	470	1,6E-07	1,4E-07
25	1,3E-06	1,1E-06	175	2,6E-07	2,3E-07	325	1,9E-07	1,6E-07	475	1,6E-07	1,4E-07
30	1,1E-06	9,2E-07	180	2,6E-07	2,2E-07	330	1,9E-07	1,6E-07	480	1,6E-07	1,4E-07
35	9,3E-07	8E-07	185	2,6E-07	2,2E-07	335	1,9E-07	1,6E-07	485	1,6E-07	1,4E-07
40	8,3E-07	7,1E-07	190	2,5E-07	2,2E-07	340	1,8E-07	1,6E-07	490	1,6E-07	1,4E-07
45	7,4E-07	6,4E-07	195	2,5E-07	2,1E-07	345	1,8E-07	1,6E-07	495	1,6E-07	1,4E-07
50	6,8E-07	5,9E-07	200	2,4E-07	2,1E-07	350	1,8E-07	1,6E-07	500	1,6E-07	1,4E-07
55	6,3E-07	5,4E-07	205	2,4E-07	2,1E-07	355	1,8E-07	1,6E-07	505	1,6E-07	1,3E-07
60	5,8E-07	5E-07	210	2,4E-07	2E-07	360	1,8E-07	1,5E-07	510	1,6E-07	1,3E-07
65	5,5E-07	4,7E-07	215	2,3E-07	2E-07	365	1,8E-07	1,5E-07	515	1,6E-07	1,3E-07
70	5,1E-07	4,4E-07	220	2,3E-07	2E-07	370	1,8E-07	1,5E-07	520	1,5E-07	1,3E-07
75	4,9E-07	4,2E-07	225	2,3E-07	2E-07	375	1,8E-07	1,5E-07	525	1,5E-07	1,3E-07
80	4,6E-07	4E-07	230	2,3E-07	1,9E-07	380	1,8E-07	1,5E-07	530	1,5E-07	1,3E-07
85	4,4E-07	3,8E-07	235	2,2E-07	1,9E-07	385	1,7E-07	1,5E-07	535	1,5E-07	1,3E-07
90	4,2E-07	3,6E-07	240	2,2E-07	1,9E-07	390	1,7E-07	1,5E-07	540	1,5E-07	1,3E-07
95	4E-07	3,5E-07	245	2,2E-07	1,9E-07	395	1,7E-07	1,5E-07	545	1,5E-07	1,3E-07
100	3,9E-07	3,4E-07	250	2,2E-07	1,9E-07	400	1,7E-07	1,5E-07	550	1,5E-07	1,3E-07
105	3,8E-07	3,2E-07	255	2,1E-07	1,8E-07	405	1,7E-07	1,5E-07	555	1,5E-07	1,3E-07
110	3,6E-07	3,1E-07	260	2,1E-07	1,8E-07	410	1,7E-07	1,5E-07	560	1,5E-07	1,3E-07
115	3,5E-07	3E-07	265	2,1E-07	1,8E-07	415	1,7E-07	1,5E-07	565	1,5E-07	1,3E-07
120	3,4E-07	2,9E-07	270	2,1E-07	1,8E-07	420	1,7E-07	1,4E-07	570	1,5E-07	1,3E-07
125	3,3E-07	2,9E-07	275	2E-07	1,8E-07	425	1,7E-07	1,4E-07	575	1,5E-07	1,3E-07
130	3,2E-07	2,8E-07	280	2E-07	1,7E-07	430	1,7E-07	1,4E-07	580	1,5E-07	1,3E-07
135	3,1E-07	2,7E-07	285	2E-07	1,7E-07	435	1,7E-07	1,4E-07	585	1,5E-07	1,3E-07
140	3,1E-07	2,6E-07	290	2E-07	1,7E-07	440	1,6E-07	1,4E-07	590	1,5E-07	1,3E-07
145	3E-07	2,6E-07	295	2E-07	1,7E-07	445	1,6E-07	1,4E-07	595	1,5E-07	1,3E-07
									600	1,5E-07	1,3E-07



Εικόνα 7 Τιμές πυκνωτή Bootstrap ανάλογα με την συχνότητα

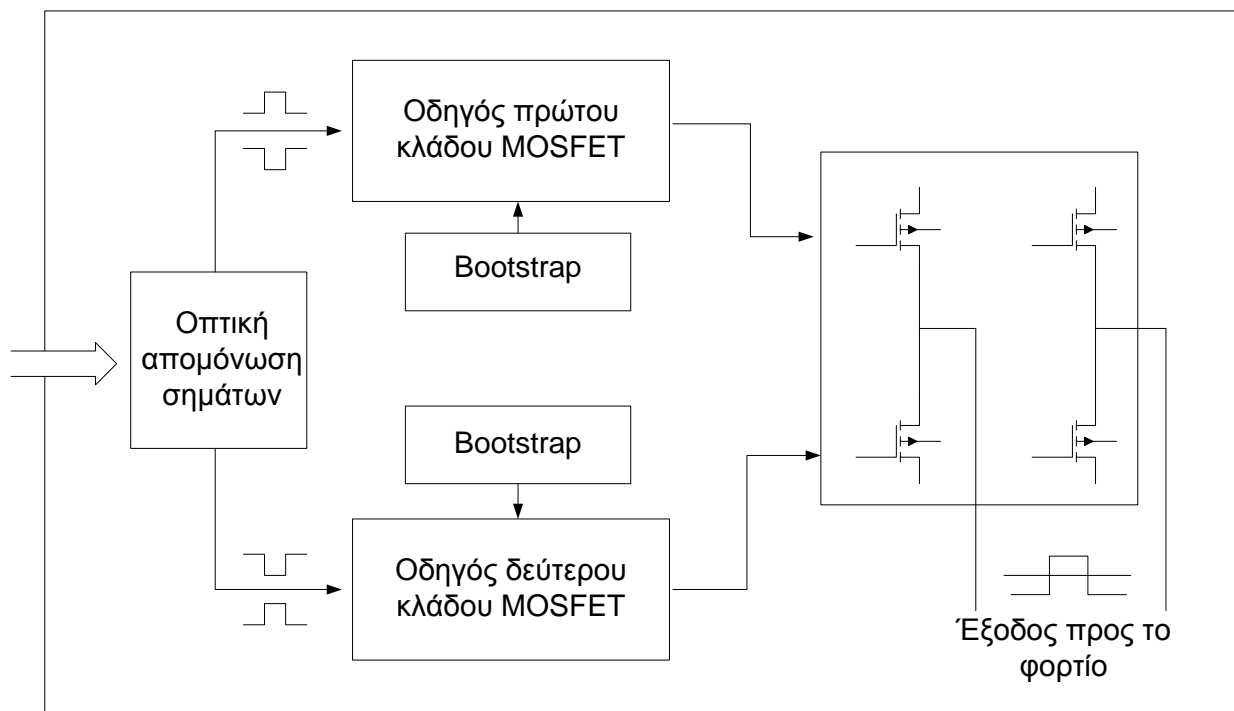
Η τιμή του πυκνωτή που επιλέχθηκε τελικά είναι 22μF διότι είναι η μέση τιμή που προκύπτει από το παραπάνω γράφημα για συχνότητες πάνω από 70-75 Hz.

Όσο για την διάοδο Bootstrap, για την επιλογή της πρέπει να επιλεγθεί έτσι ώστε να μπορεί να μπλοκάρει την τάση που βλέπει για το εκάστοτε κύκλωμα. Η τιμή του ρεύματος της διόδου είναι προϊόν της συχνότητας διακοπής του φορτίου της πύλης του FET.

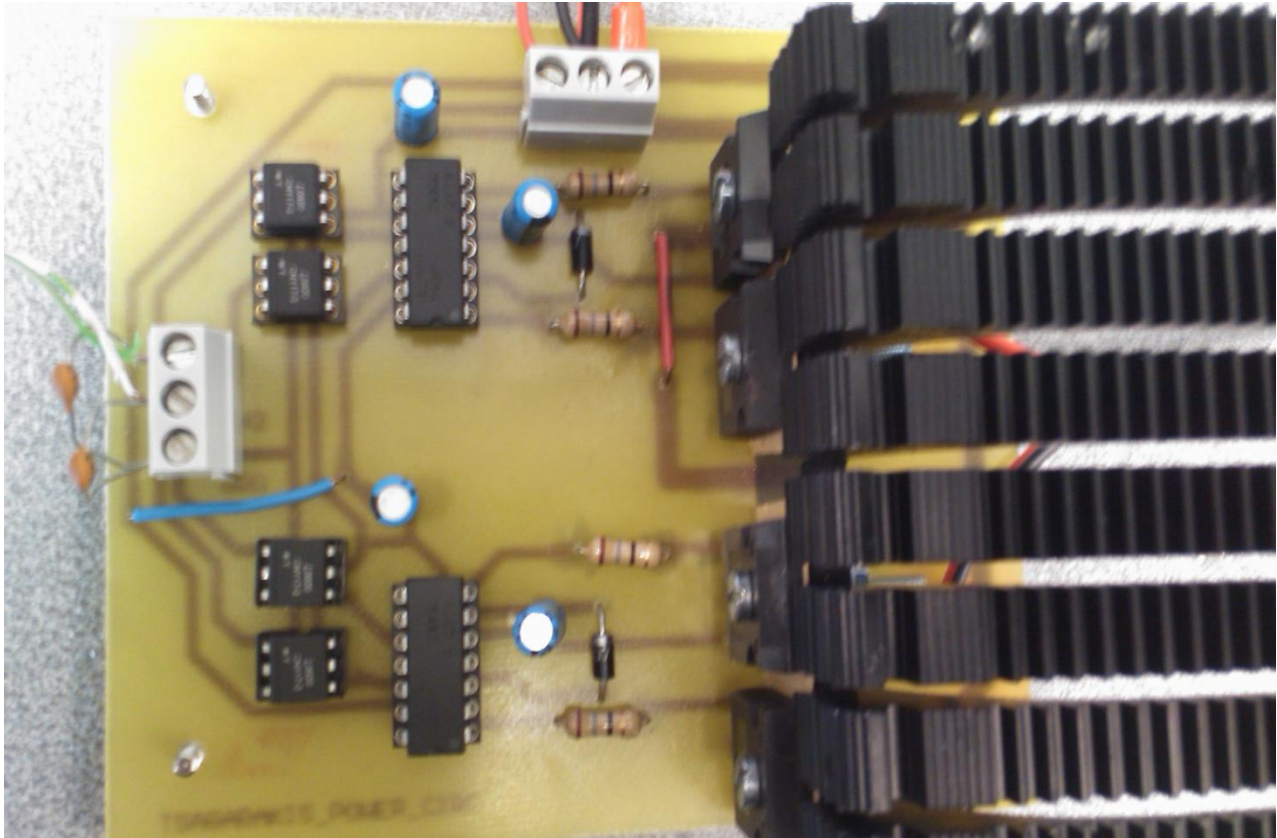
2.4.3 Πλακέτα κυκλώματος ισχύος

Στο κύκλωμα ισχύος, το βασικότερο τμήμα της διάταξης, υπάρχει η πλήρης γέφυρα, H – Bridge, και οι οδηγοί των MOSFET. Αποτελείται από δύο πανομοιότυπα κυκλώματα, όπου το κάθε ένα από αυτά είναι υπεύθυνο για την οδήγηση του κάθε κλάδου ξεχωριστά. Τα δομικά στοιχεία του κάθε ενός από αυτά, είναι τα ακόλουθα:

- Είσοδος των δύο παλμών με ηλεκτρική απομόνωση μέσω οπτο-απομονωτών (optocouplers) τύπου CNY17-3. Ο σκοπός της χρήσης τους, εκτός της απομόνωσης, είναι και για την αύξηση του πλάτους του παλμού από τα 5V στα 15V. Με αυτόν τον τρόπο επιτυγχάνεται η σωστή σύνδεση της εξόδου του μικροελεγκτή, το πλάτος της οποίας είναι 5V, με το σήμα εισόδου του οδηγού IR2110, το οποίο πρέπει να έχει πλάτος τουλάχιστον 9,5V.
- Ο οδηγός IR2110 και το κύκλωμα Bootstrap. Ο κάθε οδηγός ελέγχει τον ένα κλάδο από τους δύο που περιλαμβάνει τα δύο MOSFET τύπου IRFP460.
- Τα δύο MOSFET συνδεδεμένα σε σειρά και η έξοδος προς το φορτίο.



Εικόνα 8 Block διάγραμμα κυκλώματος ισχύος



Εικόνα 9 Το κύκλωμα ισχύος

Η διαδρομή που κάνουν τα δύο σήματα ελέγχου μέσα στο κύκλωμα είναι αρκετά απλή. Αρχικά τα δύο σήματα, αφού φιλτραριστούν, εισέρχονται στον οπτικό απομονωτή. Εκεί, όπως περιγράφεται και παραπάνω, το πλάτος της τάσης του σήματος αυξάνεται από τα 5 στα 15 V έτσι ώστε να μπορέσει να ο οδηγός να αντιληφθεί το σήμα στην είσοδό του. Έπειτα, τα σήματα εισέρχονται στον οδηγό. Εκεί, με την βοήθεια του Bootstrap πυκνωτή, δημιουργείται ένα κύκλωμα δεύτερο με ξεχωριστό ουδέτερο για την οδήγηση του πάνω MOSFET. Έτσι δημιουργούνται δύο ανεξάρτητα σήματα τα οποία από τις αντίστοιχες εξόδους του ολοκληρωμένου κυκλώματος οδηγούνται μέσω αντιστάσεων στις πύλες των MOSFET.

Την ίδια λειτουργία έχει και το κύκλωμα για τον δεύτερο κλάδο. Η μόνη διαφορά, όπως φαίνεται και παραπάνω στο διάγραμμα βαθμίδων του κυκλώματος, οι παλμοί πηγαίνουν ανάποδα στον κάτω οδηγό. Έτσι τα MOSFET θα λειτουργούν ανά ζεύγη χιαστεί.

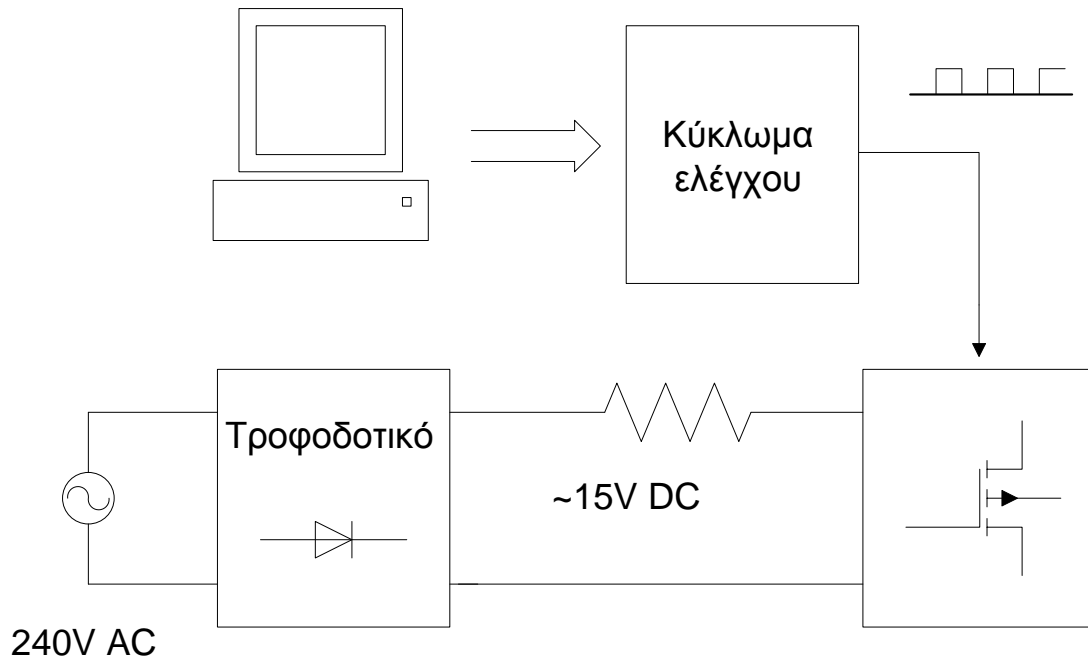
ΚΕΦΑΛΑΙΟ 3

ΔΟΚΙΜΗ ΤΩΝ ΔΙΑΤΑΞΕΩΝ ΚΑΙ ΜΕΤΡΗΣΕΙΣ

3.1 Δοκιμή Διατάξεων

3.1.1 Κύκλωμα δοκιμής και ελέγχου διατάξεων

Για την δοκιμή του κυκλώματος ισχύος αλλά και του κυκλώματος ελέγχου πραγματοποιήθηκε το κύκλωμα που φαίνεται παρακάτω:



Εικόνα 1 Σχηματική απεικόνιση συνδεσμολογίας δοκιμής

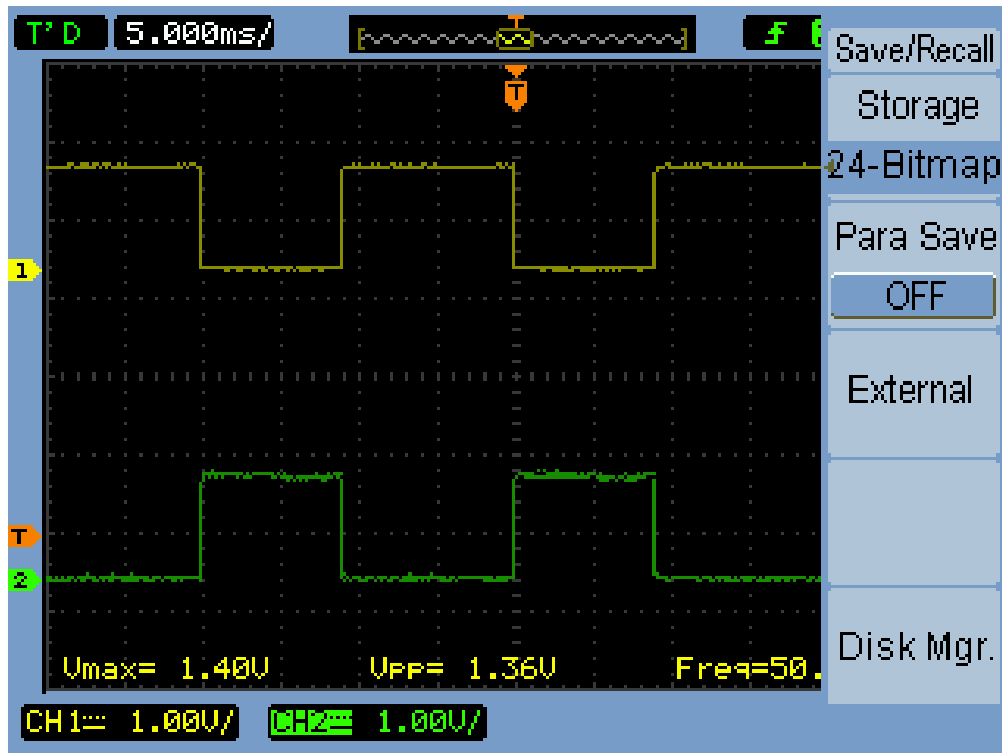
Η τροφοδοσία της διάταξης έγινε αρχικά με τροφοδοτικό με ελεγχόμενο ρεύμα και τάση εξόδου. Με αυτό τον τρόπο, η αρχική τάση εισόδου ήταν αρκετά μειωμένη αναφορικά με την ονομαστική τάση λειτουργίας. Έτσι, αντί την ανορθωμένη τάση δικτύου που ανέρχεται στα 320V περίπου, χρησιμοποιήθηκε η πολύ χαμηλή τάση των 14V. Επιπλέον, σε σειρά με το τροφοδοτικό και τα MOSFET τοποθετήθηκε μία αντίσταση μικρής τιμής, 50Ω, μεγάλης ισχύος, 200W. Με αυτήν την αντίσταση μειώθηκε αισθητά το ρεύμα για να μειωθεί η καταπόνηση των MOSFET, καθώς ήταν η πρώτες δοκιμές και δεν ήταν γνωστή οι συμπεριφορά τους με αυτό το κύκλωμα. Το ρεύμα που δόθηκε στο κύκλωμα ήταν περίπου 50mA.

Από τον μικροελεγκτή, οι παλμοί που δόθηκαν αρχικά ήταν τέτοιοι ώστε να εξασφαλιστεί η σωστή λειτουργία του αντιστροφέα. Ο αντιστροφέας λειτούργησε σε πολύ χαμηλά επίπεδα καθώς δεν ήταν σωστό να λειτουργήσει στα όριά του. Έτσι, επιλέχθηκε η συχνότητα εξόδου να ρυθμιστεί στα 50Hz και ο λόγος του χρόνου λειτουργίας προς την περίοδο, Duty cycle, ορίστηκε στο 25%, έπειτα στο 40% και τέλος στο 50%.

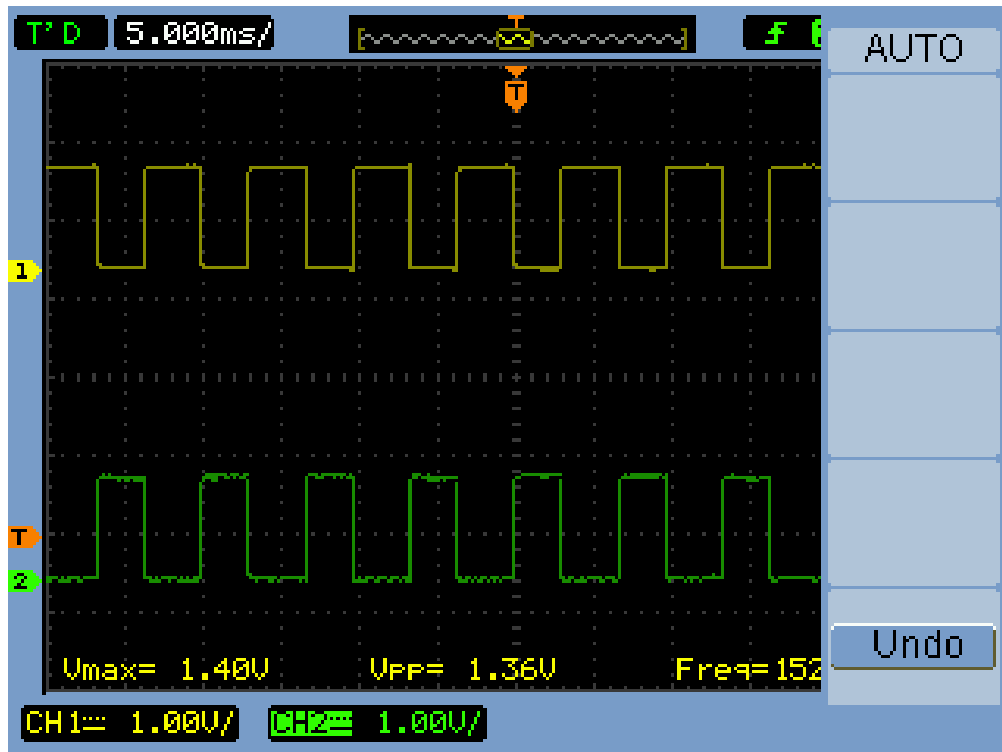
3.1.2 Μετρήσεις δοκιμών

Οι παρακάτω γραφικές αφορούν την έξοδο του μικροελεγκτή. Πρόκειται για παλμοσειρές που δημιουργήθηκαν με διάφορες τιμές συχνότητας. Όπως φαίνεται στα γραφήματα, η παλμοσειρά με το κίτρινο χρώμα είναι η ακριβώς αντίθετη με αυτήν με το πράσινο χρώμα. Αυτό, προφανώς συμβαίνει για να επιτευχθεί η μη λειτουργία του ενός ζεύγους ταυτόχρονα με το άλλο.

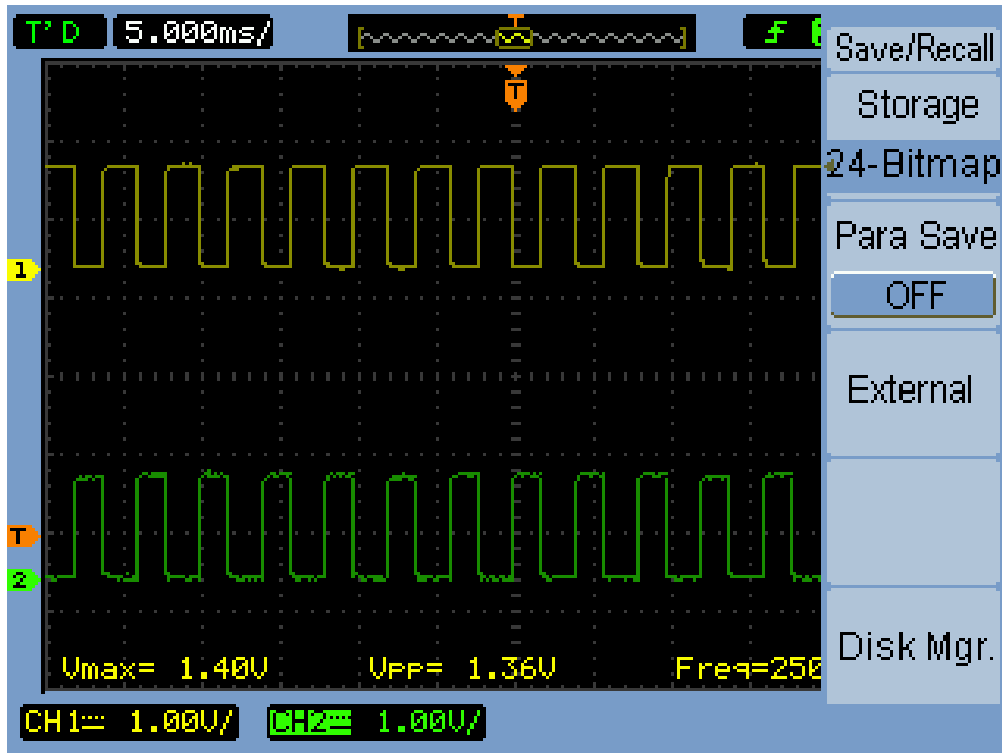
Οι συχνότητες που επιλέχθηκαν ήταν τα 50Hz και οι περιττές αρμονικές συχνότητες: 150Hz, 250Hz, 350Hz, 450Hz, 550Hz, 650Hz, 750Hz. Επιπλέον, εξετάστηκαν και δύο ακόμα μεγαλύτερης τιμής συχνότητες, στο 1kHz και 2 kHz, για την επαλήθευση της σωστής λειτουργίας του προγράμματος του μικροεπεξεργαστή.



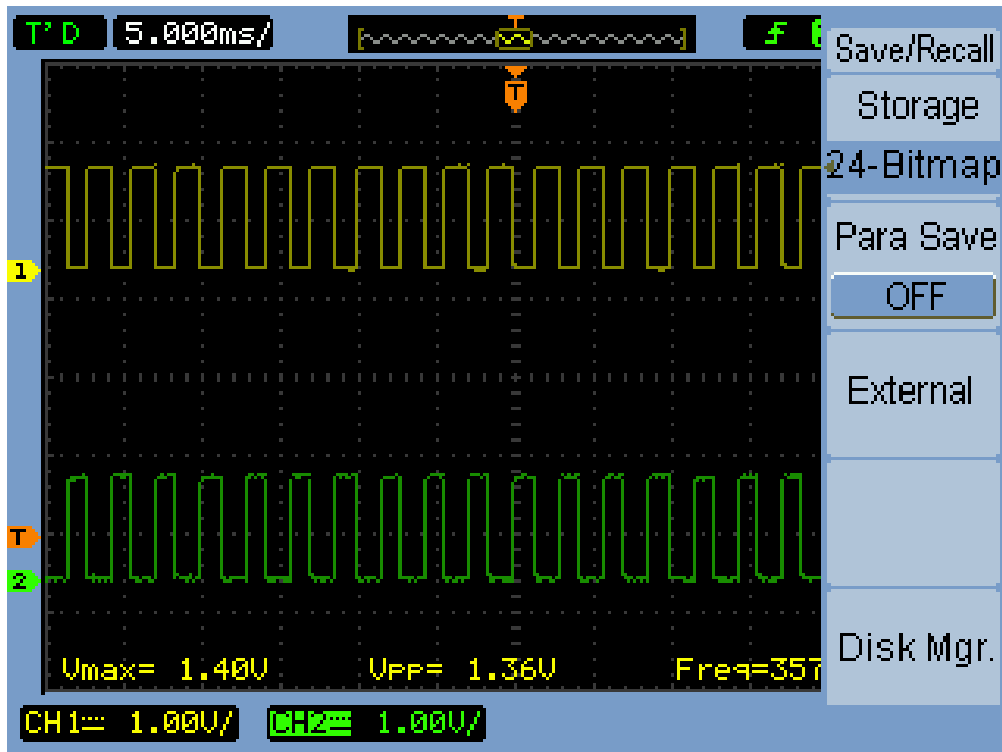
Εικόνα 2 50Hz



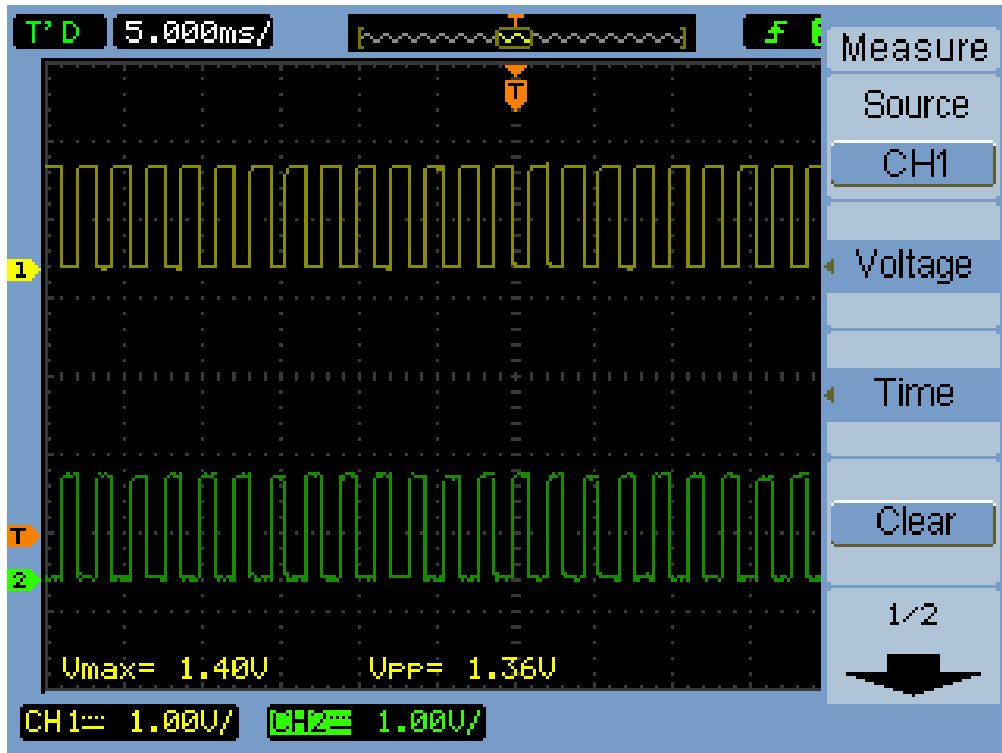
Εικόνα 3 150Hz



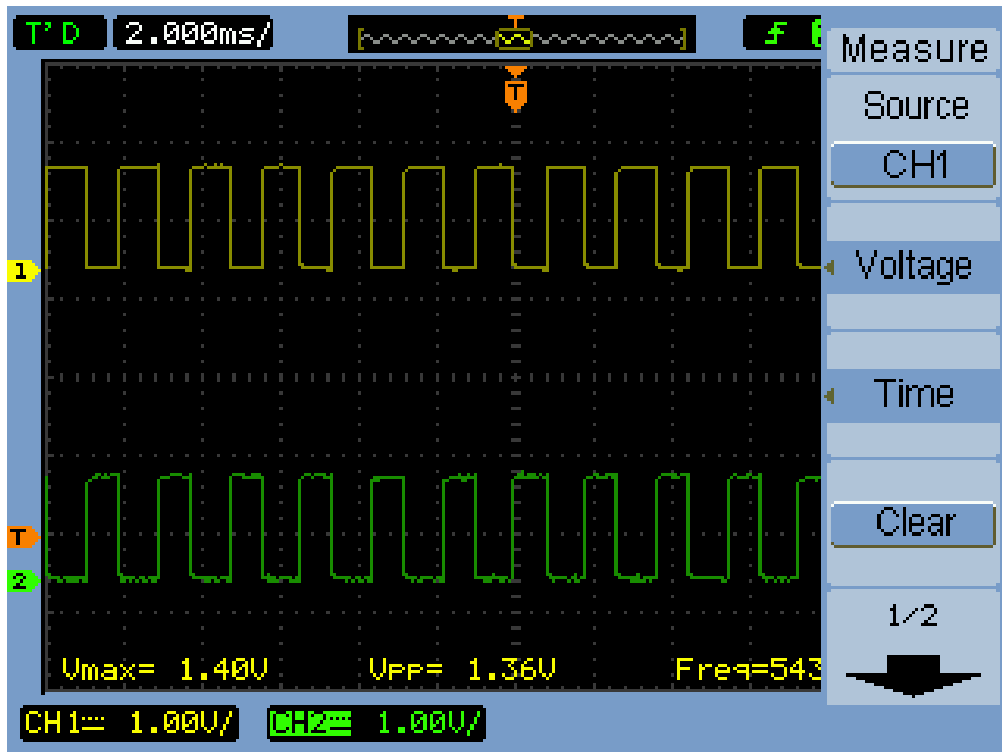
Εικόνα 4 250Hz



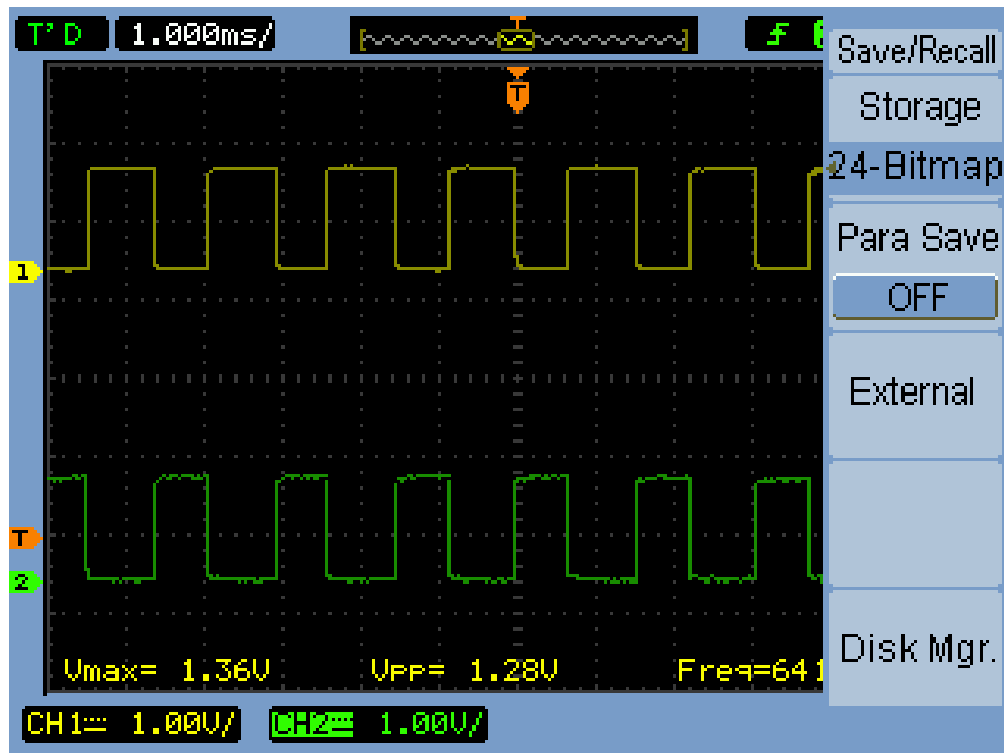
Εικόνα 5 350Hz



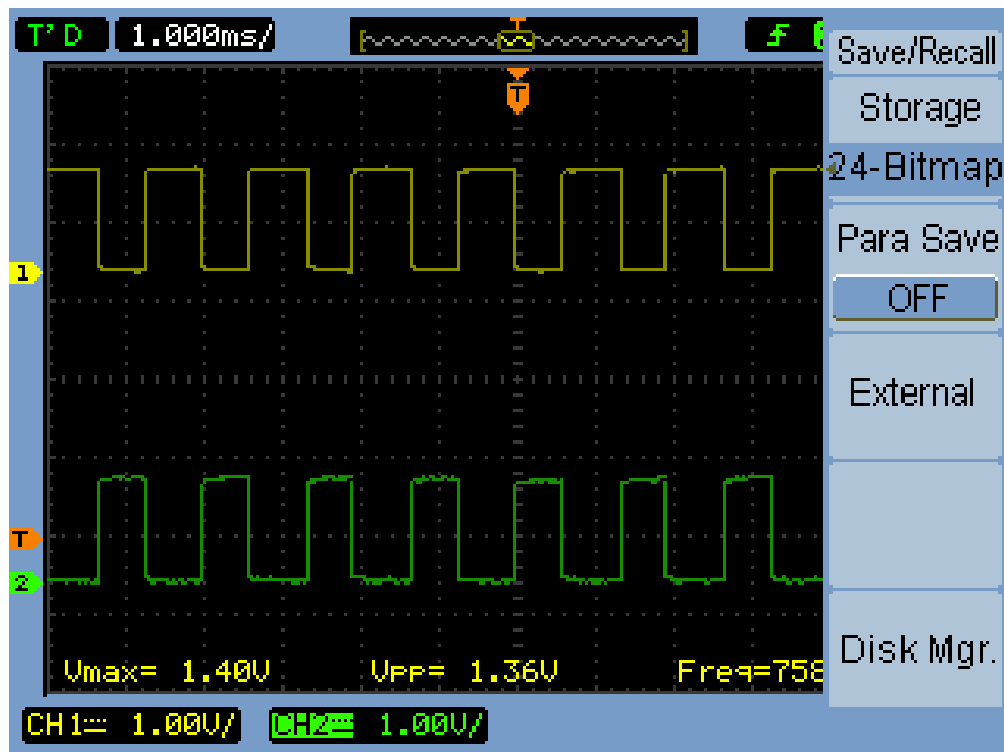
Εικόνα 6 450Hz



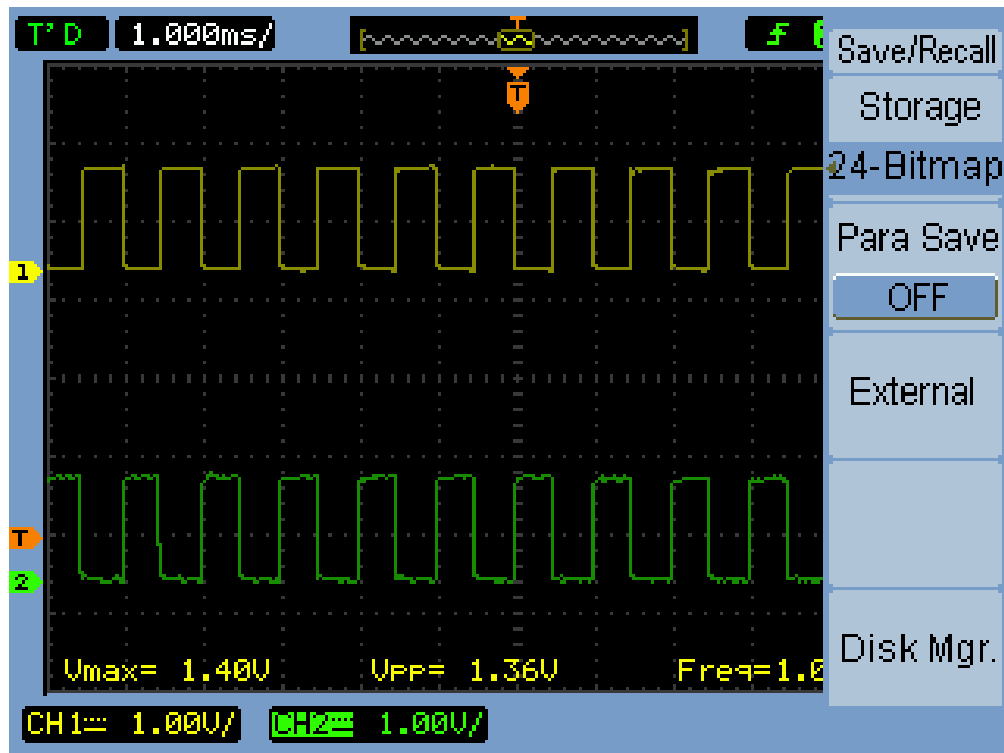
Εικόνα 7 550Hz



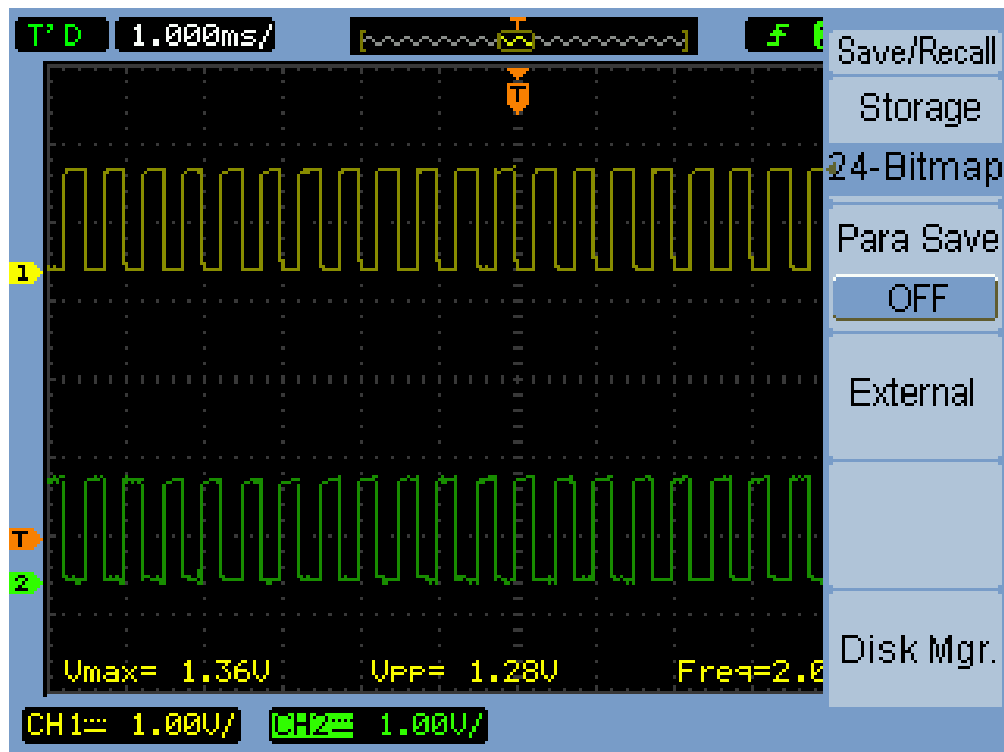
Εικόνα 8 650Hz



Εικόνα 9 750Hz

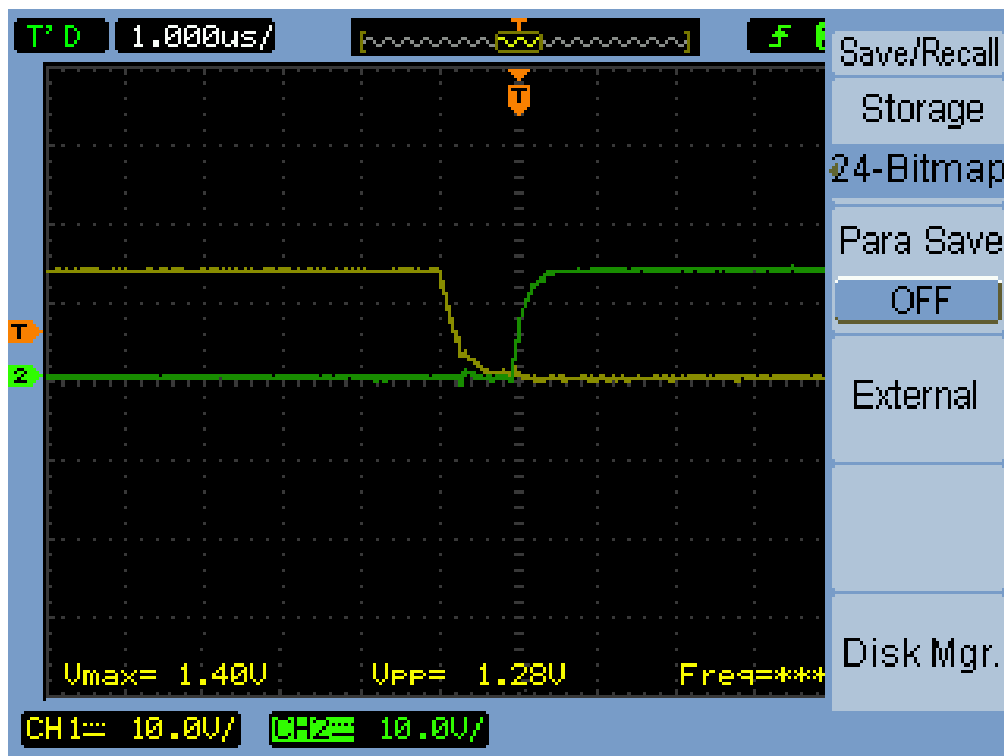


Εικόνα 10 1kHz



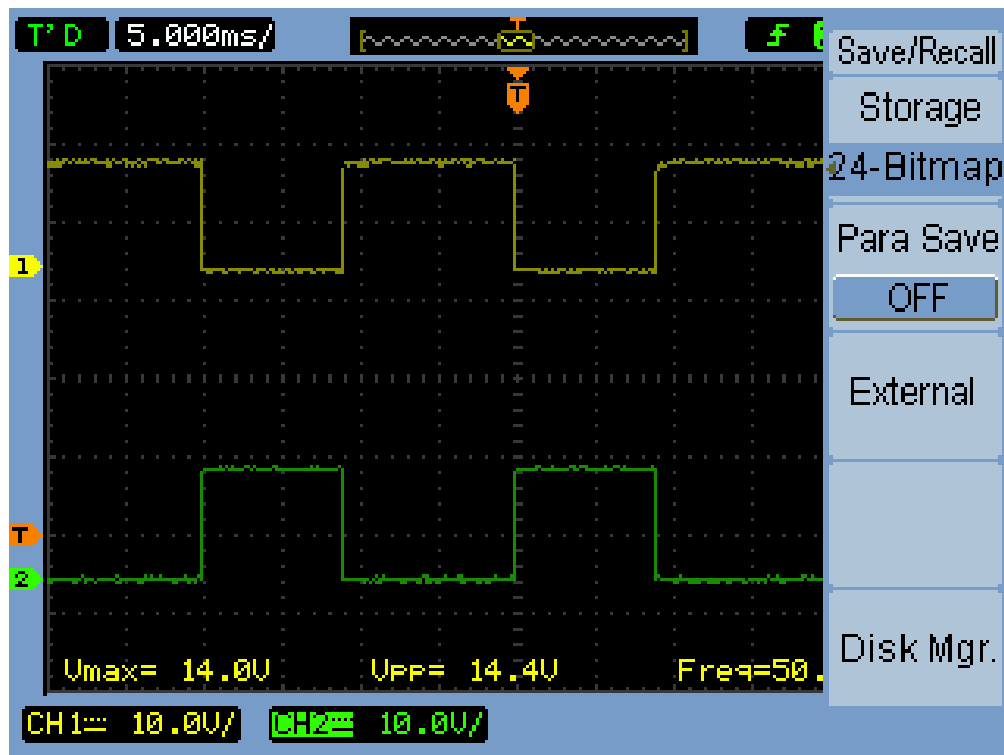
Εικόνα 11 2Kz

Η επόμενη φωτογραφία αποδεικνύει αυτό που αναφέρεται στην αρχή, ότι οι δύο παλμοί δεν ταυτίζονται σε κάποιο σημείο:

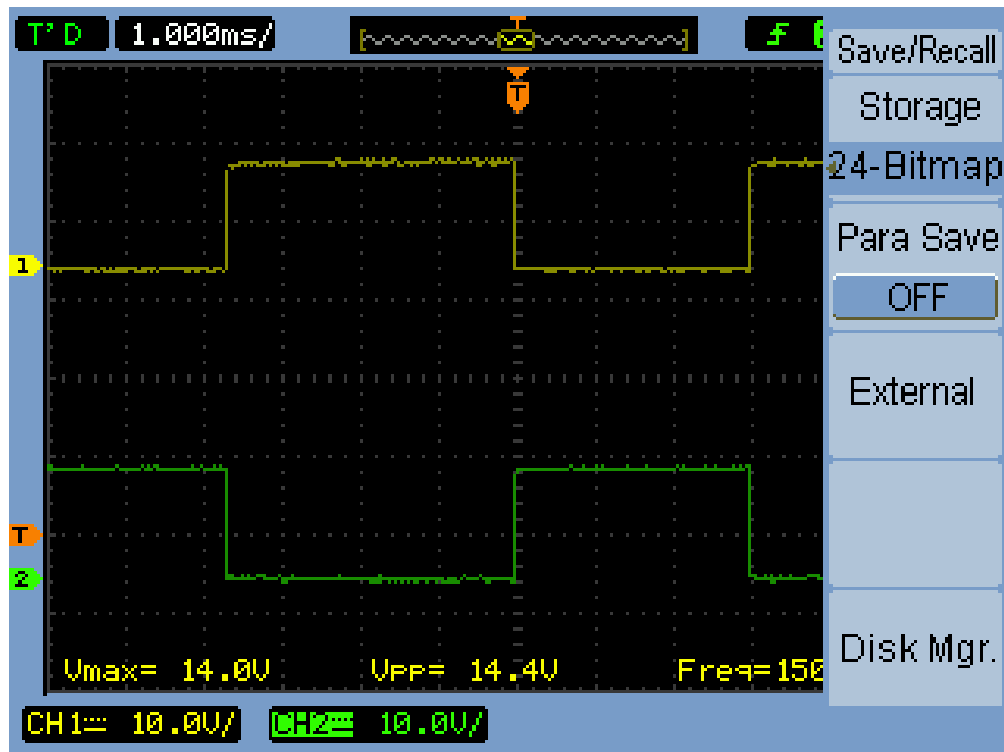


Εικόνα 12 Χρονικό διάστημα μεταξύ της λειτουργίας των δυο παλμών

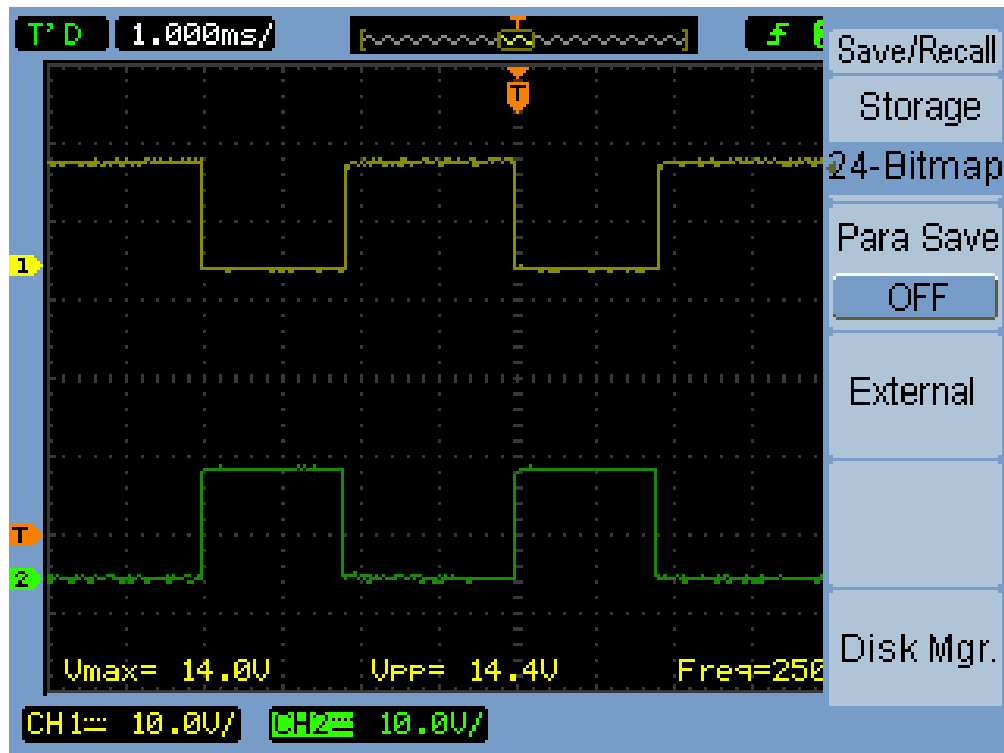
Οι παρακάτω γραφικές αφορούν την έξοδο των ολοκληρωμένων προς τις πύλες των MOSFET χωρίς να λειτουργούν όμως τα ίδια. Οι συχνότητες των παλμών είναι ακριβώς οι ίδιες. Όπως είναι φανερό, οι παλμοί αυτοί είναι πολύ πιο καθαροί. Έχουν λιγότερο θόρυβο και οι μεταβάσεις των καταστάσεων είναι πιο γρήγορες. Επίσης, όπως φαίνεται στα διαγράμματα, η τάση του σήματος είναι αρκετά υψηλή ώστε να λειτουργούν τα ολοκληρωμένα και να ενεργοποιηθούν τα MOSFET.



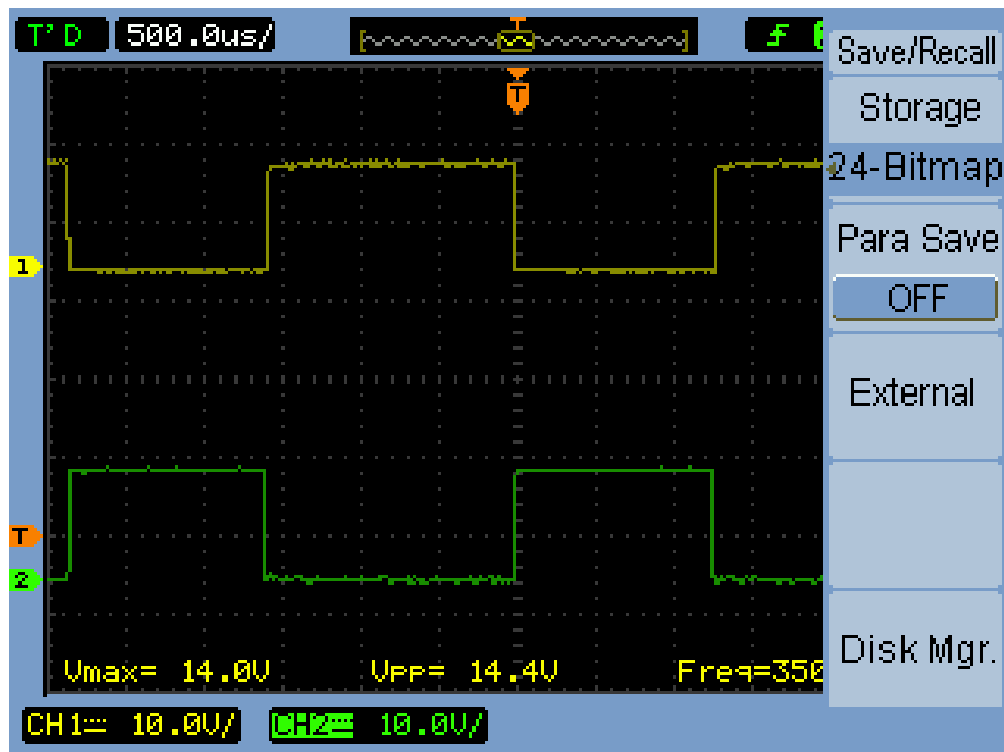
Εικόνα 13 50Hz - Έξοδος



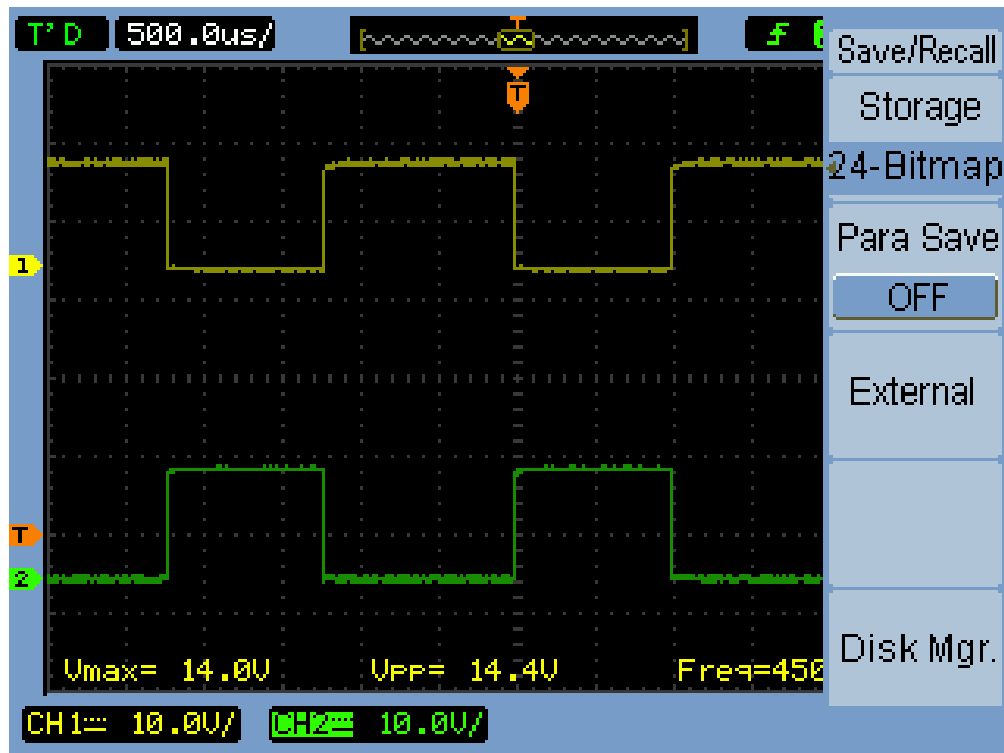
Εικόνα 14 150Hz - Έξοδος



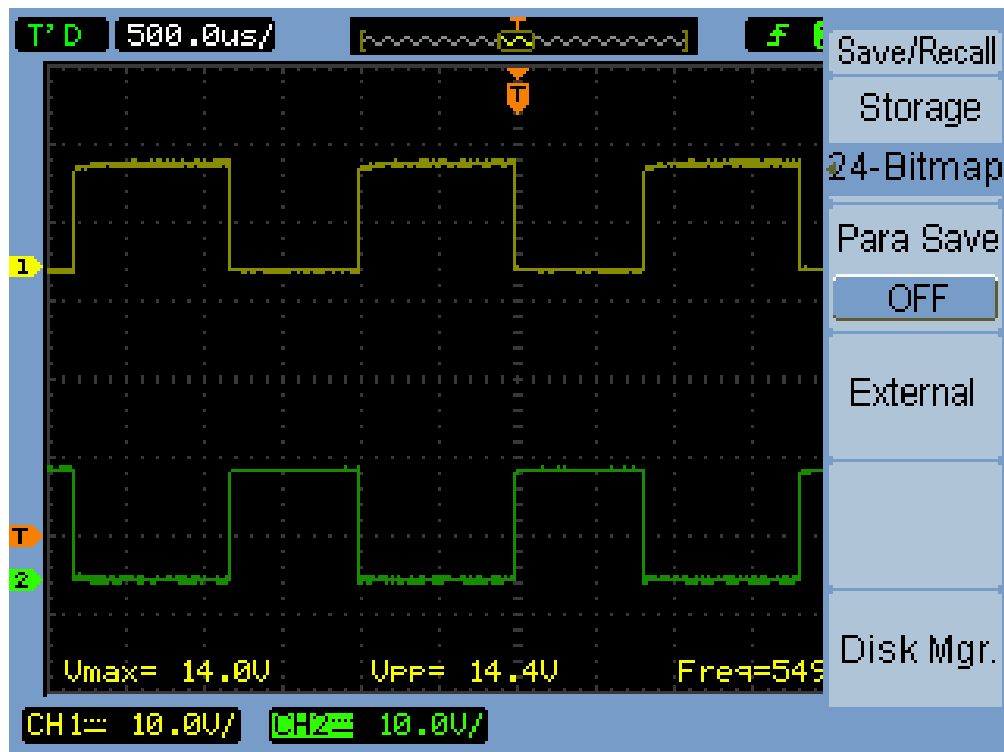
Εικόνα 15 250Hz - Έξοδος



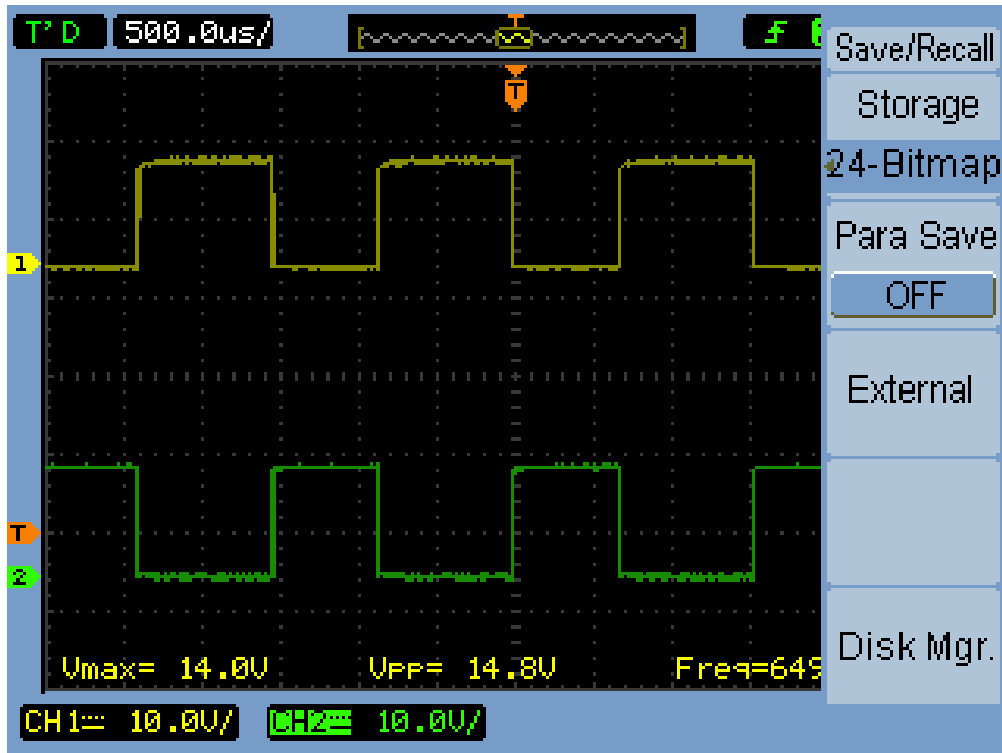
Εικόνα 16 350Hz - Έξοδος



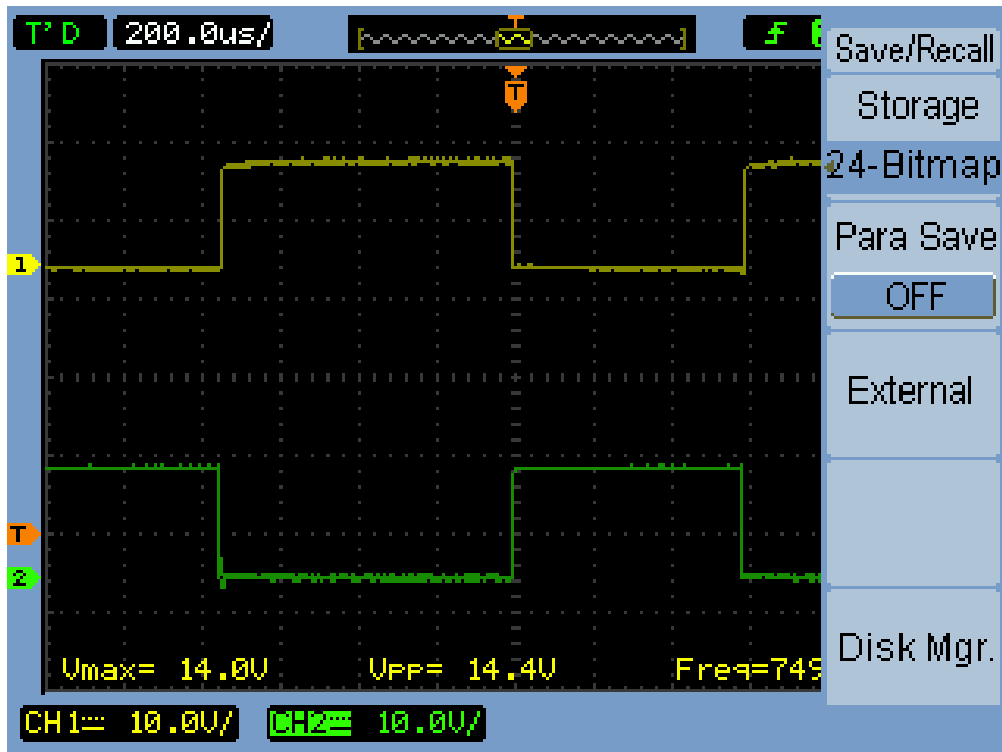
Εικόνα 17 450Hz - Έξοδος



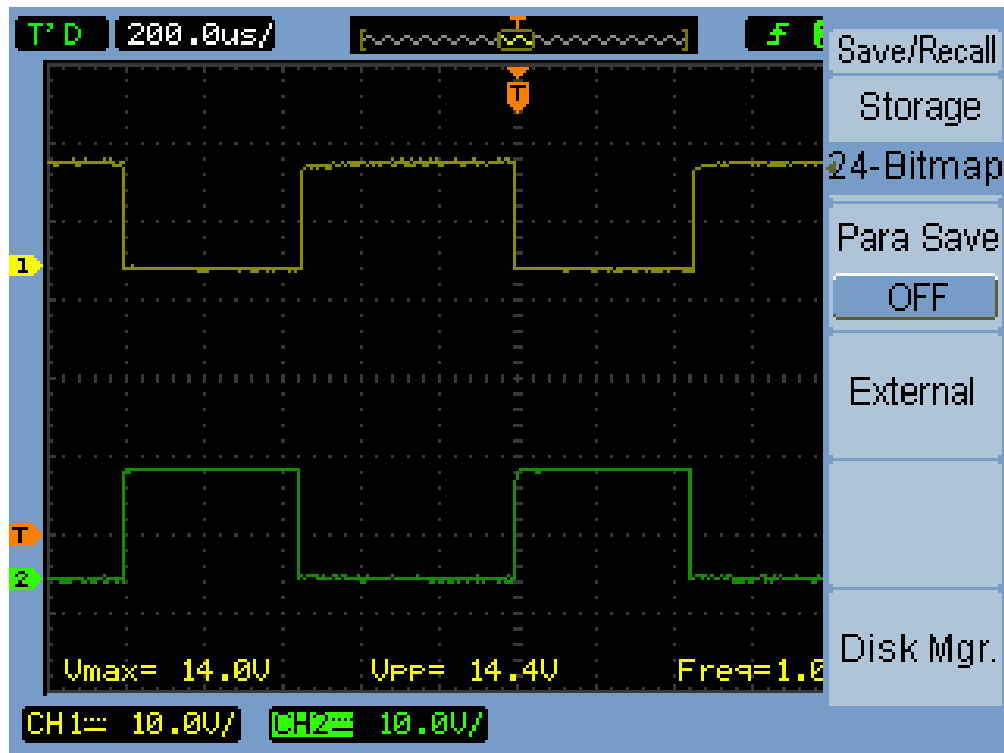
Εικόνα 18 550Hz - Έξοδος



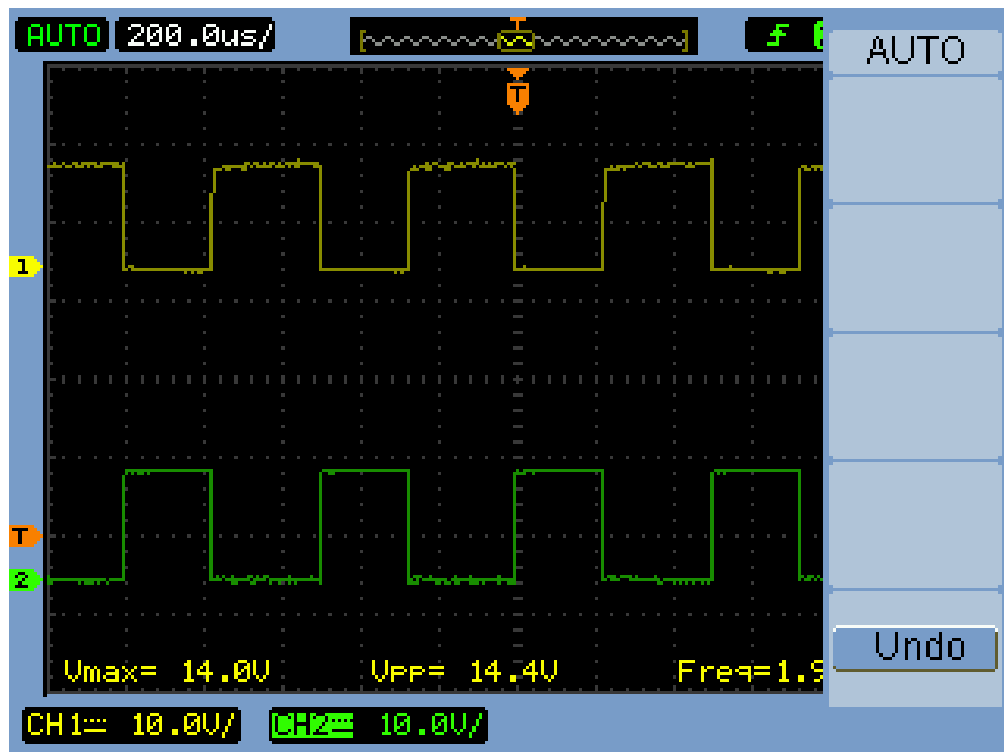
Εικόνα 19 650Hz - Έξοδος



Εικόνα 20 750Hz - Έξοδος



Εικόνα 21 1kHz - Έξοδος

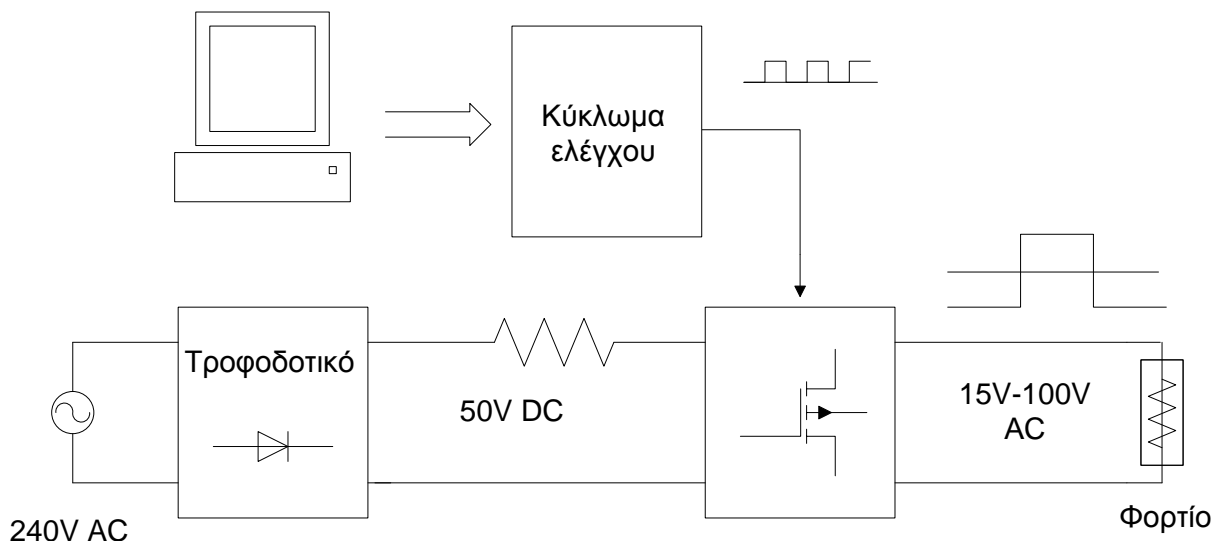


Εικόνα 22 2kHz - Έξοδος

3.2 Μετρήσεις

3.2.1 Κύκλωμα για την πραγματοποίηση μετρήσεων σε κανονικές συνθήκες

Μετά την δοκιμή του κυκλώματος ισχύος αλλά και του κυκλώματος ελέγχου που περιγράφηκε στην προηγούμενη ενότητα, η διάταξη κρίθηκε έτοιμη για λειτουργία υπό κανονικές συνθήκες. Το κύκλωμα που πραγματοποιήθηκε για τις μετρήσεις αυτές είναι το ακόλουθο:



Εικόνα 23 Σχηματική απεικόνιση συνδεσμολογίας μετρήσεων

Αυτή την φορά το τροφοδοτικό ήταν πολύ μεγαλύτερων δυνατοτήτων από το προηγούμενο. Η μέγιστη τάση εξόδου ήταν τα 200V. Με αυτόν τον τρόπο υπήρχε η δυνατότητα δημιουργίας εναλλασσόμενης τάσης έως και $400V_{pp}$, κάτι που όμως δεν ήταν απαραίτητο για την συγκεκριμένη εφαρμογή. Έπειτα, στο κύκλωμα, ακολουθεί μια μεταβλητή αντίσταση των 50Ω – 200W για τον έλεγχο του ρεύματος.

Ως φορτίο στα MOSFET έχει τοποθετηθεί μια αντίσταση 25Ω – 200W.

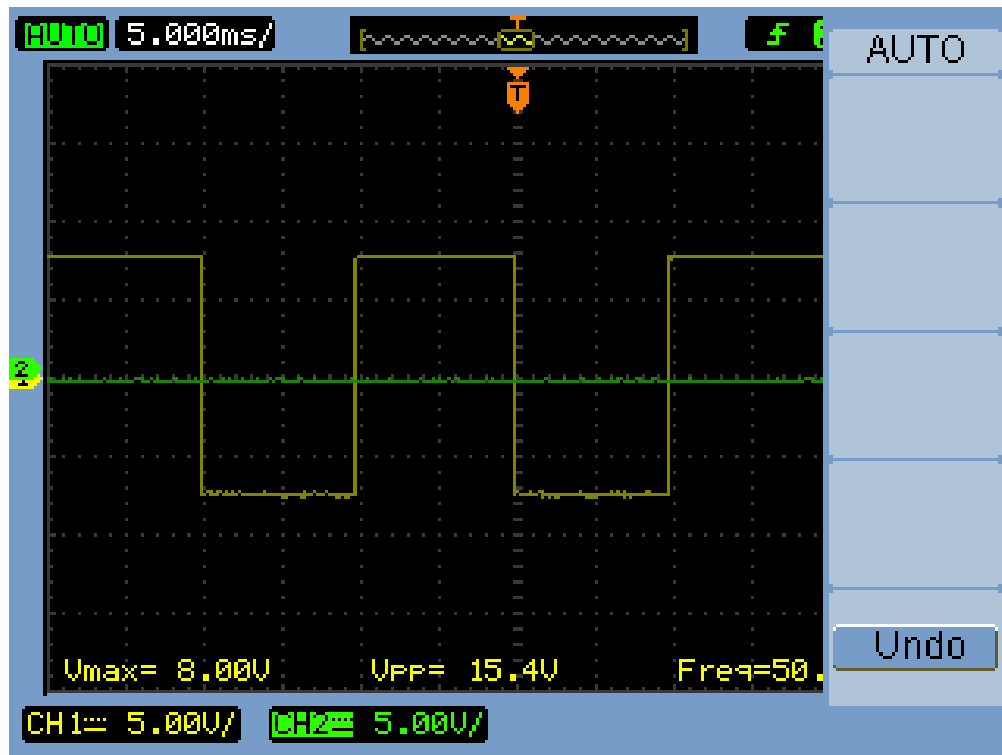
3.2.2 Μετρήσεις σε κανονικές συνθήκες

Οι μετρήσεις χωρίστηκαν σε δύο σκέλη. Αρχικά δόθηκε μικρή τάση εισόδου, επιπέδου 20-25V, και με συχνότητα στα 50Hz, μεταβλήθηκε το ρεύμα με την χρήση της μεταβλητής αντίστασης από τα 130 – 200mA. Έπειτα, με τιμή ρεύματος στα ίδια επίπεδα, η συχνότητα μεταβλήθηκε μέχρι το 1kHz.

Το δεύτερο σκέλος προέβλεπε την επιβολή μεγαλύτερης πλέον τάσης φτάνοντας στα επίπεδα των 100-110V. Οι συχνότητες παρέμειναν στο ίδιο επίπεδο ενώ η τιμή του ρεύματος ήταν σε πολύ μεγαλύτερο επίπεδο της τάξης μερικών εκατοντάδων mA.

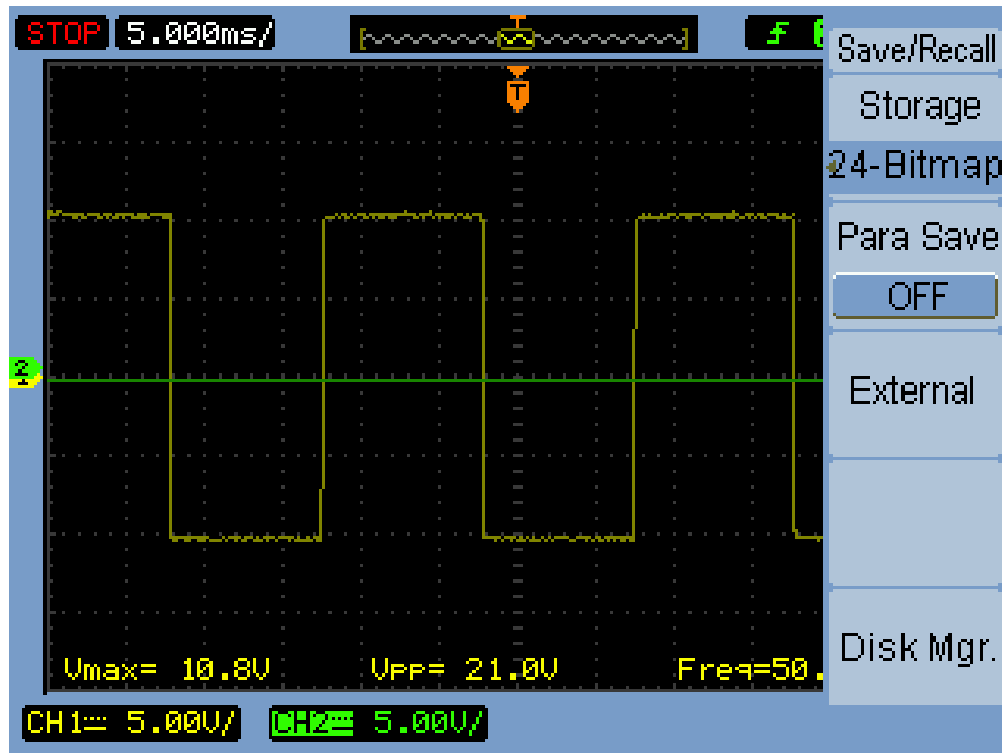
Ακολουθούν οι μετρήσεις του πρώτου σκέλους:

$I_{\phi} = 130\text{mA}$



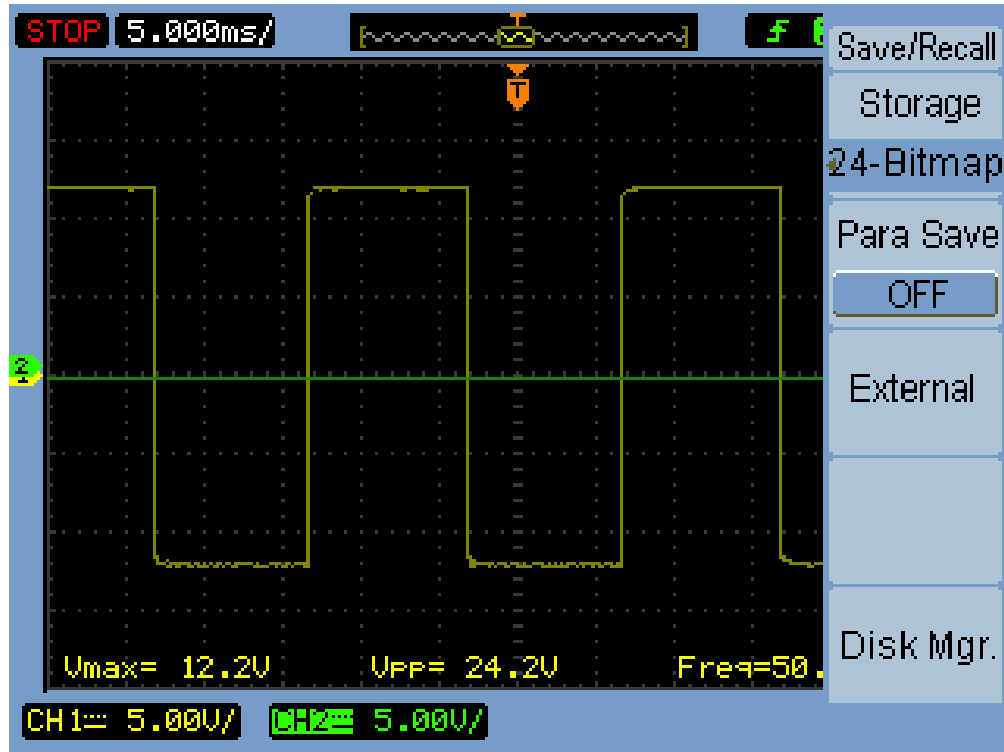
Εικόνα 24 50Hz - Έξοδος αντιστροφή

$I_{\phi} = 170\text{mA}$



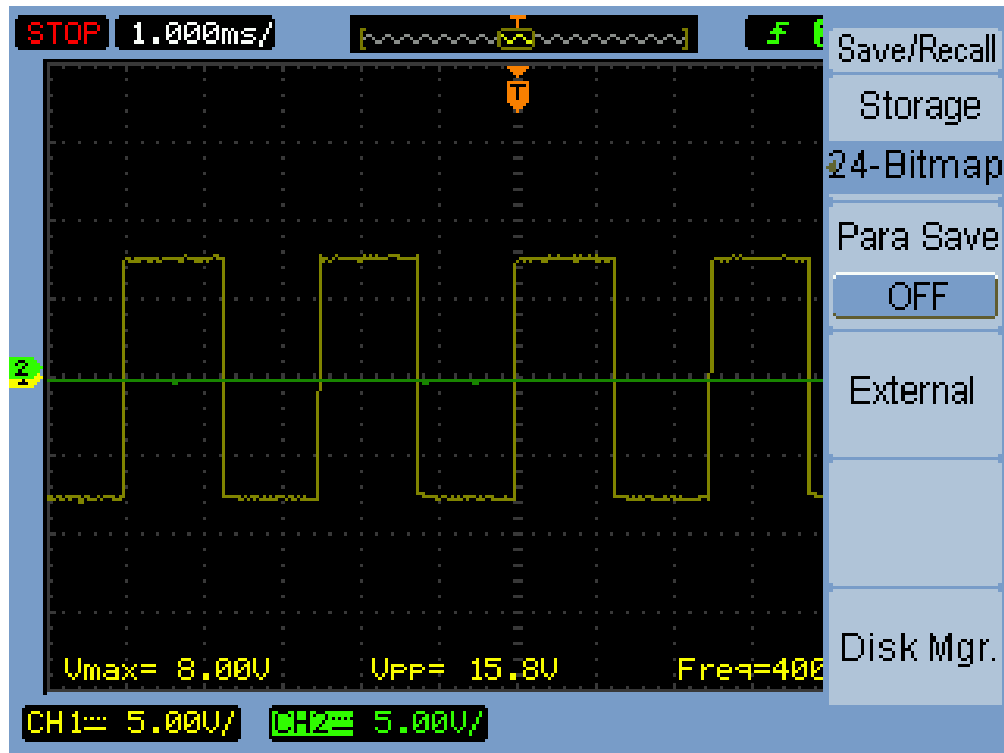
Εικόνα 25 50Hz - Έξοδος αντιστροφή

$I_{\phi} = 200\text{mA}$



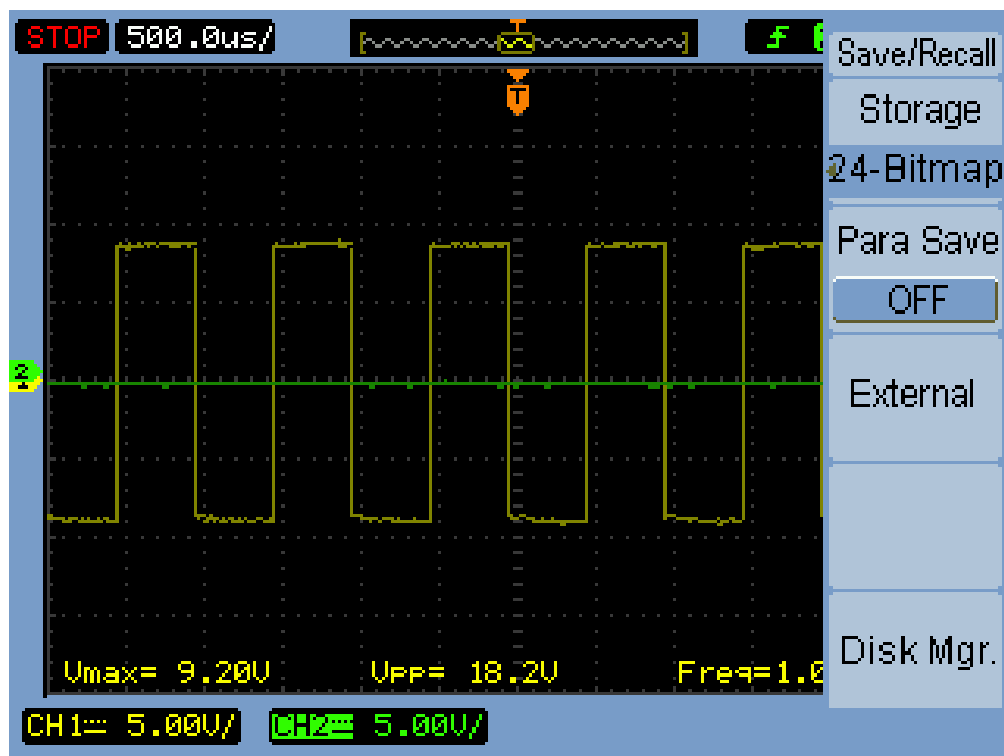
Εικόνα 26 50Hz - Έξοδος αντιστροφή

$I_{\phi} = 130\text{mA}$



Εικόνα 27 400Hz - Έξοδος αντιστροφή

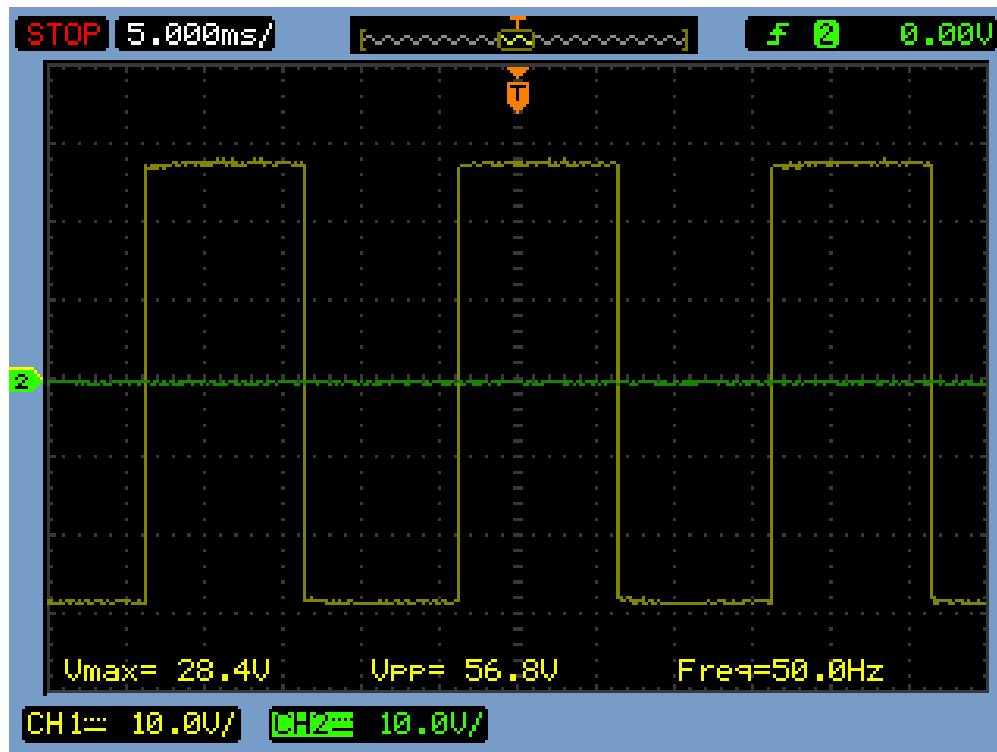
$I_0 = 150\text{mA}$



Εικόνα 28 1kHz - Έξοδος αντιστροφή

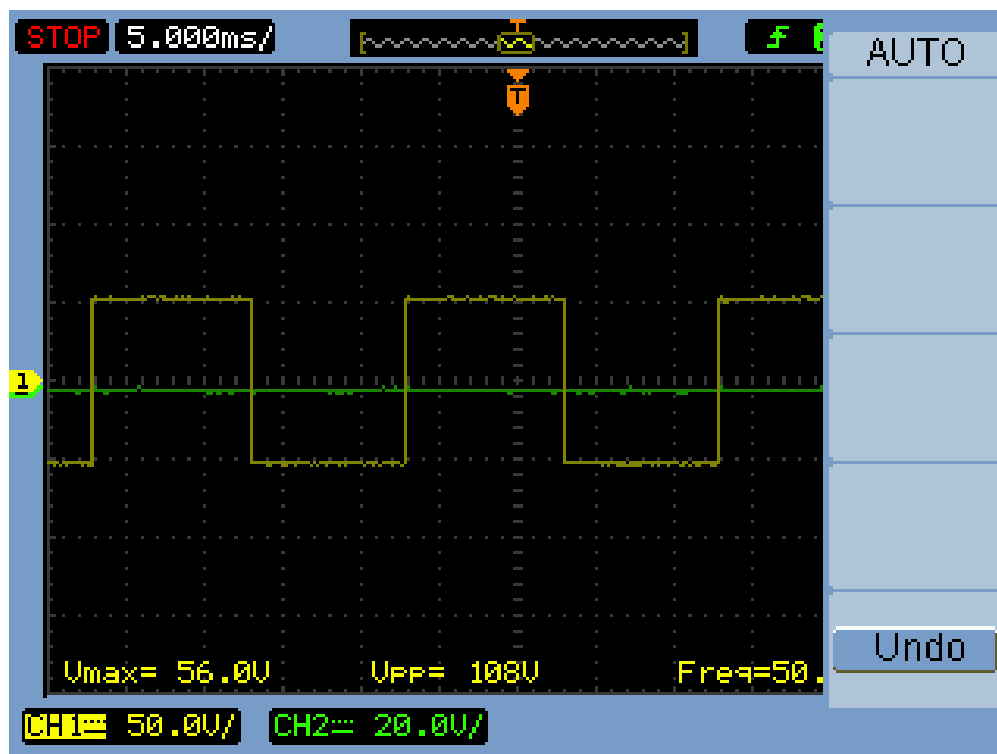
Ακολουθούν οι μετρήσεις του δεύτερου σκέλους:

$I_{\phi} = 500\text{mA}$



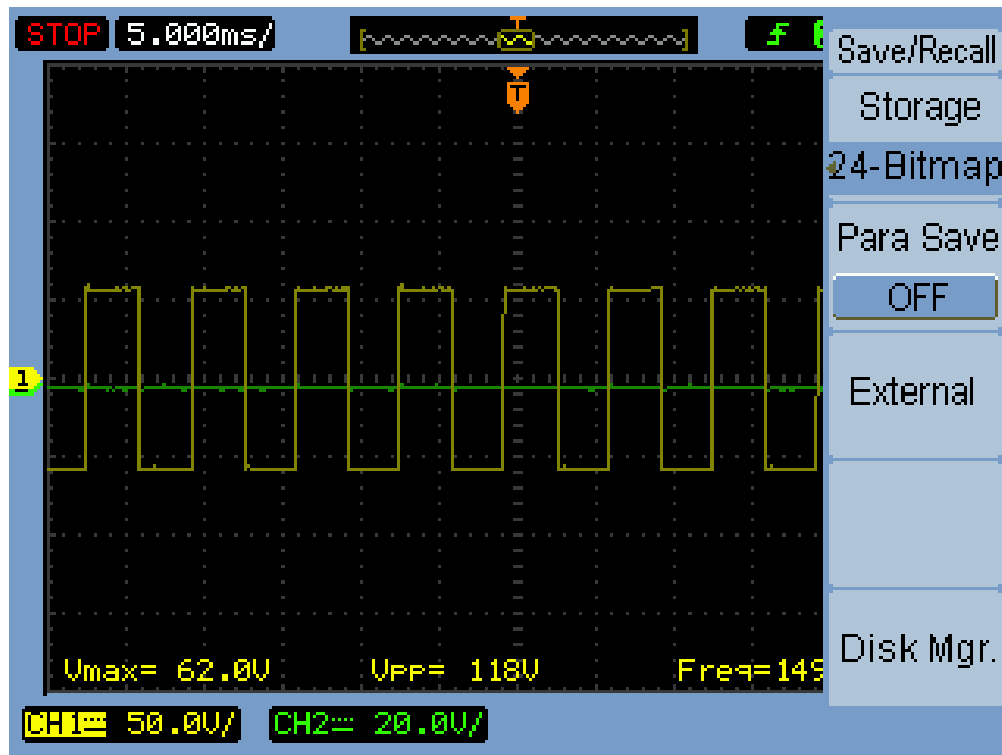
Εικόνα 29 50Hz - Έξοδος αντιστροφή - Δεύτερο σκέλος

$I_{\phi} = 900\text{mA}$



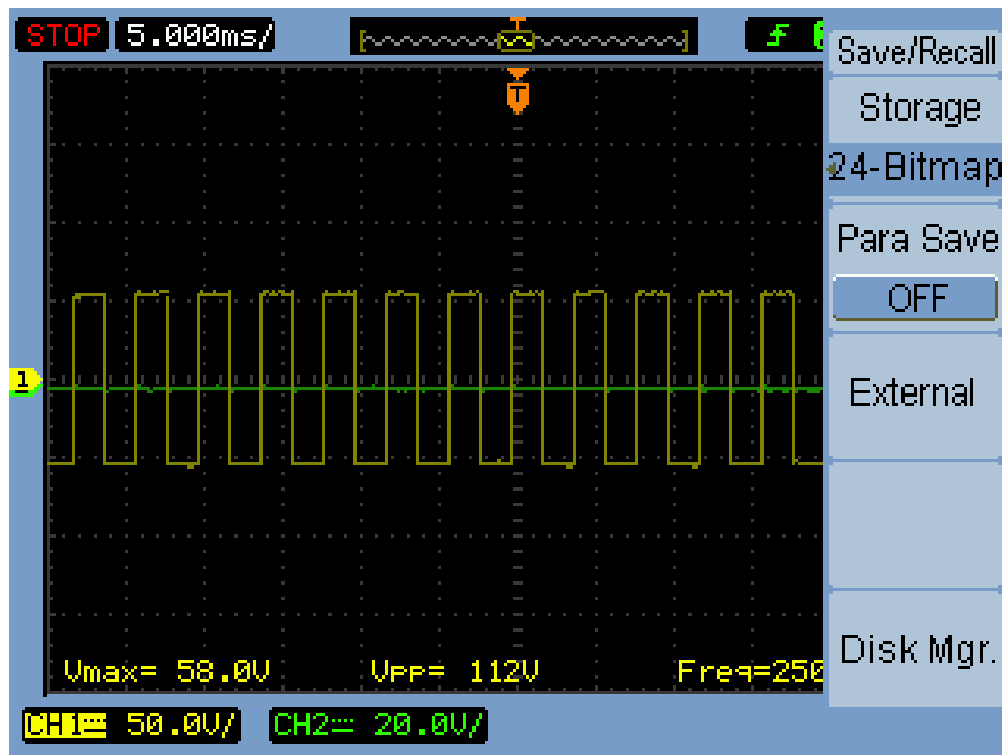
Εικόνα 30 50Hz - Έξοδος αντιστροφή - Δεύτερο σκέλος

$I_{\phi} = 1 \text{ A}$



Εικόνα 31 150Hz - Έξοδος αντιστροφή - Δεύτερο σκέλος

$I_{\phi} = 1 \text{ A}$



Εικόνα 32 250Hz - Έξοδος αντιστροφή - Δεύτερο σκέλος

ΚΕΦΑΛΑΙΟ 4

Συμπεράσματα – Προτάσεις για μελλοντική εργασία

Σύμφωνα με τις μετρήσεις που έγιναν και παρουσιάστηκαν στο προηγούμενο κεφάλαιο, ο αντιστροφέας που επιχειρήθηκε να κατασκευαστεί λειτουργεί σύμφωνα με τις προδιαγραφές που τέθηκαν αρχικά. Δίνεται η δυνατότητα να ελεγχθεί πλήρως το εξερχόμενο σήμα όσον αφορά την συχνότητα και το πλάτος της τάσης.

Η συσκευή αυτή μπορεί να χρησιμοποιηθεί, εκτός της εφαρμογή για την οποία σχεδιάστηκε, για πολλές εφαρμογές του εργαστηρίου αλλά και να χρησιμοποιηθεί από φοιτητές ως εργαλείο πλέων για άλλες εργασίες.

Για την ανάπτυξη και την εξέλιξη της συσκευής αυτής προτείνεται η τοποθέτηση ενός φίλτρου στην έξοδο έτσι ώστε να δημιουργηθεί ένα πλήρες ημιτονικό σήμα. Επίσης θα ήταν χρήσιμο να προστεθεί μια βαθμίδα μέτρησης ρεύματος στο φορτίο για τον πλήρη έλεγχο της λειτουργίας του αντιστροφέα.

Όσον αφορά την χρήση της συσκευής, θα παρουσίαζε αρκετά μεγάλο ενδιαφέρον η μελλοντική χρήση της συσκευής για την μελέτη της συμπεριφοράς των λαμπτήρων και την ανάπτυξη αποδοτικότερων συστημάτων φωτισμού από αυτά που χρησιμοποιούνται σήμερα. Η βιομηχανία του φωτισμού παρουσιάζει μια ανάπτυξη η οποία θα δικαιολογούσε και θα επέβαλλε μια τέτοια μελέτη.

ΒΙΒΛΙΟΓΡΑΦΙΑ

- WEBSITES
 - <http://www.energysavers.gov>
 - <http://oee.nrcan.gc.ca>
 - <http://en.wikipedia.org>
 - <http://ec.europa.eu/energy/lumen/professional/legislation>

- Αρχεία
 - Three Dimensional Passive Integrated Electronic Ballast for Low Wattage HID Lamps, Yan Jiang, Blacksburg VA, 2009
 - IR2110(-1-2)(S)PbF, High and low side driver, International Rectifier, Data Sheet No. PD60147 rev.U
 - IRFP460, HEXFET Power MOSFET, International Rectifier, PD-9.512B
 - HV Floating MOS-Gate Driver ICs, Application note AN-978, International Rectifier
 - Electronic Ballasts, J. Macros Alonso, Ph.D., 2007
 - Ανάπτυξη λαμπτήρων ηλεκτρικών εκκενώσεων φιλικών προς το περιβάλλον, Παπαγιαννόπουλος φίλιππος , Σ.Ε.Μ.Φ.Ε. – Ε.Μ.Π.

- Βιβλία
 - Φωτοτεχνία, Αντώνιου Τσακίρη, 2004
 - Ηλεκτρονικά ισχύος, Στέφανος Ν. Μανιάς, Καθηγητής Ε.Μ.Π., Εκδόσεις Συμεών, 2007
 - Ηλεκτρονικά ισχύος, Mohan / Undeland / Robbins, Εκδόσεις Α. Τζιόλα Ε., 1996
 - Μικροϋπολογιστές – Εφαρμογές Μικροελεγκτών, Μιχάλης Σφακιωτάκης, ΤΕΙ Κρήτης – Σχολή Τεχνολογικών Εφαρμογών, 2009
 - Προγραμματίζοντας τον μικροελεγκτή AVR, Dhananjay V. Gadre, Εκδόσεις Α. Τζιόλα Ε., 2001

Παράρτημα Α

Πρόγραμμα και σχέδια πλακετών

Πρόγραμμα

```
#include <mega16.h>
#include <stdio.h>
#include <stdlib.h>
#define saft 2

unsigned char k=0;
unsigned int Fr=0,D=0,time;
float usec;

void main(void)
{
    char dutyStr[3],outFrStr[6];
    PORTD=0x00;
    DDRD=0xFF;

    UBRRH=0x00;
    UBRRL=0x19;
    UCSRB=0x18;
    printf("\n\r George Tsagarakis Final Project \n");

    while (1)
    {
        do
        {
            printf("\n\r Output Frequency (50-15000 Hz):");
            scanf("%i",&Fr);
        }
        while ((Fr<50)|| (Fr>15000));

        do
        {
            printf("\n\r Duty cycle (2-49):");
            scanf("%d",&D);
        }
        while ((D<2)|| (D>49));

        usec=1e6/(float)Fr;

        TCNT1=0x00;
        if (Fr<1001)
        {
            ICR1=(unsigned int)usec;
            OCR1B=D*(unsigned int)(usec/100.0) + saft;
```

```

OCR1A=OCR1B - 2*saft;
TCCR1A=0b10110010;
TCCR1B=0b00011010;
printf("\n\r Fr= %f",1e6/(float)ICR1);
printf("\n\r D= %d", (OCR1B - saft) / (unsigned int) (usec/100.0));
}
else
{
ICR1=(unsigned int) (usec*8);
OCR1B=D*(unsigned int) (8*usec/100.0) + saft;
OCR1A=OCR1B - 2*saft;
TCCR1A=0b10110010;
TCCR1B=0b00011001;
printf("\n\r Fr= %f",8*1e6/(float)ICR1);
printf("\n\r D= %d", (OCR1B - saft) / (unsigned int) (8*usec/100.0));
}

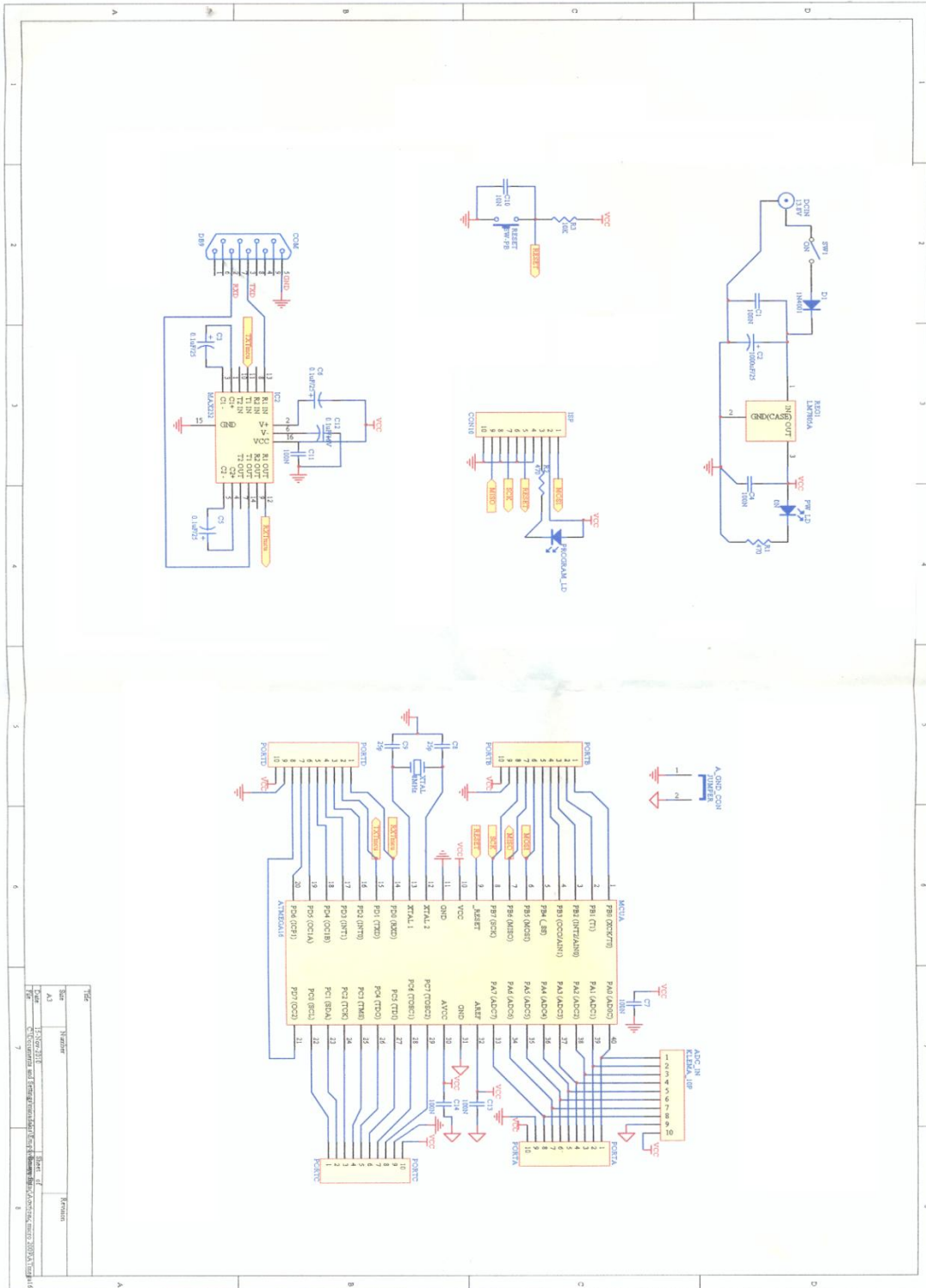
printf("\n\r period (usec) = %f",usec);

printf("\n Press 'Y' to stop the PWM generation \r");
do
    k=getchar();
while((k!='Y') && (k!='y'));
TCCR1A=0x00;
TCCR1B=0x00;

}
}

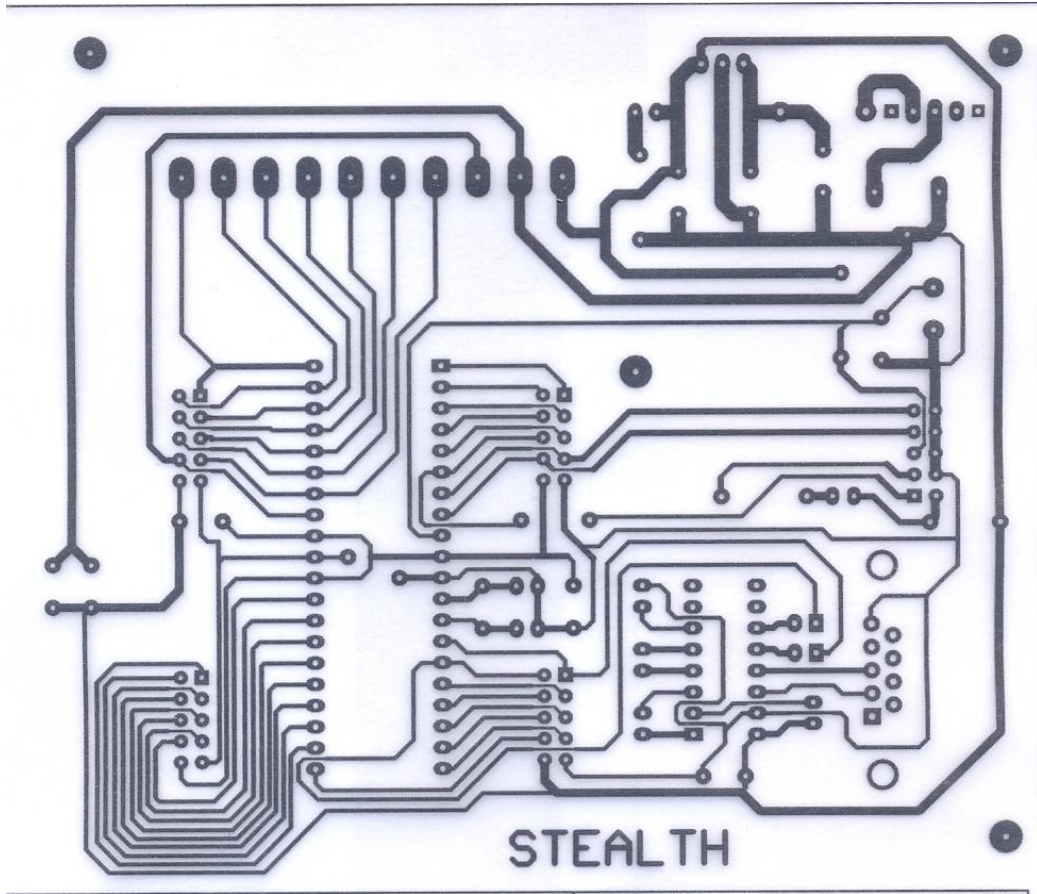
```

Σχηματικό κυκλώματος ελέγχου

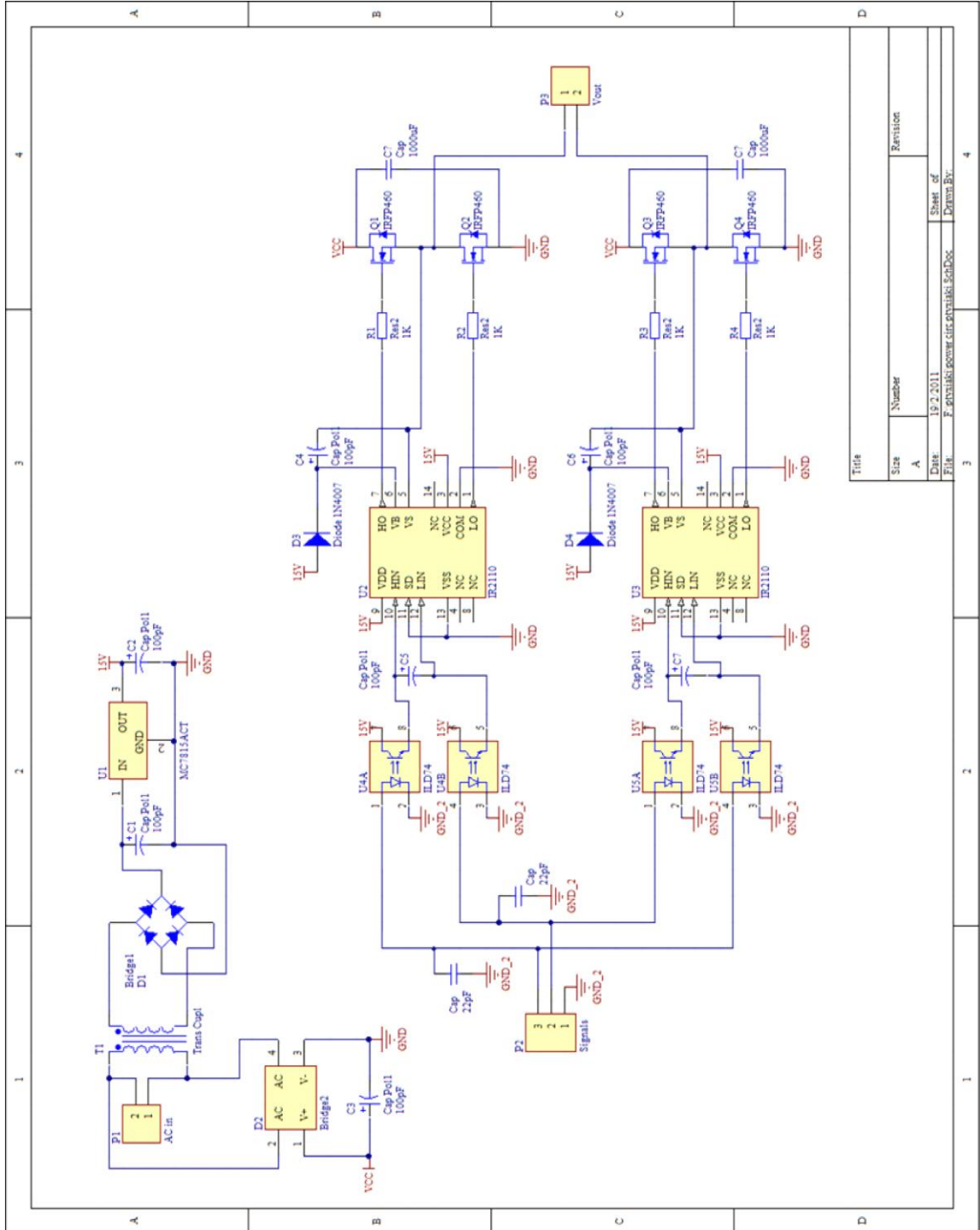


№	Κωδ.	Περιγραφή	Μονάδα	Ποσότητα
1	U1	7805	Υποδιαιρέτης	1
2	U2	7812	Υποδιαιρέτης	1
3	U3	555	Χρονόμετρο	1
4	RL1	Relay	Ρελέ	1
5	TR1	Thermal Relay	Θερμικό Ρελέ	1
6	F1	Fuse	Βασίλειο	1
7	BR1	Bridge Rectifier	Πλάκα	1
8	C1	Capacitor	Καπάζι	1
9	R1	Resistor	Ρεζιστοράκι	1
10	D1	Diode	Δίοδος	1
11	T1	Transformer	Μετασχηματιστής	1
12	M1	Motor	Μηχάνημα	1
13	PB1	Push Button	Κουμπί	1

PCB κυκλώματος ελέγχου

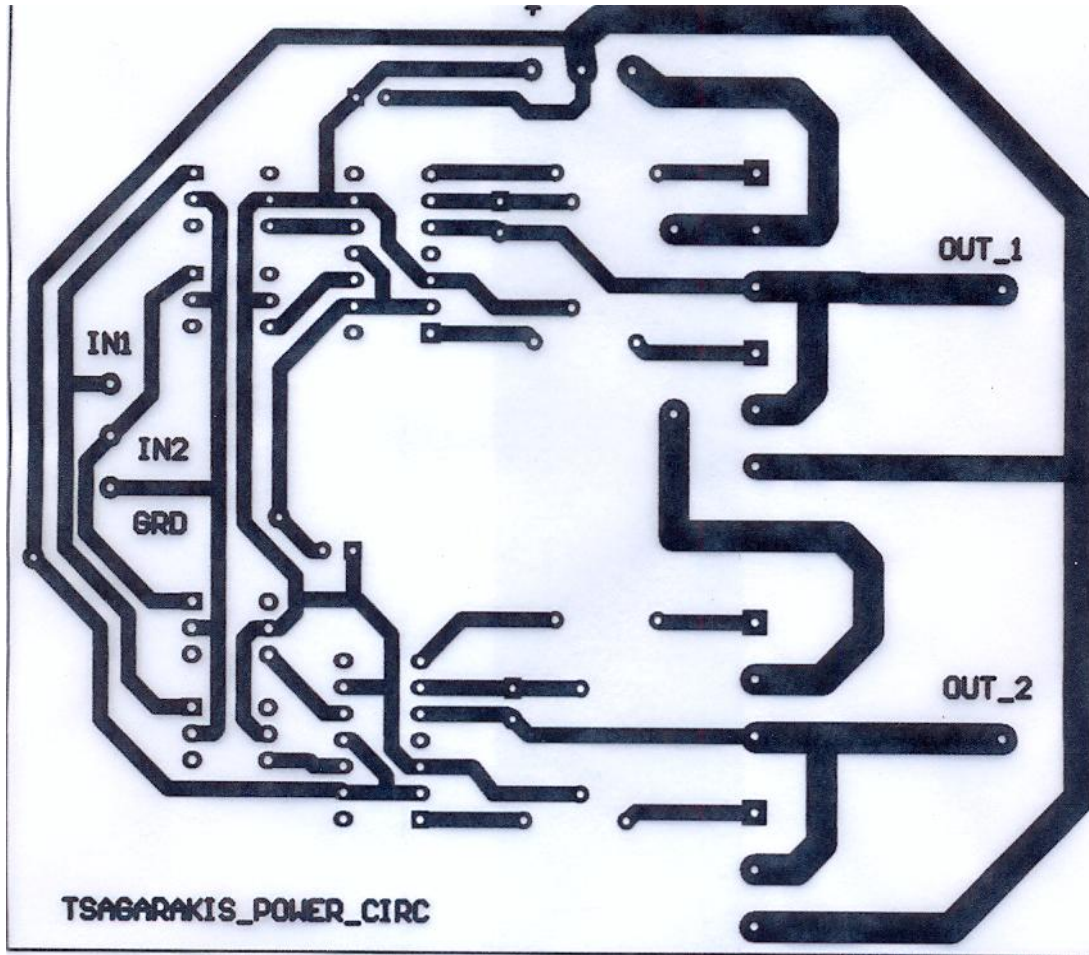


Σχηματικό κυκλώματος ισχύος



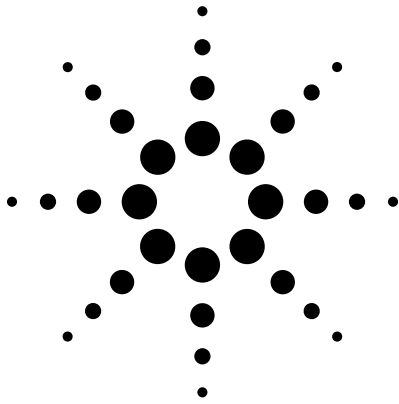
Title		Revision	
Size	Number		
A			
Date	19.2.2011	Sheet of	4
File	F:\protasi\power.circ\protasi_SchDoc	Drawn By	

PCB κυκλώματος ισχύος



Παράρτημα Β

Φυλλάδια ολοκληρωμένων, των MOSFET και του
μικροελεγκτή



Agilent CNY17-x Phototransistor Optocoupler High Collector-Emitter Voltage Type Data Sheet

Description

The CNY17 contains a light emitting diode optically coupled to a phototransistor. It is packaged in a 6-pin DIP package and available in wide-lead spacing option and lead bend SMD option. Collector-emitter voltage is above 70 V. Response time, t_r , is typically 5 μ s and minimum CTR is 40% at input current of 10 mA.

Ordering Information

Specify part number followed by Option Number (if desired).

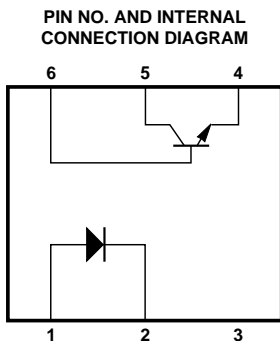
CNY17-3-XXXXE
 └───┬───┬───
 Lead Free
 Option Number

000 = No Options
 060 = IEC/EN/DIN EN 60747-5-2
 Option
 W00 = 0.4" Lead Spacing Option
 300 = Lead Bend SMD Option
 500 = Tape and Reel Packaging
 Option

Features

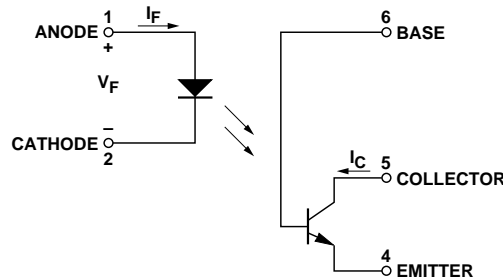
- High collector-emitter voltage ($V_{CE0} = 70V$)
- High input-output isolation voltage ($V_{iso} = 5000V_{rms}$)
- Current Transfer Ratio (CTR: min. 40% at $I_F = 10\text{ mA}$, $V_{CE} = 5V$)
- Response time (t_r : typ., 5 μ s at $V_{CC} = 10V$, $I_C = 2\text{ mA}$, $R_L = 100\ \Omega$)
- Dual-in-line package
- UL approved
- CSA approved
- IEC/EN/DIN EN 60747-5-2 approved
- Options available:
 - Leads with 0.4" (10.16 mm) spacing (W00)
 - Leads bends for surface mounting (300)
 - Tape and reel for SMD (500)
 - IEC/EN/DIN EN 60747-5-2 approvals (060)

Functional Diagram



1. ANODE 4. EMITTER
 2. CATHODE 5. COLLECTOR
 3. NC 6. BASE

Schematic

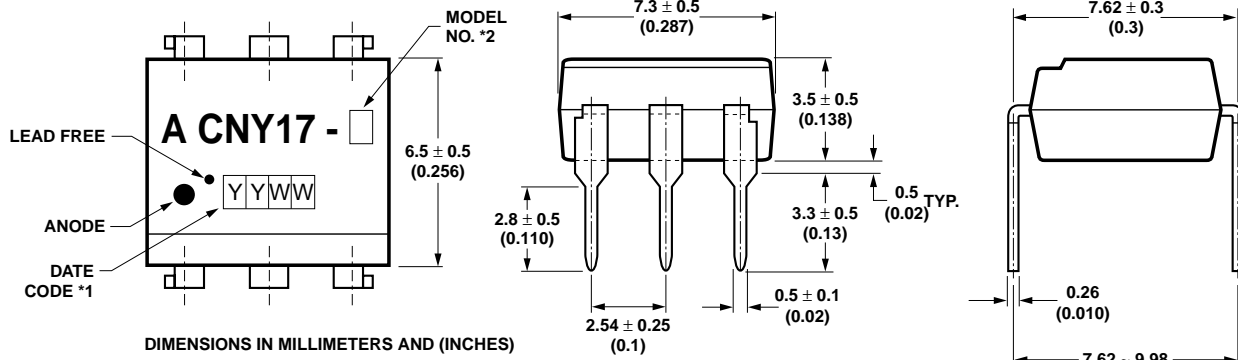


Applications

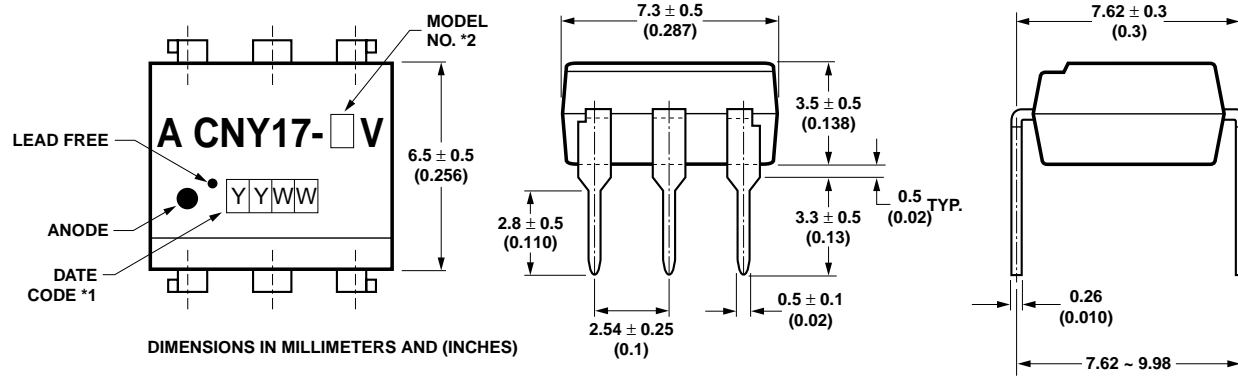
- System appliances, measuring instruments
- Signal transmission between circuits of different potentials and impedances
- Feedback circuit in power supply

CAUTION: It is advised that normal static precautions be taken in handling and assembly of this component to prevent damage and/or degradation which may be induced by ESD.

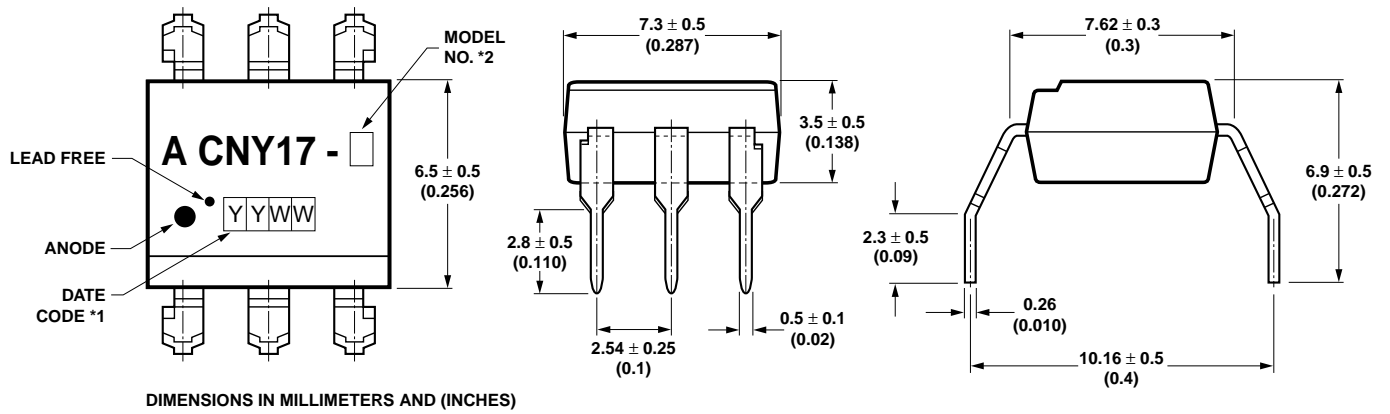
Package Outline Drawings
CNY17-X-000E



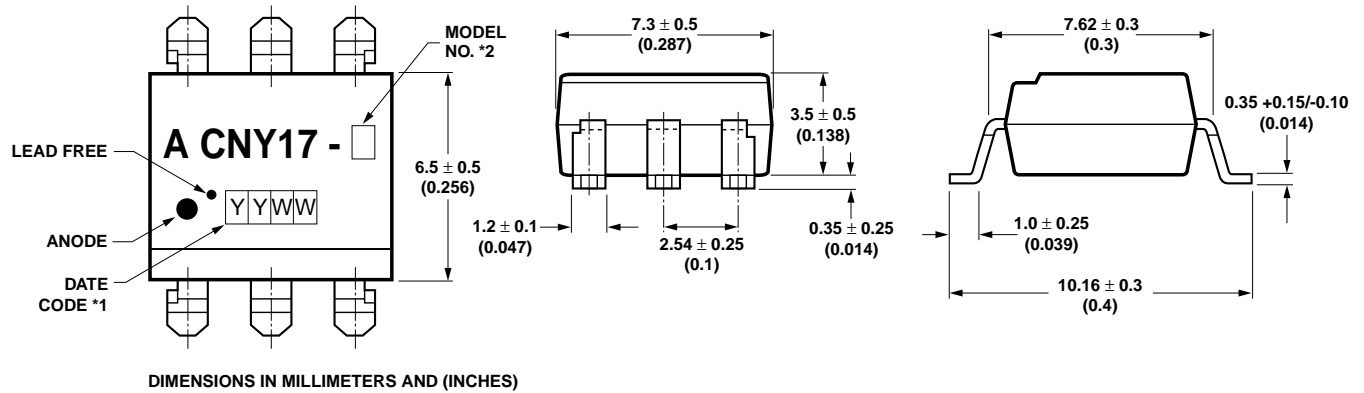
CNY17-X-060E



CNY17-X-W00E

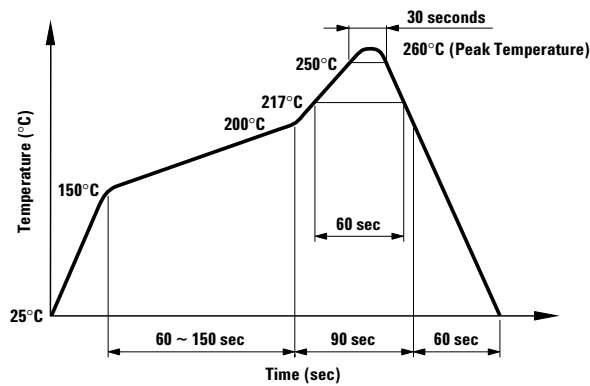


CNY17-X-300E



Solder Reflow Temperature Profile

- 1) One-time soldering reflow is recommended within the condition of temperature and time profile shown at right.
- 2) When using another soldering method such as infrared ray lamp, the temperature may rise partially in the mold of the device. Keep the temperature on the package of the device within the condition of (1) above.



Absolute Maximum Ratings

Storage Temperature, T_S	-55°C to +150°C
Operating Temperature, T_A	-55°C to +100°C
Lead Solder Temperature, max. (1.6 mm below seating plane)	260°C for 10 s
Average Forward Current, I_F	60 mA
Reverse Input Voltage, V_R	6 V
Input Power Dissipation, P_I	100 mW
Collector Current, I_C	150 mA
Collector-Emitter Voltage, V_{CE0}	70 V
Emitter-Collector Voltage, V_{EC0}	6 V
Collector-Base Voltage, V_{CB0}	70 V
Collector Power Dissipation	150 mW
Total Power Dissipation	250 mW
Isolation Voltage, V_{iso} (AC for 1 minute, R.H. = 40 ~ 60%)	5000 Vrms

Electrical Specifications (T_A = 25 °C)

Parameter	Symbol	Min.	Typ.	Max.	Units	Test Conditions
Forward Voltage	V _F	–	1.4	1.7	V	I _F = 60 mA
Reverse Current	I _R	–	–	10	μA	V _R = 6 V
Terminal Capacitance	C _t	–	–	100	pF	V = 0, f = 1 MHz
Collector Dark Current	I _{CEO}	–	–	50	nA	V _{CE} = 10 V
Collector-Emitter Breakdown Voltage	BV _{CEO}	70	–	–	V	I _C = 0.1 mA, I _F = 0
Emitter-Collector Breakdown Voltage	BV _{ECO}	6	–	–	V	I _E = 10 μA, I _F = 0
Collector-Base Breakdown Voltage	BV _{CBO}	70	–	–	V	I _C = 0.1 mA, I _F = 0
Collector Current	I _C	4	–	32	mA	I _F = 10 mA
*Current Transfer Ratio	CNY17-1 CNY17-2 CNY17-3 CNY17-4	CTR	40 63 100 160	– – – –	80 125 200 320	% V _{CE} = 5 V
Collector-Emitter Saturation Voltage	V _{CE(sat)}	–	–	0.3	V	I _F = 10 mA, I _C = 2.5 mA
Response Time (Rise)	t _r	–	5	10	μs	V _{CE} = 5 V, I _C = 10 mA
Response Time (Fall)	t _f	–	5	10	μs	R _L = 100 Ω
Isolation Resistance	R _{iso}	1 x 10 ¹¹	–	–	Ω	DC 500 V 40 ~ 60% R.H.
Floating Capacitance	C _f	–	–	2	pF	V = 0, f = 1 MHz

* CTR = $\frac{I_C}{I_F} \times 100\%$

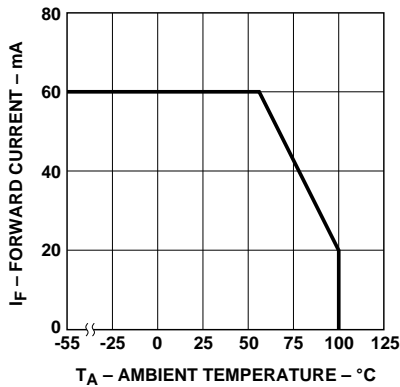


Figure 1. Forward current vs. temperature.

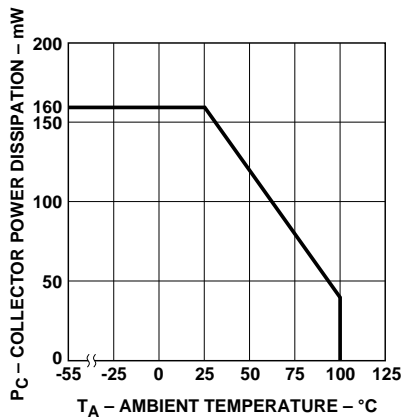


Figure 2. Collector power dissipation vs. temperature.

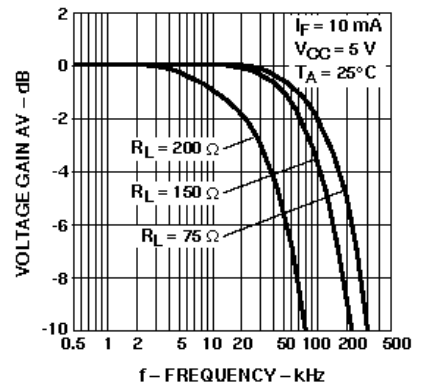


Figure 3. Frequency response.

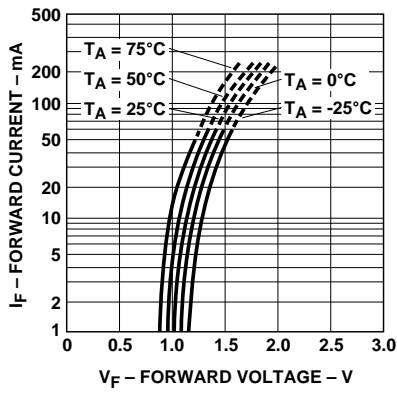


Figure 4. Forward current vs. forward voltage.

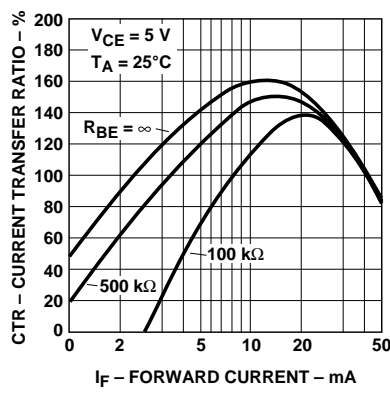


Figure 5. Current transfer ratio vs. forward current.

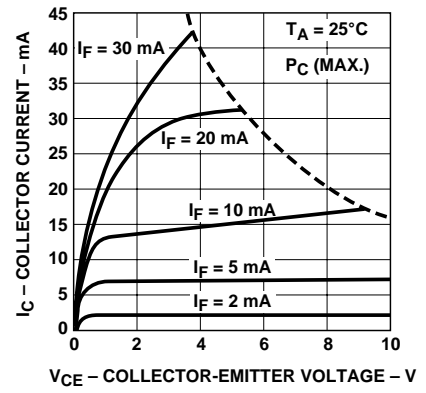


Figure 6. Collector current vs. collector-emitter voltage.

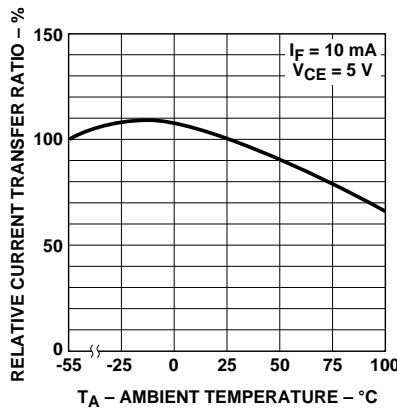


Figure 7. Relative current transfer ratio vs. temperature.

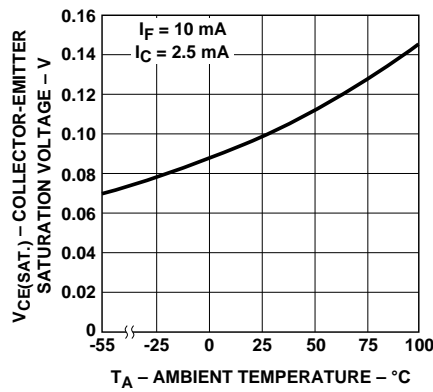


Figure 8. Collector-emitter saturation voltage vs. temperature.

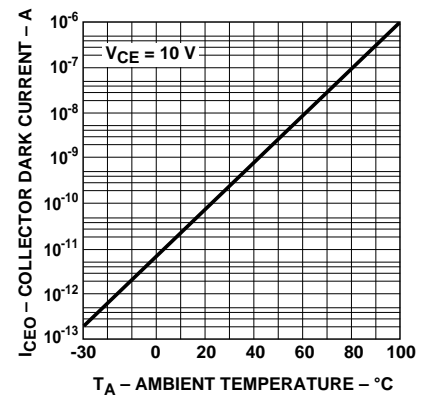


Figure 9. Collector dark current vs. temperature.

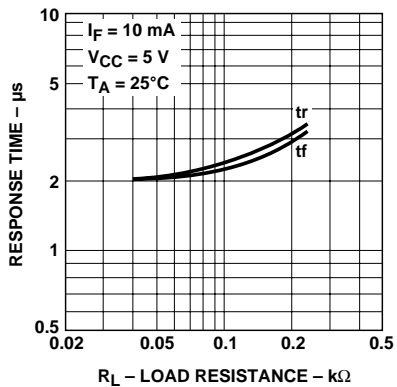


Figure 10. Response time vs. load resistance.

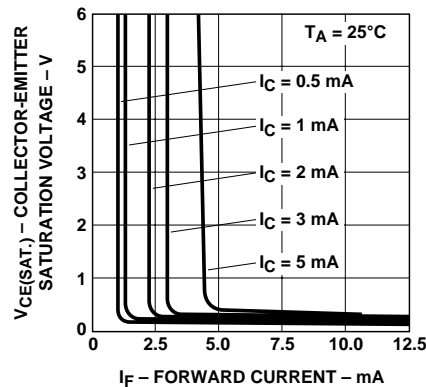
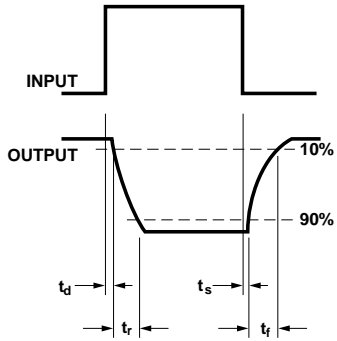
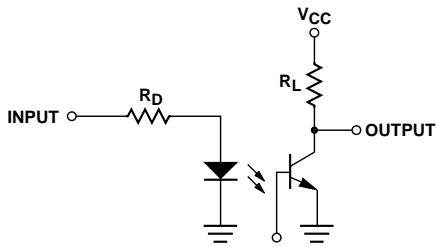
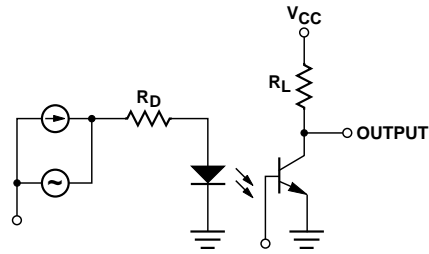


Figure 11. Collector-emitter saturation voltage vs. forward current.

Test Circuit for Response Time



Test Circuit for Frequency Response



www.agilent.com/semiconductors

For product information and a complete list of distributors, please go to our web site.

For technical assistance call:

Americas/Canada: +1 (800) 235-0312 or (916) 788-6763

Europe: +49 (0) 6441 92460

China: 10800 650 0017

Hong Kong: (+65) 6756 2394

India, Australia, New Zealand: (+65) 6755 1939

Japan: (+81 3) 3335-8152 (Domestic/International), or 0120-61-1280 (Domestic Only)

Korea: (+65) 6755 1989

Singapore, Malaysia, Vietnam, Thailand, Philippines, Indonesia: (+65) 6755 2044

Taiwan: (+65) 6755 1843

Data subject to change.

Copyright © 2004 Agilent Technologies, Inc.

Obsoletes 5989-0290EN

October 27, 2004

5989-1736EN



Agilent Technologies

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.

IR2110(S)/IR2113(S) & (PbF)

HIGH AND LOW SIDE DRIVER

Features

- Floating channel designed for bootstrap operation
 Fully operational to +500V or +600V
 Tolerant to negative transient voltage
 dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
 Separate logic supply range from 3.3V to 20V
 Logic and power ground $\pm 5V$ offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs
- Also available LEAD-FREE

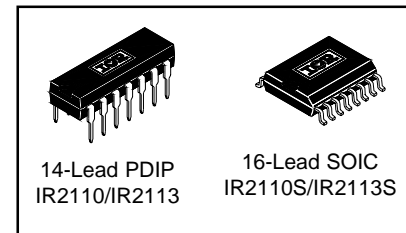
Product Summary

V_{OFFSET} (IR2110)	500V max.
(IR2113)	600V max.
$I_{\text{O}+/-}$	2A / 2A
V_{OUT}	10 - 20V
$t_{\text{on/off}}$ (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

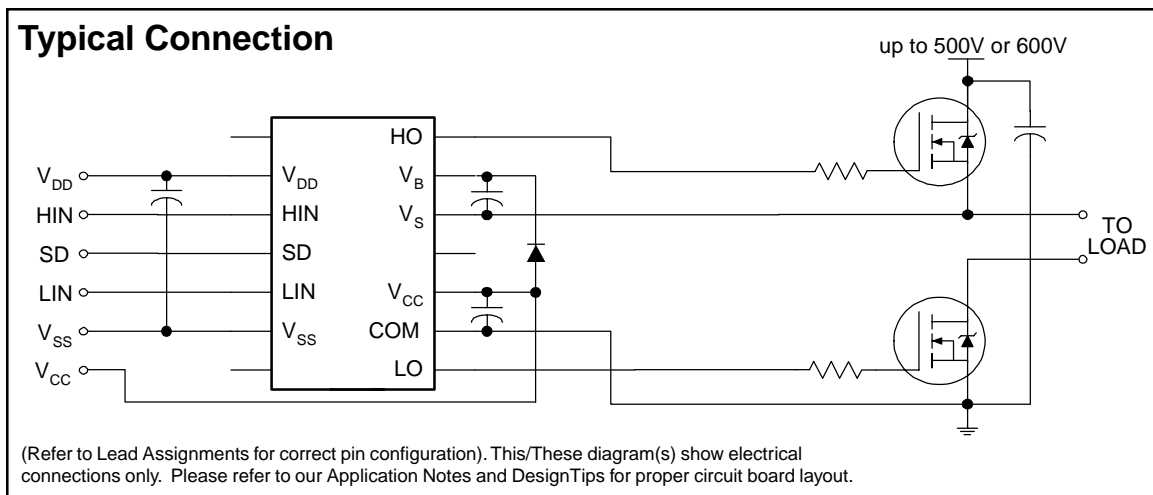
Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Packages



Typical Connection



IR2110(S)/IR2113(S) & (PbF)

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units	
V _B	High side floating supply voltage (IR2110)	-0.3	525	V	
	(IR2113)	-0.3	625		
V _S	High side floating supply offset voltage	V _B - 25	V _B + 0.3		
V _{HO}	High side floating output voltage	V _S - 0.3	V _B + 0.3		
V _{CC}	Low side fixed supply voltage	-0.3	25		
V _{LO}	Low side output voltage	-0.3	V _{CC} + 0.3		
V _{DD}	Logic supply voltage	-0.3	V _{SS} + 25		
V _{SS}	Logic supply offset voltage	V _{CC} - 25	V _{CC} + 0.3		
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS} - 0.3	V _{DD} + 0.3		
dV _S /dt	Allowable offset supply voltage transient (figure 2)	—	50	V/ns	
P _D	Package power dissipation @ T _A ≤ +25°C	(14 lead DIP)	—	1.6	W
		(16 lead SOIC)	—	1.25	
R _{THJA}	Thermal resistance, junction to ambient	(14 lead DIP)	—	75	°C/W
		(16 lead SOIC)	—	100	
T _J	Junction temperature	—	150	°C	
T _S	Storage temperature	-55	150		
T _L	Lead temperature (soldering, 10 seconds)	—	300		

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units
V _B	High side floating supply absolute voltage	V _S + 10	V _S + 20	V
V _S	High side floating supply offset voltage (IR2110)	Note 1	500	
	(IR2113)	Note 1	600	
V _{HO}	High side floating output voltage	V _S	V _B	
V _{CC}	Low side fixed supply voltage	10	20	
V _{LO}	Low side output voltage	0	V _{CC}	
V _{DD}	Logic supply voltage	V _{SS} + 3	V _{SS} + 20	
V _{SS}	Logic supply offset voltage	-5 (Note 2)	5	
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS}	V _{DD}	
T _A	Ambient temperature	-40	125	°C

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to -V_{BS}. (Please refer to the Design Tip DT97-3 for more details).

Note 2: When V_{DD} < 5V, the minimum V_{SS} offset is limited to -V_{DD}.

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC} , V_{BS} , V_{DD}) = 15V, C_L = 1000 pF, T_A = 25°C and V_{SS} = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
t_{on}	Turn-on propagation delay	7	—	120	150	ns	$V_S = 0V$
t_{off}	Turn-off propagation delay	8	—	94	125		$V_S = 500V/600V$
t_{sd}	Shutdown propagation delay	9	—	110	140		$V_S = 500V/600V$
t_r	Turn-on rise time	10	—	25	35		
t_f	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off	(IR2110) (IR2113)	—	—	—		10 20

Static Electrical Characteristics

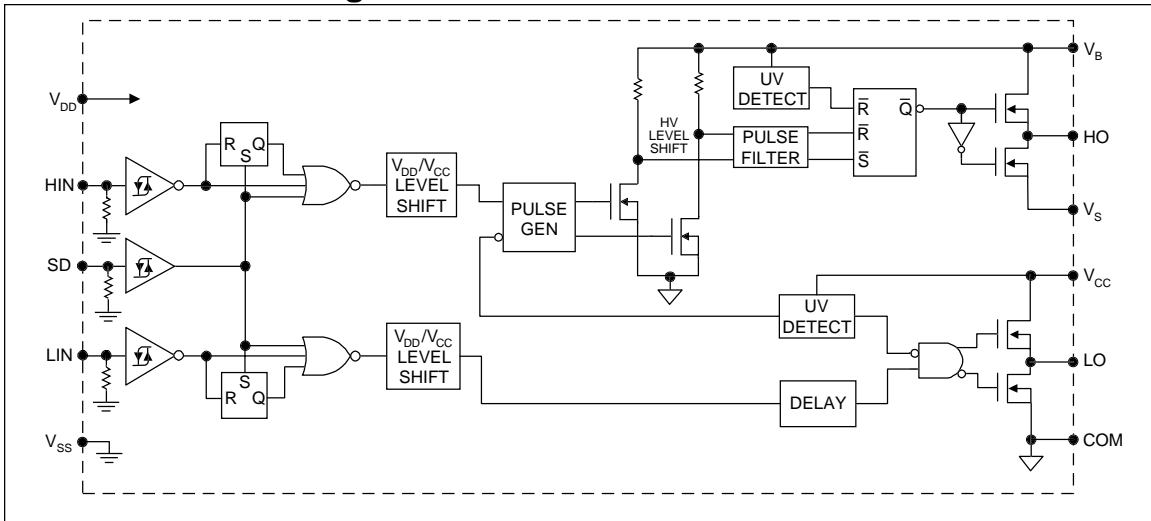
V_{BIAS} (V_{CC} , V_{BS} , V_{DD}) = 15V, T_A = 25°C and V_{SS} = COM unless otherwise specified. The V_{IN} , V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input leads: HIN, LIN and SD. The V_O and I_O parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
V_{IH}	Logic "1" input voltage	12	9.5	—	—	V	
V_{IL}	Logic "0" input voltage	13	—	—	6.0		
V_{OH}	High level output voltage, $V_{BIAS} - V_O$	14	—	—	1.2		$I_O = 0A$
V_{OL}	Low level output voltage, V_O	15	—	—	0.1		$I_O = 0A$
I_{LK}	Offset supply leakage current	16	—	—	50	μA	$V_B = V_S = 500V/600V$
I_{QBS}	Quiescent V_{BS} supply current	17	—	125	230		$V_{IN} = 0V$ or V_{DD}
I_{QCC}	Quiescent V_{CC} supply current	18	—	180	340		$V_{IN} = 0V$ or V_{DD}
I_{QDD}	Quiescent V_{DD} supply current	19	—	15	30		$V_{IN} = 0V$ or V_{DD}
I_{IN+}	Logic "1" input bias current	20	—	20	40		$V_{IN} = V_{DD}$
I_{IN-}	Logic "0" input bias current	21	—	—	1.0	$V_{IN} = 0V$	
V_{BSUV+}	V_{BS} supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
V_{BSUV-}	V_{BS} supply undervoltage negative going threshold	23	7.0	8.2	9.4		
V_{CCUV+}	V_{CC} supply undervoltage positive going threshold	24	7.4	8.5	9.6		
V_{CCUV-}	V_{CC} supply undervoltage negative going threshold	25	7.0	8.2	9.4		
I_{O+}	Output high short circuit pulsed current	26	2.0	2.5	—	A	$V_O = 0V$, $V_{IN} = V_{DD}$ $PW \leq 10 \mu s$
I_{O-}	Output low short circuit pulsed current	27	2.0	2.5	—		$V_O = 15V$, $V_{IN} = 0V$ $PW \leq 10 \mu s$

IR2110(S)/IR2113(S) & (PbF)

International
IR Rectifier

Functional Block Diagram



Lead Definitions

Symbol	Description
V _{DD}	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
V _{SS}	Logic ground
V _B	High side floating supply
HO	High side gate drive output
V _S	High side floating supply return
V _{CC}	Low side supply
LO	Low side gate drive output
COM	Low side return

Lead Assignments

<p>14 Lead PDIP</p>	<p>16 Lead SOIC (Wide Body)</p>
IR2110/IR2113	IR2110S/IR2113S

IR2110(S)/IR2113(S) & (PbF)

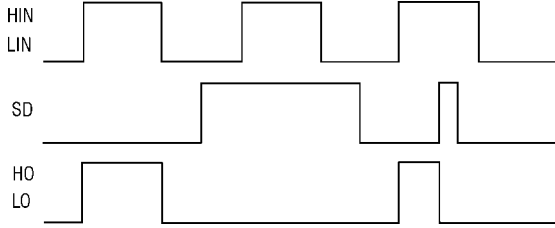


Figure 1. Input/Output Timing Diagram

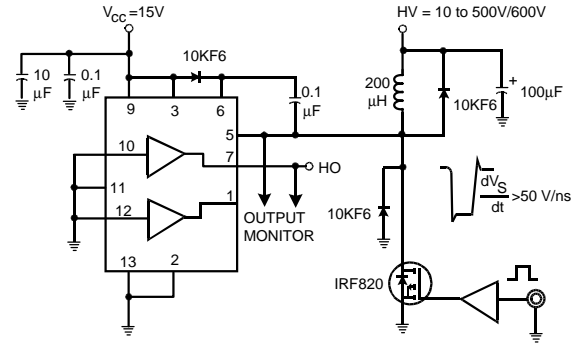


Figure 2. Floating Supply Voltage Transient Test Circuit

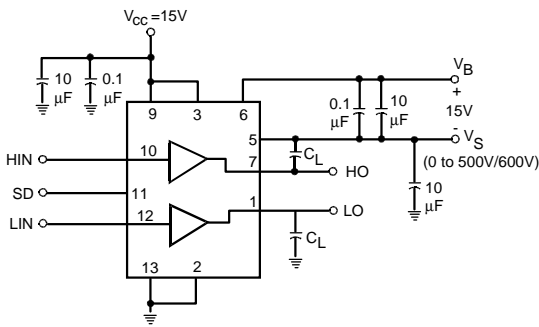


Figure 3. Switching Time Test Circuit

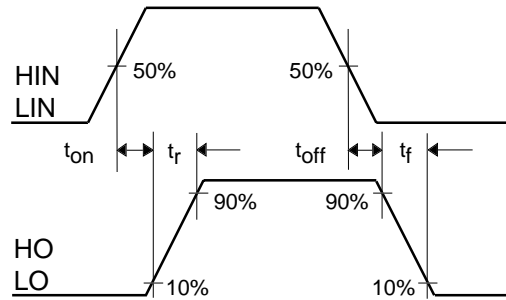


Figure 4. Switching Time Waveform Definition

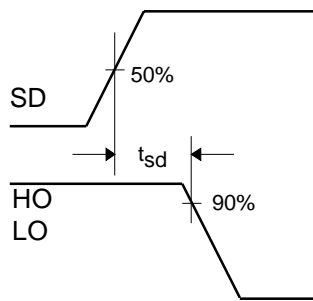


Figure 5. Shutdown Waveform Definitions

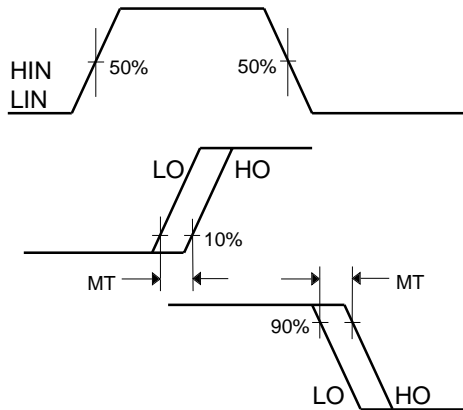


Figure 6. Delay Matching Waveform Definitions

IR2110(S)/IR2113(S) & (PbF)

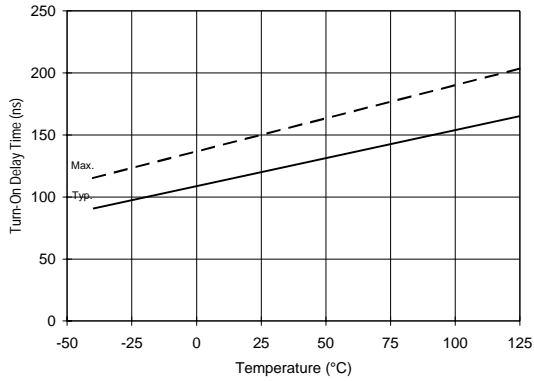


Figure 7A. Turn-On Time vs. Temperature

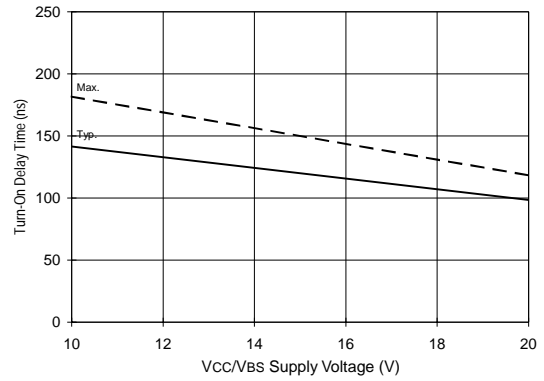


Figure 7B. Turn-On Time vs. Vcc/Vbs Supply Voltage

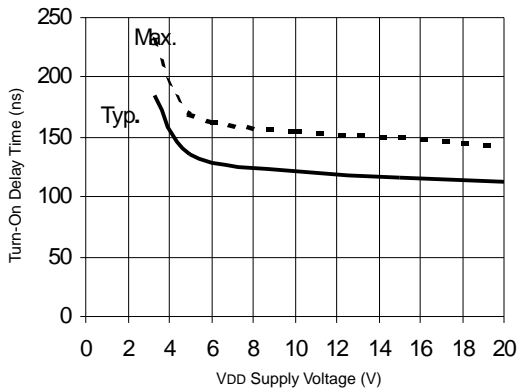


Figure 7C. Turn-On Time vs. VDD Supply Voltage

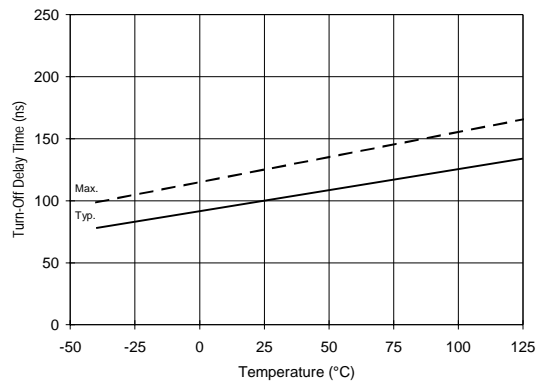


Figure 8A. Turn-Off Time vs. Temperature

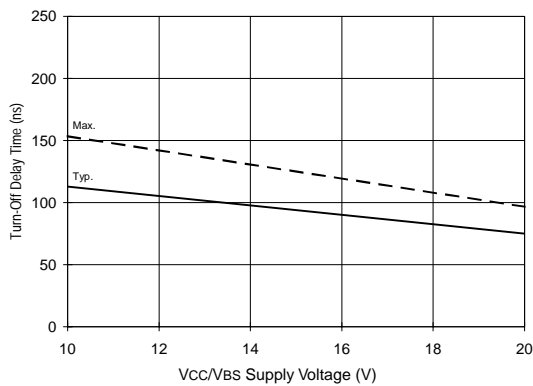


Figure 8B. Turn-Off Time vs. Vcc/Vbs Supply Voltage

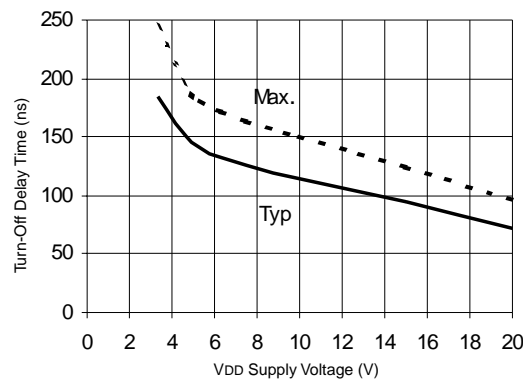


Figure 8C. Turn-Off Time vs. VDD Supply Voltage

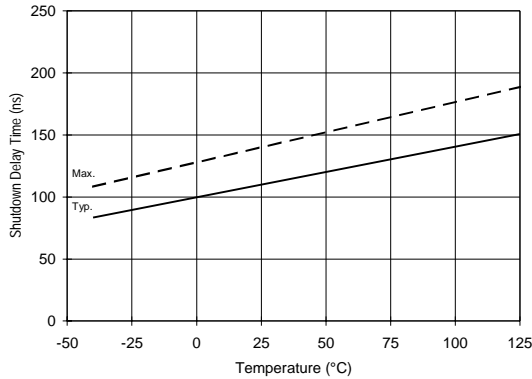


Figure 9A. Shutdown Time vs. Temperature

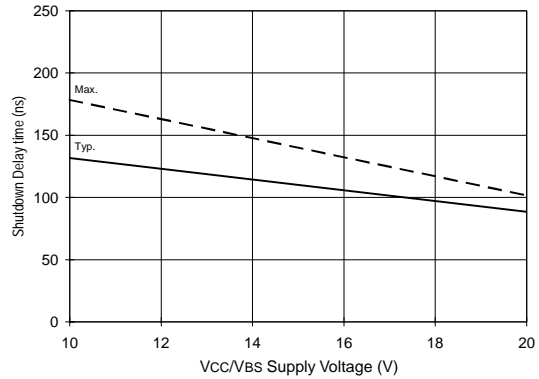


Figure 9B. Shutdown Time vs. Vcc/Vbs Supply Voltage

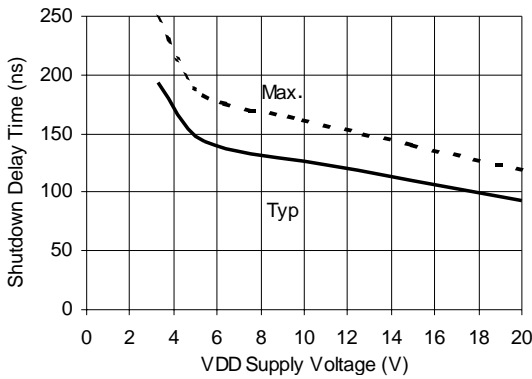


Figure 9C. Shutdown Time vs. VDD Supply Voltage

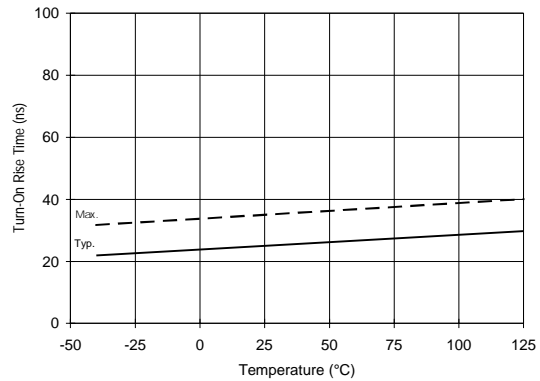


Figure 10A. Turn-On Rise Time vs. Temperature

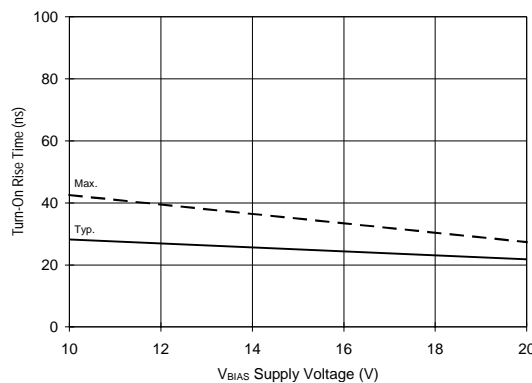


Figure 10B. Turn-On Rise Time vs. Voltage

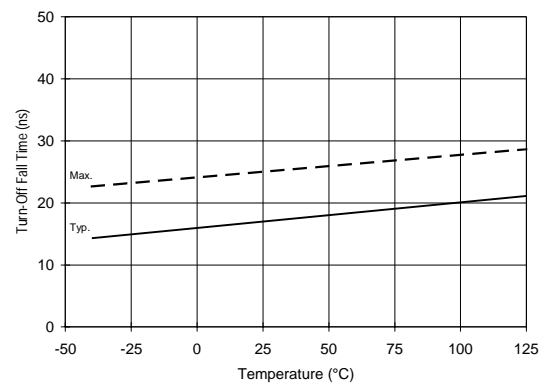


Figure 11A. Turn-Off Fall Time vs. Temperature

IR2110(S)/IR2113(S) & (PbF)

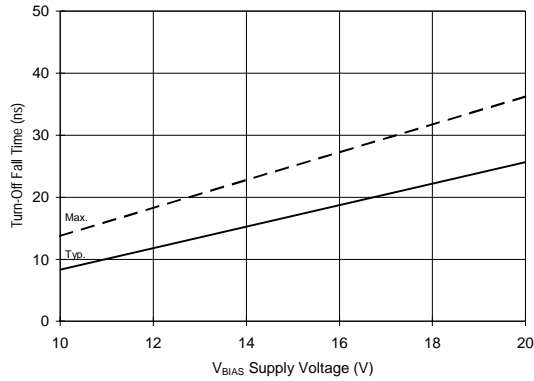


Figure 11B. Turn-Off Fall Time vs. Voltage

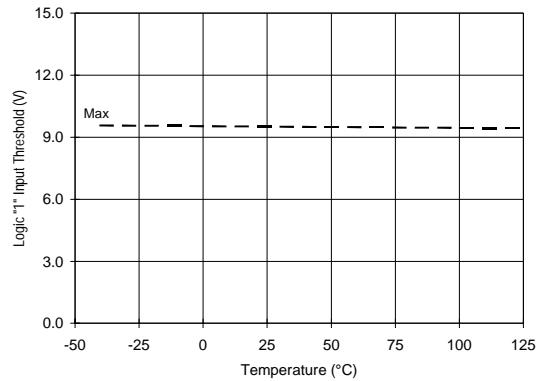


Figure 12A. Logic "1" Input Threshold vs. Temperature

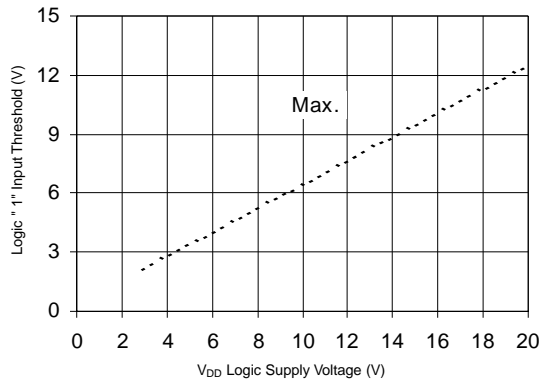


Figure 12B. Logic "1" Input Threshold vs. Voltage

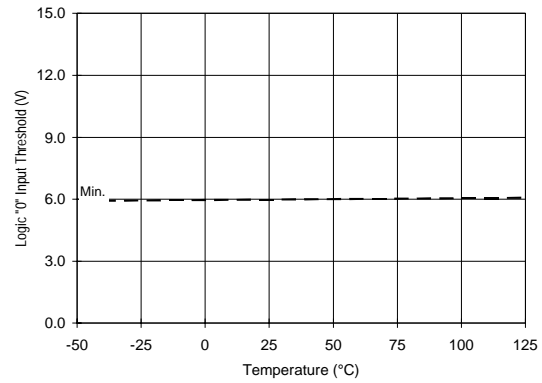


Figure 13A. Logic "0" Input Threshold vs. Temperature

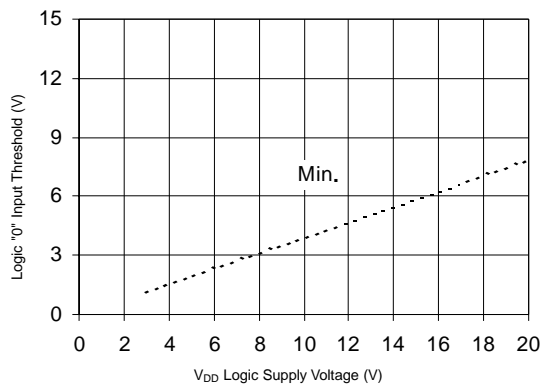


Figure 13B. Logic "0" Input Threshold vs. Voltage

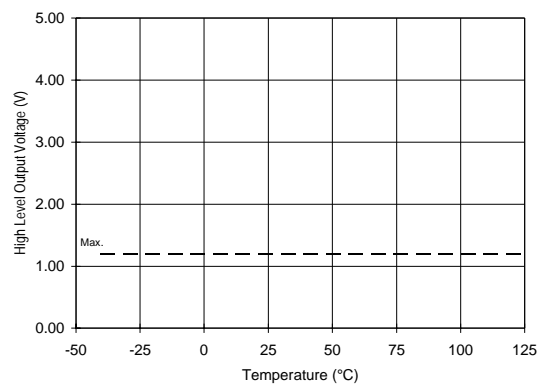


Figure 14A. High Level Output vs. Temperature

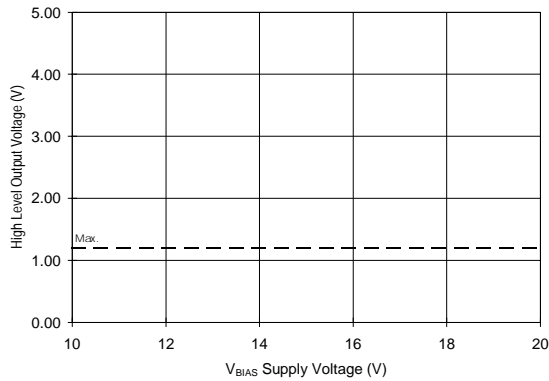


Figure 14B. High Level Output vs. Voltage

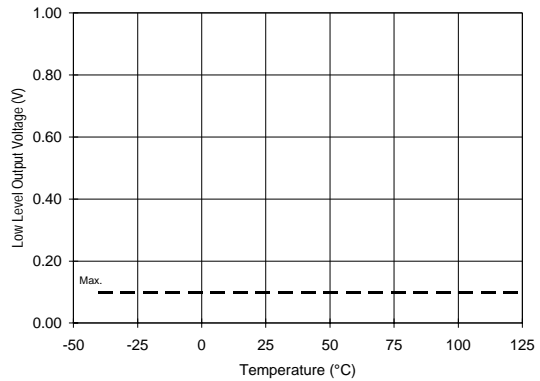


Figure 15A. Low Level Output vs. Temperature

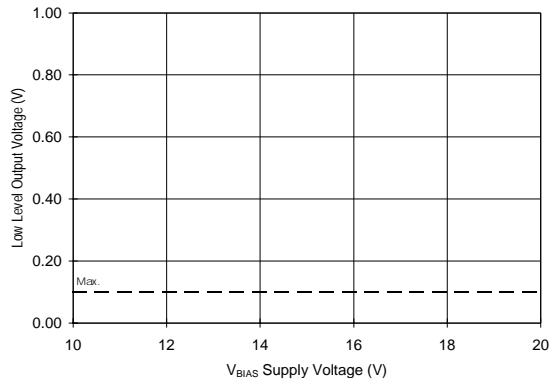


Figure 15B. Low Level Output vs. Voltage

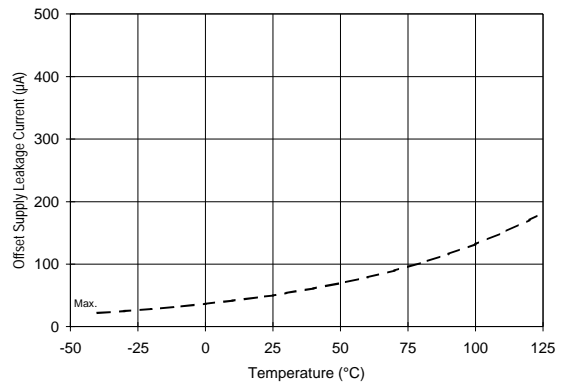


Figure 16A. Offset Supply Current vs. Temperature

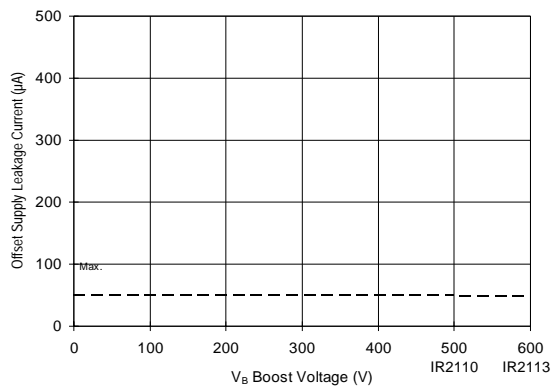


Figure 16B. Offset Supply Current vs. Voltage

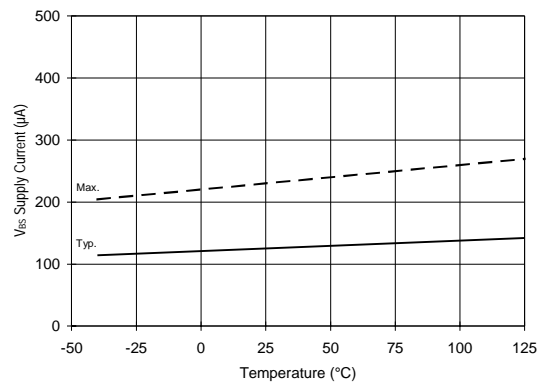


Figure 17A. VBS Supply Current vs. Temperature

IR2110(S)/IR2113(S) & (PbF)

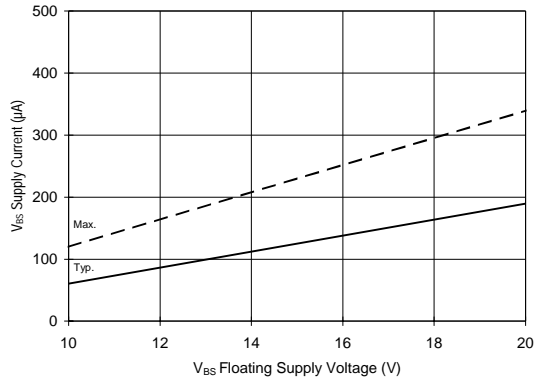


Figure 17B. V_{BS} Supply Current vs. Voltage

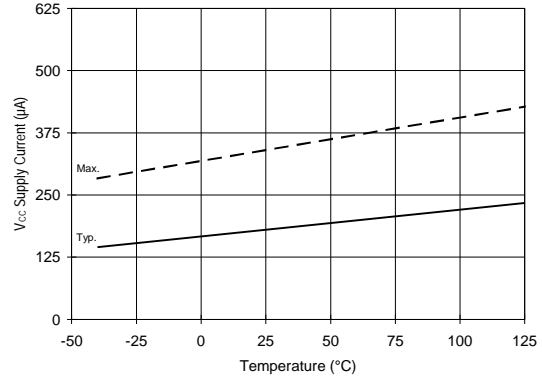


Figure 18A. V_{CC} Supply Current vs. Temperature

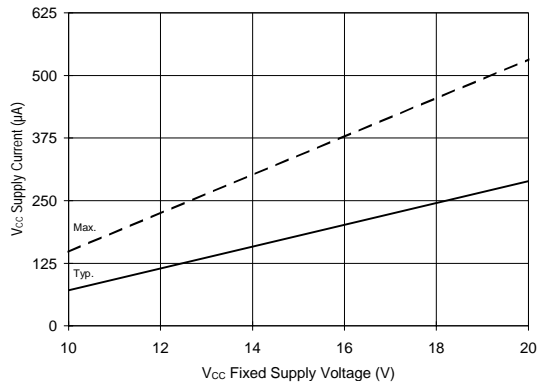


Figure 18B. V_{CC} Supply Current vs. Voltage

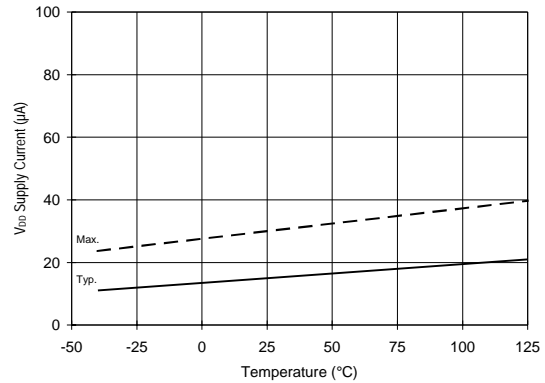


Figure 19A. V_{DD} Supply Current vs. Temperature

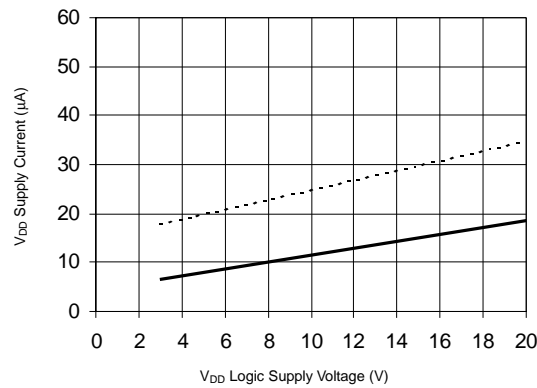


Figure 19B. V_{DD} Supply Current vs. V_{DD} Voltage

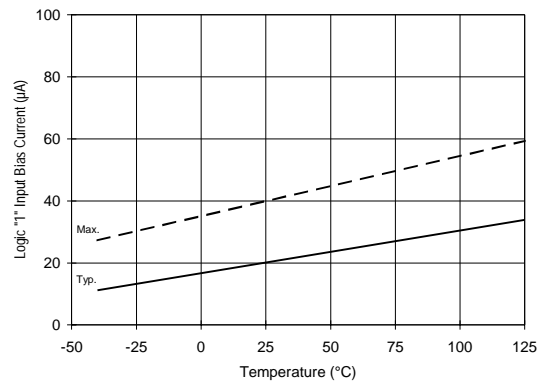


Figure 20A. Logic "1" Input Current vs. Temperature

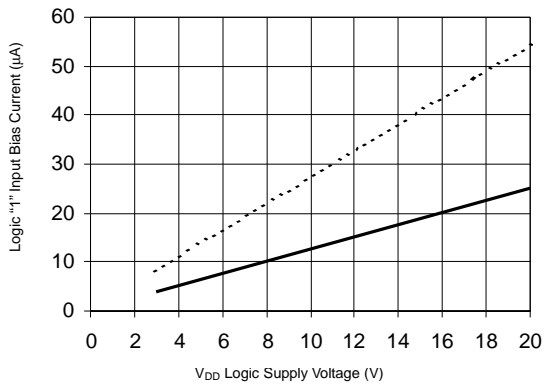


Figure 20B. Logic "1" Input Current vs. V_{DD} Voltage

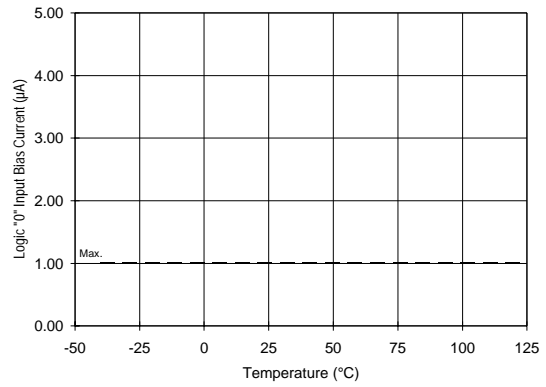


Figure 21A. Logic "0" Input Current vs. Temperature

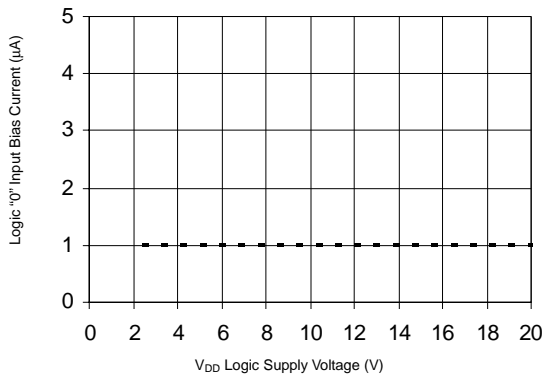


Figure 21B. Logic "0" Input Current vs. V_{DD} Voltage

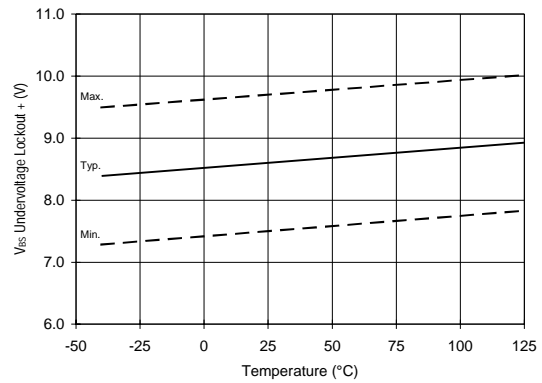


Figure 22. V_{BS} Undervoltage Lockout (+) vs. Temperature

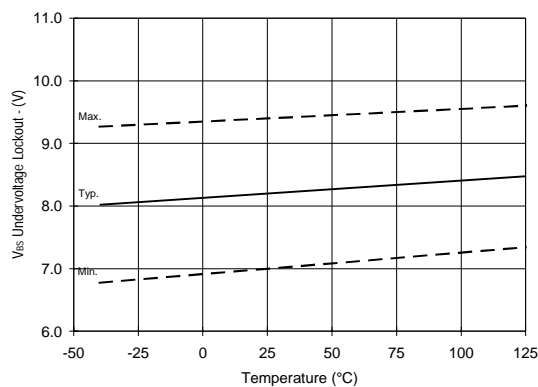


Figure 23. V_{BS} Undervoltage Lockout (-) vs. Temperature

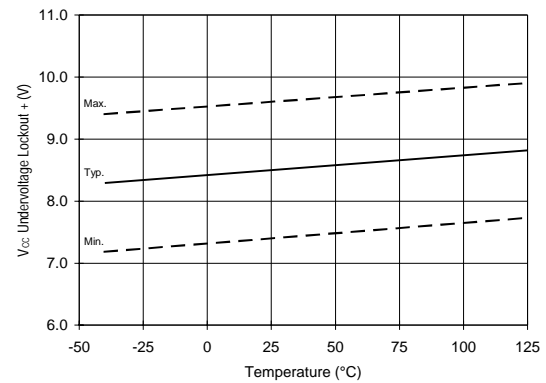


Figure 24. V_{CC} Undervoltage Lockout (+) vs. Temperature

IR2110(S)/IR2113(S) & (PbF)

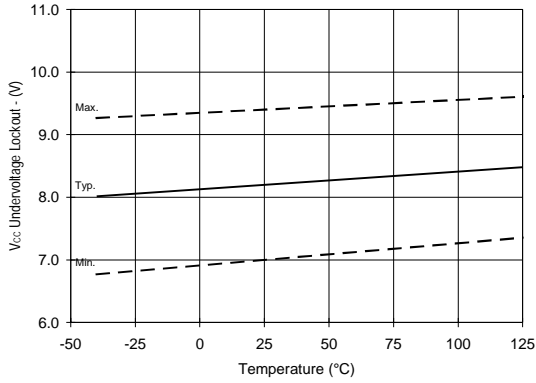


Figure 25. Vcc Undervoltage (-) vs. Temperature

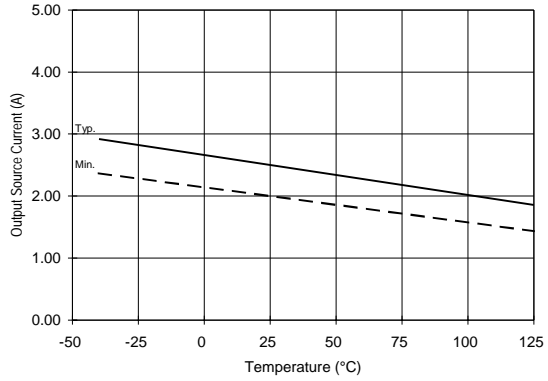


Figure 26A. Output Source Current vs. Temperature

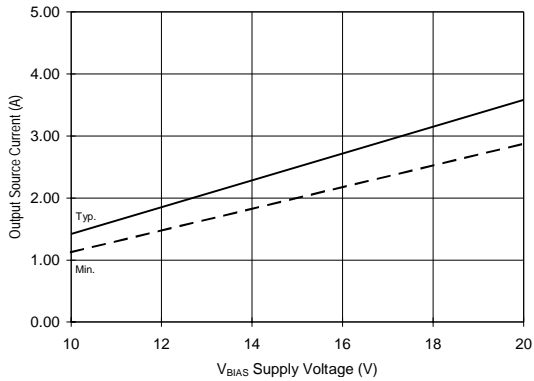


Figure 26B. Output Source Current vs. Voltage

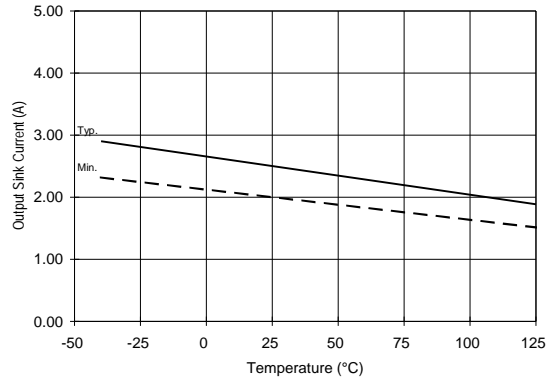


Figure 27A. Output Sink Current vs. Temperature

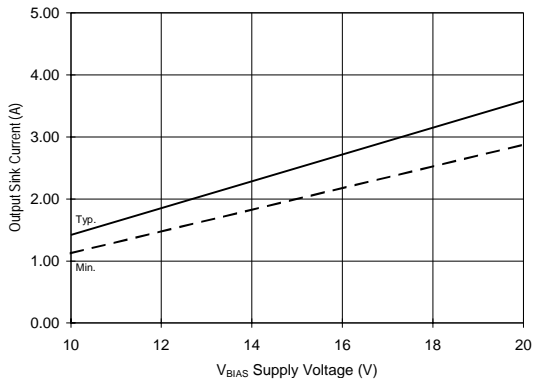


Figure 27B. Output Sink Current vs. Voltage

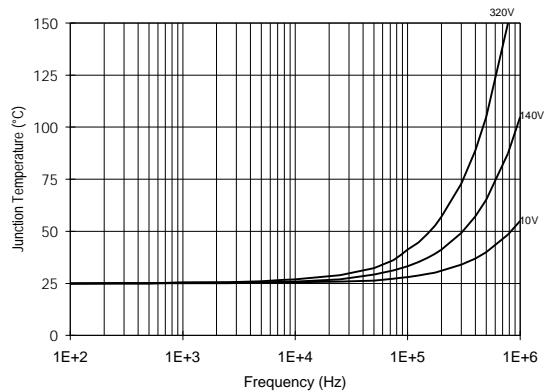


Figure 28. IR2110/IR2113 T_J vs. Frequency
(IRFBC20) R_{GATE} = 33Ω, V_{CC} = 15V

IR2110(S)/IR2113(S) & (PbF)

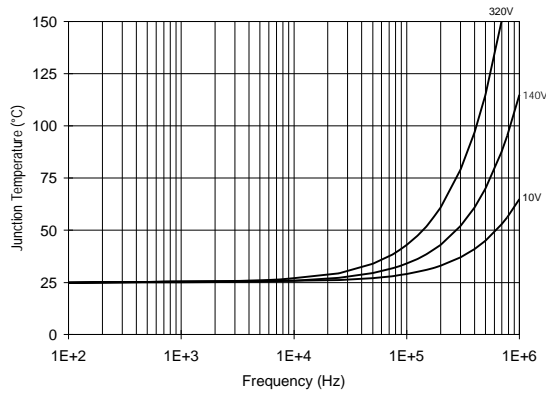


Figure 29. IR2110/IT2113 T_J vs. Frequency (IRFBC30) R_{GATE} = 22Ω, V_{CC} = 15V

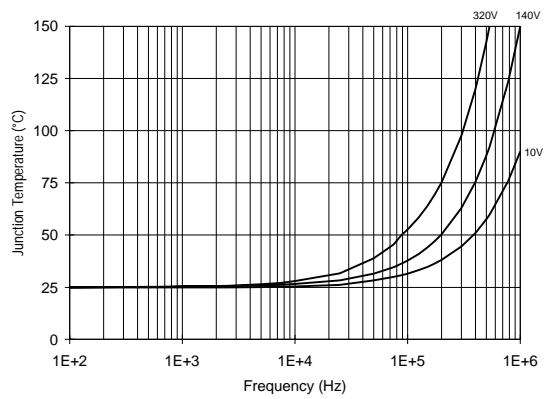


Figure 30. IR2110/IR2113 T_J vs. Frequency (IRFBC40) R_{GATE} = 15Ω, V_{CC} = 15V

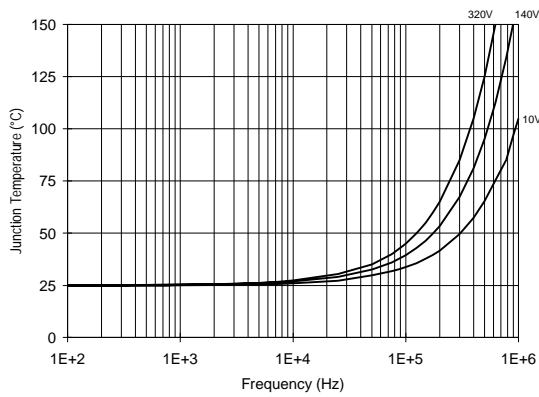


Figure 31. IR2110/IR2113 T_J vs. Frequency (IRFPE50) R_{GATE} = 10Ω, V_{CC} = 15V

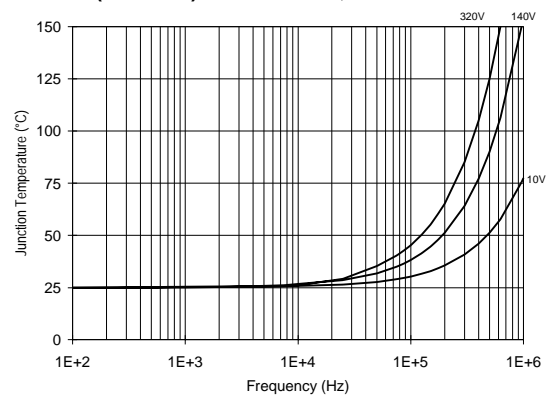


Figure 32. IR2110S/IR2113S T_J vs. Frequency (IRFBC20) R_{GATE} = 33Ω, V_{CC} = 15V

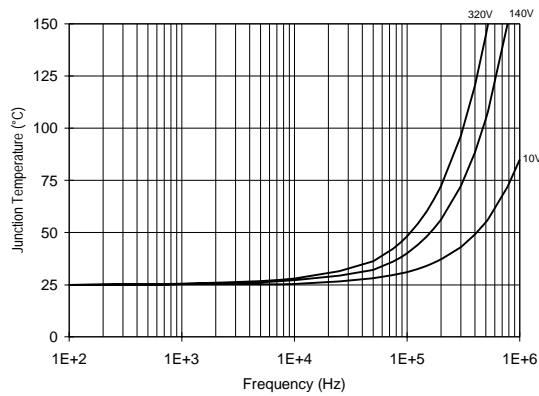


Figure 33. IR2110S/IR2113S T_J vs. Frequency (IRFBC30) R_{GATE} = 22Ω, V_{CC} = 15V

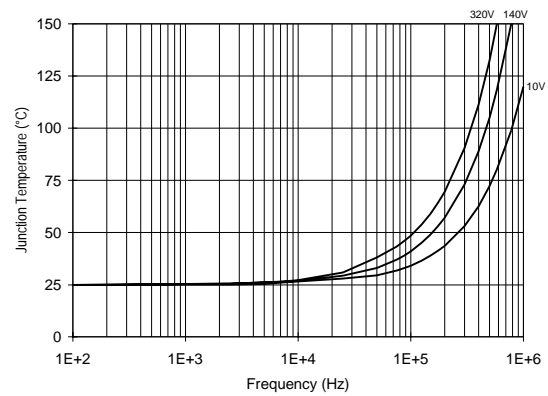


Figure 34. IR2110S/IR2113S T_J vs. Frequency (IRFBC40) R_{GATE} = 15Ω, V_{CC} = 15V

IR2110(S)/IR2113(S) & (PbF)

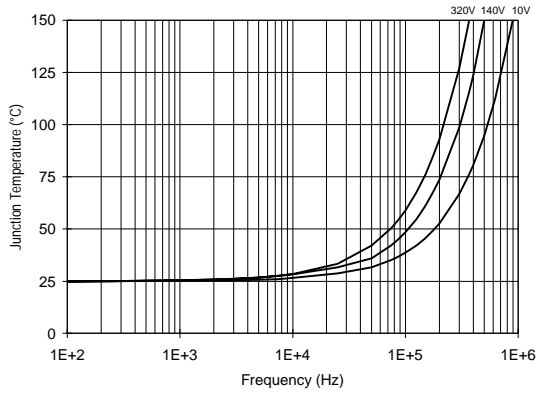


Figure 35. IR2110S/IR2113S T_J vs. Frequency (IRFPE50)
 $R_{GATE} = 10\Omega$, $V_{CC} = 15V$

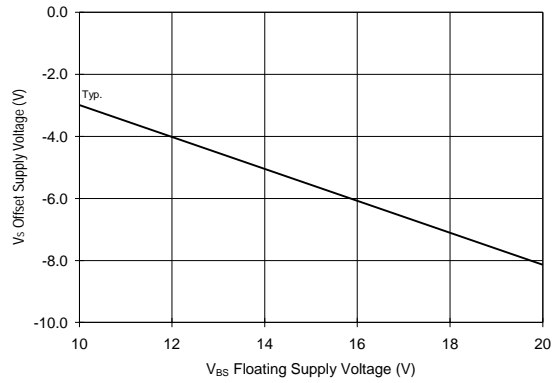


Figure 36. Maximum V_S Negative Offset vs. V_{BS} Supply Voltage

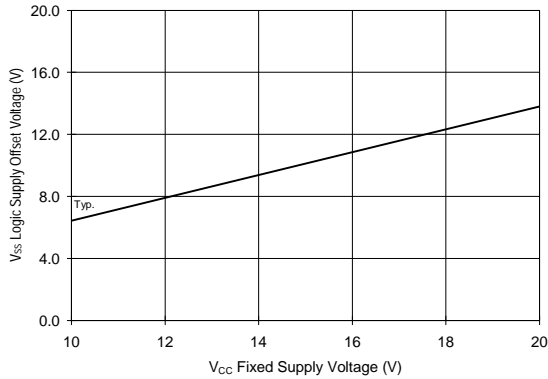
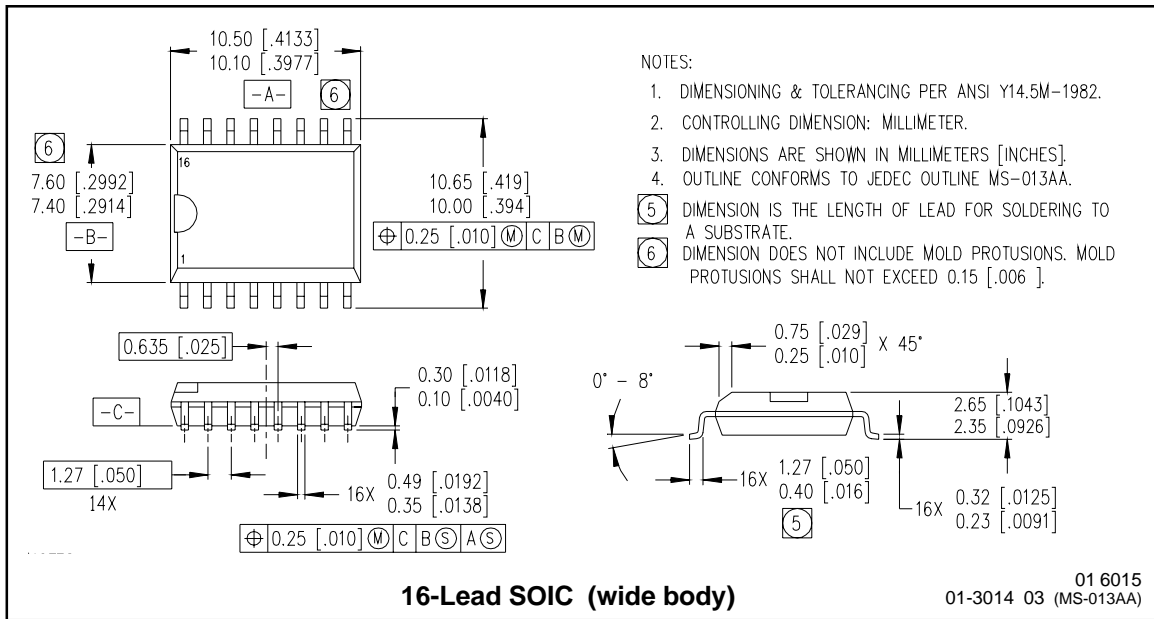
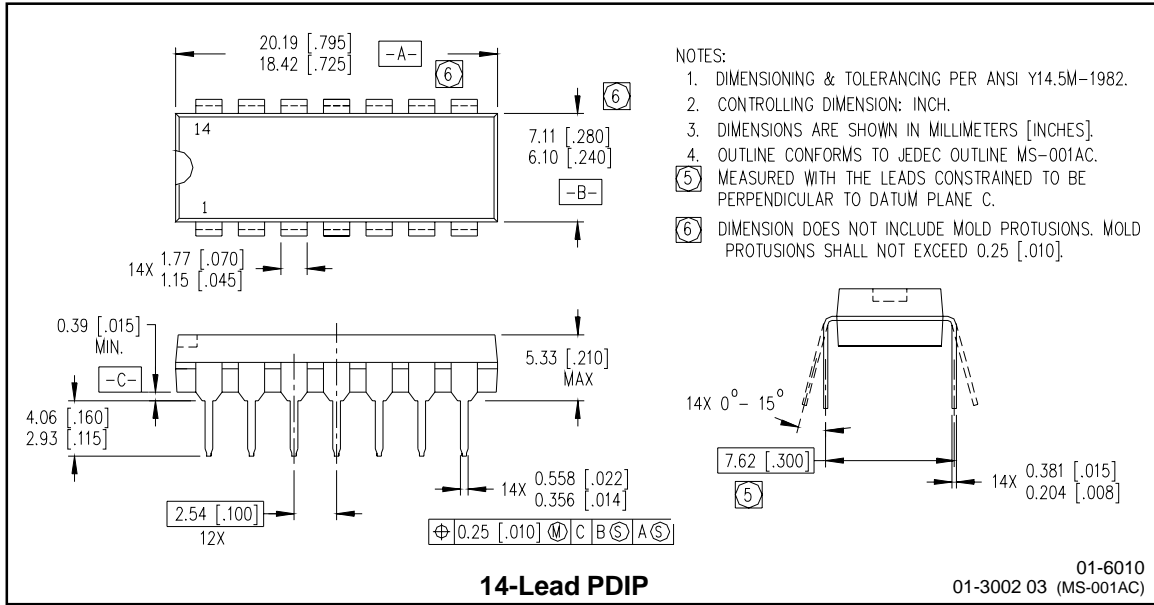


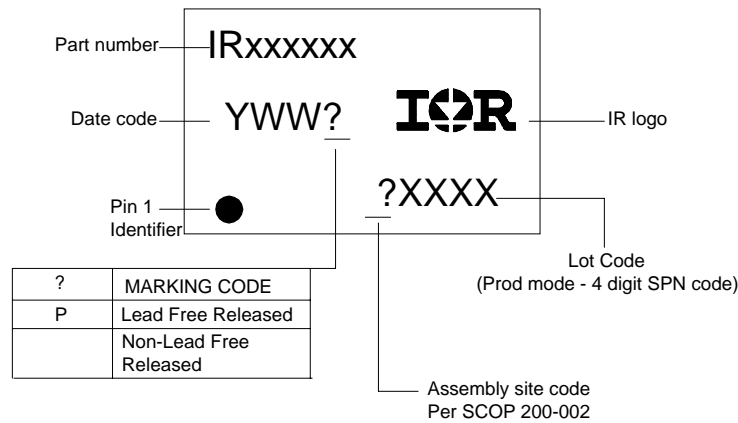
Figure 37. Maximum V_{SS} Positive Offset vs. V_{CC} Supply Voltage

Case Outlines



IR2110(S)/IR2113(S) & (PbF)

LEADFREE PART MARKING INFORMATION



ORDER INFORMATION

Basic Part (Non-Lead Free)

14-Lead IR2110 order IR2110
 14-Lead IR2113 order IR2113
 16-Lead IR2110S order IR2110S
 16-Lead IR2113S order IR2113S

Leadfree Part

14-Lead IR2110 order IR2110PbF
 14-Lead IR2113 order IR2113PbF
 16-Lead IR2110S order IR2110SPbF
 16-Lead IR2113S order IR2113SPbF

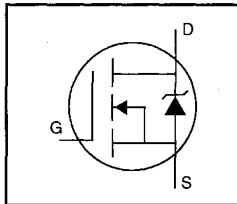
This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.

HEXFET® Power MOSFET

- Dynamic dv/dt Rating
- Repetitive Avalanche Rated
- Isolated Central Mounting Hole
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements



$$V_{DSS} = 500V$$

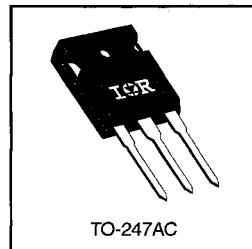
$$R_{DS(on)} = 0.27\Omega$$

$$I_D = 20A$$

Description

Third Generation HEXFETs from International Rectifier provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-247 package is preferred for commercial–industrial applications where higher power levels preclude the use of TO-220 devices. The TO-247 is similar but superior to the earlier TO-218 package because of its isolated mounting hole. It also provides greater creepage distance between pins to meet the requirements of most safety specifications.



DATA SHEETS

Absolute Maximum Ratings

	Parameter	Max.	Units
I_D @ $T_C = 25^\circ C$	Continuous Drain Current, V_{GS} @ 10 V	20	A
I_D @ $T_C = 100^\circ C$	Continuous Drain Current, V_{GS} @ 10 V	13	
I_{DM}	Pulsed Drain Current ①	80	
P_D @ $T_C = 25^\circ C$	Power Dissipation	280	W
	Linear Derating Factor	2.2	W/°C
V_{GS}	Gate-to-Source Voltage	±20	V
E_{AS}	Single Pulse Avalanche Energy ②	960	mJ
I_{AR}	Avalanche Current ①	20	A
E_{AR}	Repetitive Avalanche Energy ①	28	mJ
dv/dt	Peak Diode Recovery dv/dt ③	3.5	V/ns
T_J	Operating Junction and	-55 to +150	°C
T_{STG}	Storage Temperature Range		
	Soldering Temperature, for 10 seconds		
	Mounting Torque, 6-32 or M3 screw	10 lbf•in (1.1 N•m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	—	0.45	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	—	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient	—	—	40	

Electrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	500	—	—	V	$V_{GS}=0\text{V}$, $I_D=250\mu\text{A}$
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.63	—	$\text{V}/^\circ\text{C}$	Reference to 25°C , $I_D=1\text{mA}$
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.27	Ω	$V_{GS}=10\text{V}$, $I_D=12\text{A}$ ④
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	$V_{DS}=V_{GS}$, $I_D=250\mu\text{A}$
g_{fs}	Forward Transconductance	13	—	—	S	$V_{DS}=50\text{V}$, $I_D=12\text{A}$ ④
I_{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	$V_{DS}=500\text{V}$, $V_{GS}=0\text{V}$
		—	—	250		$V_{DS}=400\text{V}$, $V_{GS}=0\text{V}$, $T_J=125^\circ\text{C}$
I_{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	$V_{GS}=20\text{V}$
	Gate-to-Source Reverse Leakage	—	—	-100		$V_{GS}=-20\text{V}$
Q_g	Total Gate Charge	—	—	210	nC	$I_D=20\text{A}$
Q_{gs}	Gate-to-Source Charge	—	—	29		$V_{DS}=400\text{V}$
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	110		$V_{GS}=10\text{V}$ See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	18	—		$V_{DD}=250\text{V}$
t_r	Rise Time	—	59	—	ns	$I_D=20\text{A}$
$t_{d(off)}$	Turn-Off Delay Time	—	110	—		$R_G=4.3\Omega$
t_f	Fall Time	—	58	—		$R_D=13\Omega$ See Figure 10 ④
L_D	Internal Drain Inductance	—	5.0	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact
L_S	Internal Source Inductance	—	13	—		
C_{iss}	Input Capacitance	—	4200	—	pF	$V_{DS}=0\text{V}$
C_{oss}	Output Capacitance	—	870	—		$V_{DS}=25\text{V}$
C_{rss}	Reverse Transfer Capacitance	—	350	—		$f=1.0\text{MHz}$ See Figure 5

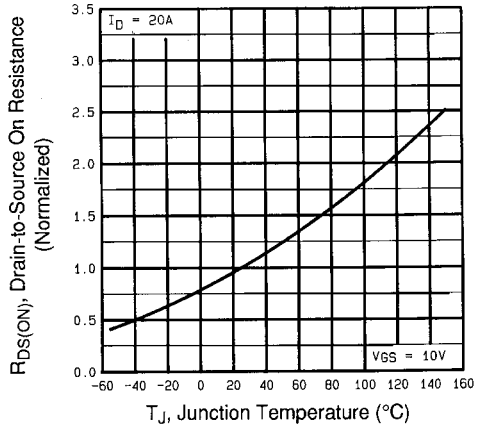
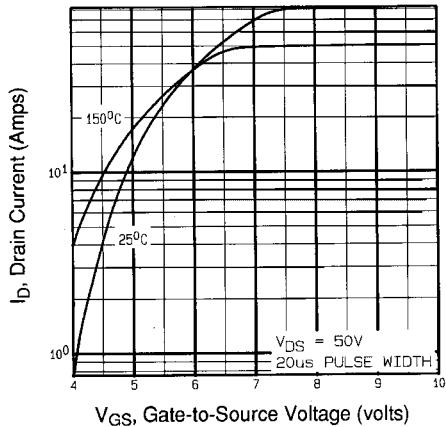
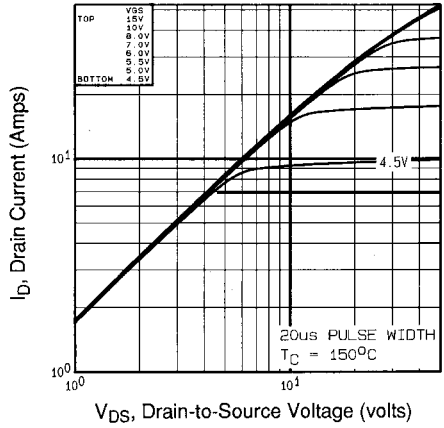
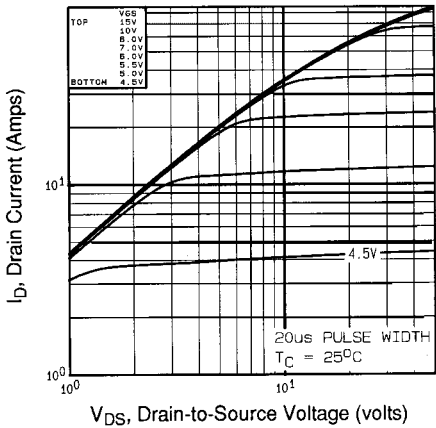


Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I_S	Continuous Source Current (Body Diode)	—	—	20	A	MOSFET symbol showing the integral reverse p-n junction diode.
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	80		
V_{SD}	Diode Forward Voltage	—	—	1.8	V	$T_J=25^\circ\text{C}$, $I_S=20\text{A}$, $V_{GS}=0\text{V}$ ④
t_{rr}	Reverse Recovery Time	—	570	860	ns	$T_J=25^\circ\text{C}$, $I_F=20\text{A}$
Q_{rr}	Reverse Recovery Charge	—	5.7	8.6	μC	$di/dt=100\text{A}/\mu\text{s}$ ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by L_S+L_D)				

Notes:

- ① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)
- ② $V_{DD}=50\text{V}$, starting $T_J=25^\circ\text{C}$, $L=4.3\text{mH}$, $R_G=25\Omega$, $I_{AS}=20\text{A}$ (See Figure 12)
- ③ $I_{Sp} \leq 20\text{A}$, $di/dt \leq 160\text{A}/\mu\text{s}$, $V_{DD} \leq V_{(BR)DSS}$, $T_J \leq 150^\circ\text{C}$
- ④ Pulse width $\leq 300\mu\text{s}$; duty cycle $\leq 2\%$.



DATA SHEETS

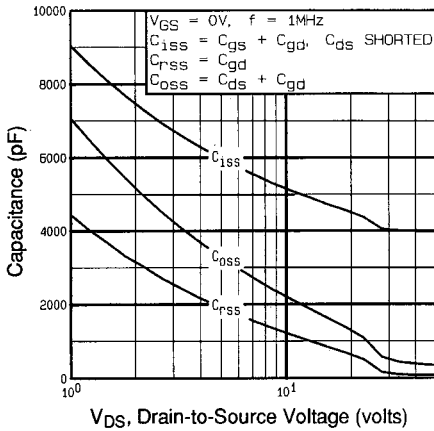


Fig 5. Typical Capacitance Vs. Drain-to-Source Voltage

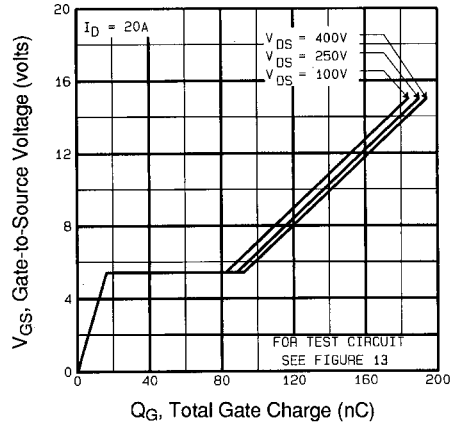


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

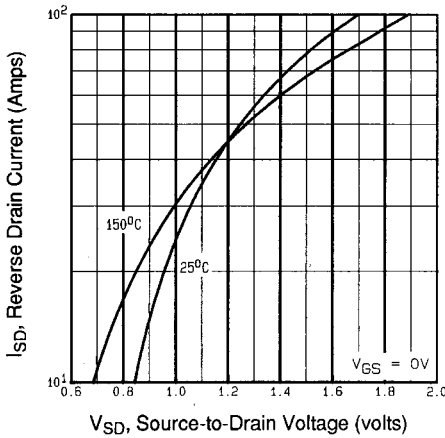


Fig 7. Typical Source-Drain Diode Forward Voltage

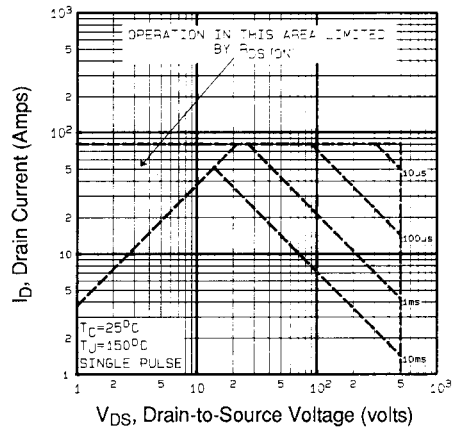


Fig 8. Maximum Safe Operating Area

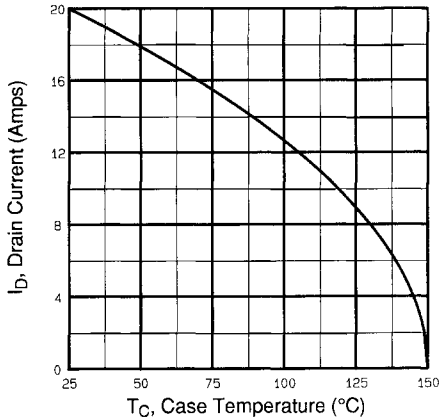


Fig 9. Maximum Drain Current Vs. Case Temperature

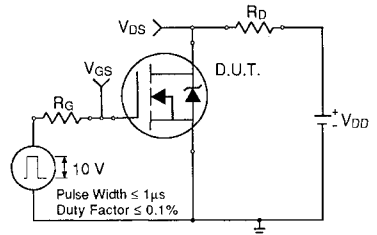


Fig 10a. Switching Time Test Circuit

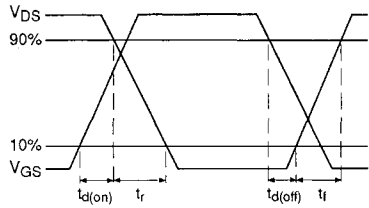


Fig 10b. Switching Time Waveforms

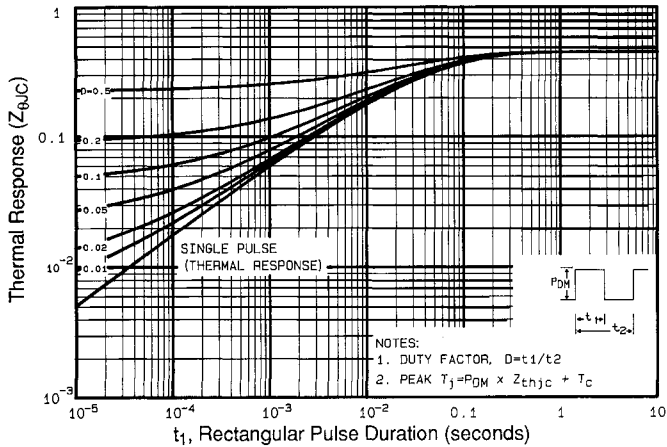


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Case

DATA SHEETS

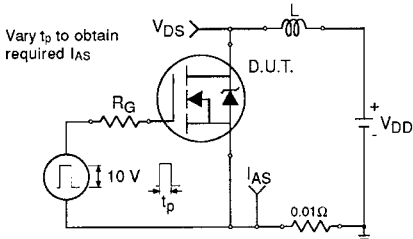


Fig 12a. Unclamped Inductive Test Circuit

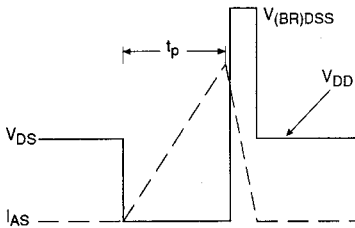


Fig 12b. Unclamped Inductive Waveforms

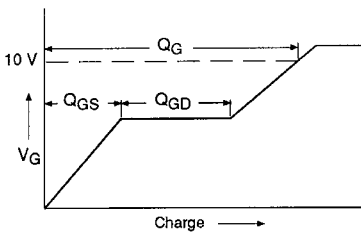


Fig 13a. Basic Gate Charge Waveform

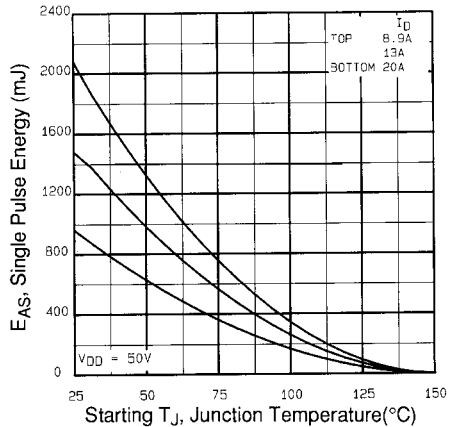


Fig 12c. Maximum Avalanche Energy Vs. Drain Current

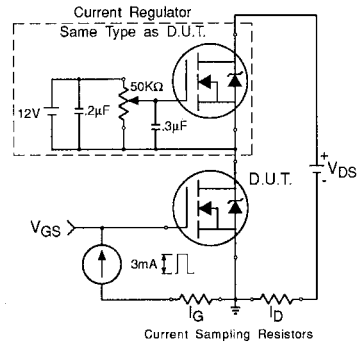


Fig 13b. Gate Charge Test Circuit

Appendix A: Figure 14, Peak Diode Recovery dv/dt Test Circuit – See page 1505

Appendix B: Package Outline Mechanical Drawing – See page 1511

Appendix C: Part Marking Information – See page 1517

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.

Features

- High-performance, Low-power AVR[®] 8-bit Microcontroller
- Advanced RISC Architecture
 - 131 Powerful Instructions – Most Single-clock Cycle Execution
 - 32 x 8 General Purpose Working Registers
 - Fully Static Operation
 - Up to 16 MIPS Throughput at 16 MHz
 - On-chip 2-cycle Multiplier
- High Endurance Non-volatile Memory segments
 - 16K Bytes of In-System Self-programmable Flash program memory
 - 512 Bytes EEPROM
 - 1K Byte Internal SRAM
 - Write/Erase Cycles: 10,000 Flash/100,000 EEPROM
 - Data retention: 20 years at 85°C/100 years at 25°C⁽¹⁾
 - Optional Boot Code Section with Independent Lock Bits
In-System Programming by On-chip Boot Program
True Read-While-Write Operation
 - Programming Lock for Software Security
- JTAG (IEEE std. 1149.1 Compliant) Interface
 - Boundary-scan Capabilities According to the JTAG Standard
 - Extensive On-chip Debug Support
 - Programming of Flash, EEPROM, Fuses, and Lock Bits through the JTAG Interface
- Peripheral Features
 - Two 8-bit Timer/Counters with Separate Prescalers and Compare Modes
 - One 16-bit Timer/Counter with Separate Prescaler, Compare Mode, and Capture Mode
 - Real Time Counter with Separate Oscillator
 - Four PWM Channels
 - 8-channel, 10-bit ADC
 - 8 Single-ended Channels
 - 7 Differential Channels in TQFP Package Only
 - 2 Differential Channels with Programmable Gain at 1x, 10x, or 200x
 - Byte-oriented Two-wire Serial Interface
 - Programmable Serial USART
 - Master/Slave SPI Serial Interface
 - Programmable Watchdog Timer with Separate On-chip Oscillator
 - On-chip Analog Comparator
- Special Microcontroller Features
 - Power-on Reset and Programmable Brown-out Detection
 - Internal Calibrated RC Oscillator
 - External and Internal Interrupt Sources
 - Six Sleep Modes: Idle, ADC Noise Reduction, Power-save, Power-down, Standby and Extended Standby
- I/O and Packages
 - 32 Programmable I/O Lines
 - 40-pin PDIP, 44-lead TQFP, and 44-pad QFN/MLF
- Operating Voltages
 - 2.7 - 5.5V for ATmega16L
 - 4.5 - 5.5V for ATmega16
- Speed Grades
 - 0 - 8 MHz for ATmega16L
 - 0 - 16 MHz for ATmega16
- Power Consumption @ 1 MHz, 3V, and 25°C for ATmega16L
 - Active: 1.1 mA
 - Idle Mode: 0.35 mA
 - Power-down Mode: < 1 µA



8-bit AVR[®] Microcontroller with 16K Bytes In-System Programmable Flash

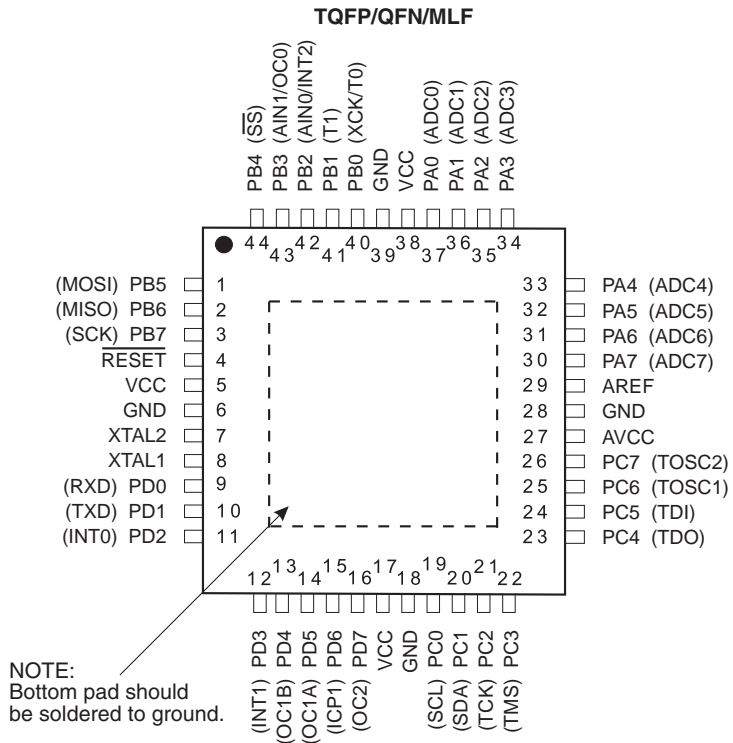
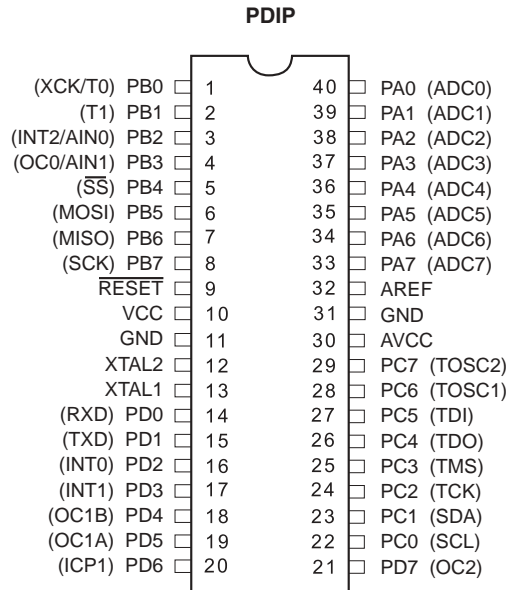
ATmega16
ATmega16L

Summary



Pin Configurations

Figure 1. Pinout ATmega16



Disclaimer

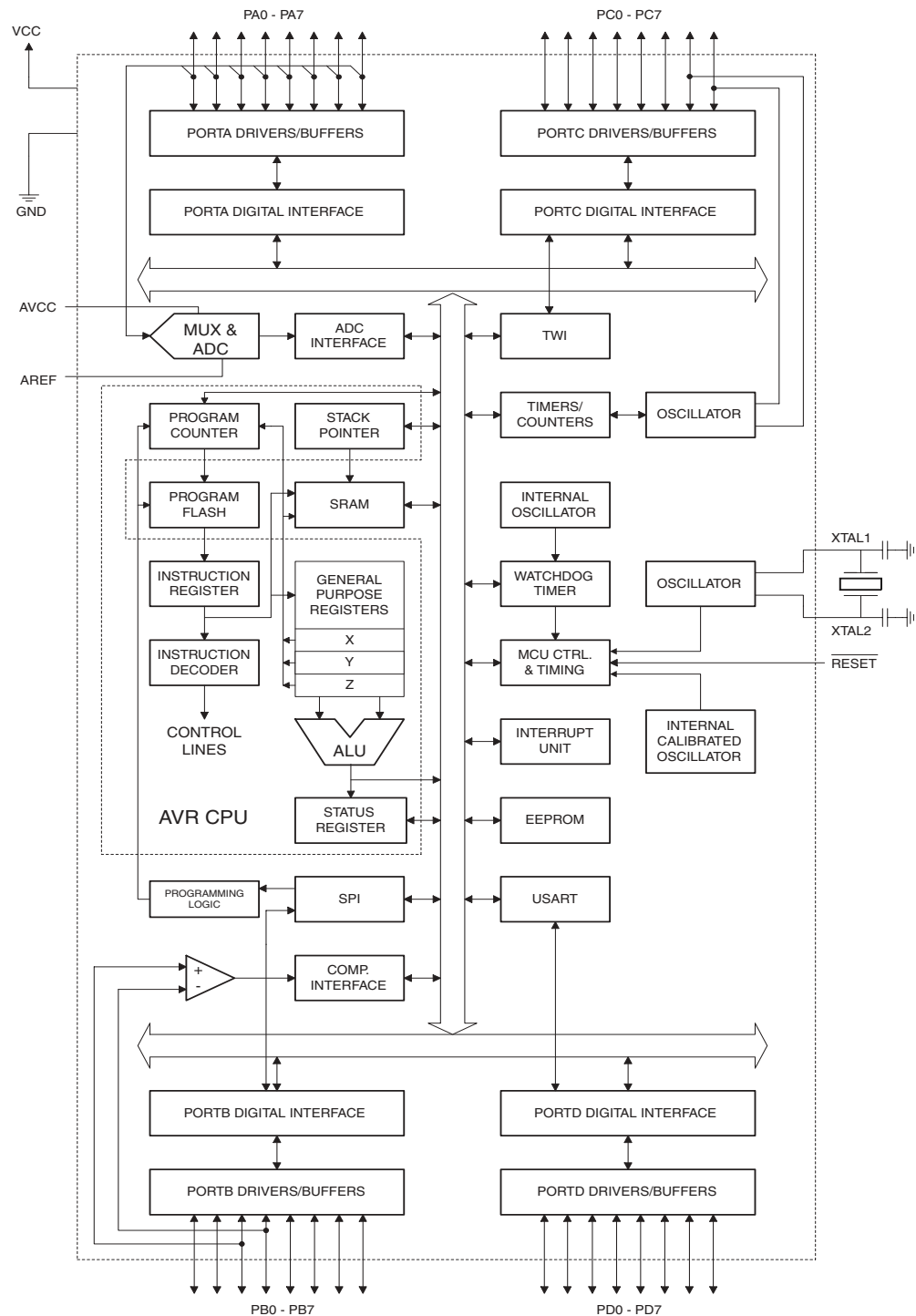
Typical values contained in this datasheet are based on simulations and characterization of other AVR microcontrollers manufactured on the same process technology. Min and Max values will be available after the device is characterized.

Overview

The ATmega16 is a low-power CMOS 8-bit microcontroller based on the AVR enhanced RISC architecture. By executing powerful instructions in a single clock cycle, the ATmega16 achieves throughputs approaching 1 MIPS per MHz allowing the system designer to optimize power consumption versus processing speed.

Block Diagram

Figure 2. Block Diagram





The AVR core combines a rich instruction set with 32 general purpose working registers. All the 32 registers are directly connected to the Arithmetic Logic Unit (ALU), allowing two independent registers to be accessed in one single instruction executed in one clock cycle. The resulting architecture is more code efficient while achieving throughputs up to ten times faster than conventional CISC microcontrollers.

The ATmega16 provides the following features: 16K bytes of In-System Programmable Flash Program memory with Read-While-Write capabilities, 512 bytes EEPROM, 1K byte SRAM, 32 general purpose I/O lines, 32 general purpose working registers, a JTAG interface for Boundary-scan, On-chip Debugging support and programming, three flexible Timer/Counters with compare modes, Internal and External Interrupts, a serial programmable USART, a byte oriented Two-wire Serial Interface, an 8-channel, 10-bit ADC with optional differential input stage with programmable gain (TQFP package only), a programmable Watchdog Timer with Internal Oscillator, an SPI serial port, and six software selectable power saving modes. The Idle mode stops the CPU while allowing the USART, Two-wire interface, A/D Converter, SRAM, Timer/Counters, SPI port, and interrupt system to continue functioning. The Power-down mode saves the register contents but freezes the Oscillator, disabling all other chip functions until the next External Interrupt or Hardware Reset. In Power-save mode, the Asynchronous Timer continues to run, allowing the user to maintain a timer base while the rest of the device is sleeping. The ADC Noise Reduction mode stops the CPU and all I/O modules except Asynchronous Timer and ADC, to minimize switching noise during ADC conversions. In Standby mode, the crystal/resonator Oscillator is running while the rest of the device is sleeping. This allows very fast start-up combined with low-power consumption. In Extended Standby mode, both the main Oscillator and the Asynchronous Timer continue to run.

The device is manufactured using Atmel's high density nonvolatile memory technology. The On-chip ISP Flash allows the program memory to be reprogrammed in-system through an SPI serial interface, by a conventional nonvolatile memory programmer, or by an On-chip Boot program running on the AVR core. The boot program can use any interface to download the application program in the Application Flash memory. Software in the Boot Flash section will continue to run while the Application Flash section is updated, providing true Read-While-Write operation. By combining an 8-bit RISC CPU with In-System Self-Programmable Flash on a monolithic chip, the Atmel ATmega16 is a powerful microcontroller that provides a highly-flexible and cost-effective solution to many embedded control applications.

The ATmega16 AVR is supported with a full suite of program and system development tools including: C compilers, macro assemblers, program debugger/simulators, in-circuit emulators, and evaluation kits.

Pin Descriptions

VCC Digital supply voltage.

GND Ground.

Port A (PA7..PA0) Port A serves as the analog inputs to the A/D Converter.

Port A also serves as an 8-bit bi-directional I/O port, if the A/D Converter is not used. Port pins can provide internal pull-up resistors (selected for each bit). The Port A output buffers have symmetrical drive characteristics with both high sink and source capability. When pins PA0 to PA7 are used as inputs and are externally pulled low, they will source current if the internal pull-up resistors are activated. The Port A pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Port B (PB7..PB0)	<p>Port B is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port B output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port B pins that are externally pulled low will source current if the pull-up resistors are activated. The Port B pins are tri-stated when a reset condition becomes active, even if the clock is not running.</p> <p>Port B also serves the functions of various special features of the ATmega16 as listed on page 58.</p>
Port C (PC7..PC0)	<p>Port C is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port C output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port C pins that are externally pulled low will source current if the pull-up resistors are activated. The Port C pins are tri-stated when a reset condition becomes active, even if the clock is not running. If the JTAG interface is enabled, the pull-up resistors on pins PC5(TDI), PC3(TMS) and PC2(TCK) will be activated even if a reset occurs.</p> <p>Port C also serves the functions of the JTAG interface and other special features of the ATmega16 as listed on page 61.</p>
Port D (PD7..PD0)	<p>Port D is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port D output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port D pins that are externally pulled low will source current if the pull-up resistors are activated. The Port D pins are tri-stated when a reset condition becomes active, even if the clock is not running.</p> <p>Port D also serves the functions of various special features of the ATmega16 as listed on page 63.</p>
$\overline{\text{RESET}}$	<p>Reset Input. A low level on this pin for longer than the minimum pulse length will generate a reset, even if the clock is not running. The minimum pulse length is given in Table 15 on page 38. Shorter pulses are not guaranteed to generate a reset.</p>
XTAL1	<p>Input to the inverting Oscillator amplifier and input to the internal clock operating circuit.</p>
XTAL2	<p>Output from the inverting Oscillator amplifier.</p>
AVCC	<p>AVCC is the supply voltage pin for Port A and the A/D Converter. It should be externally connected to V_{CC}, even if the ADC is not used. If the ADC is used, it should be connected to V_{CC} through a low-pass filter.</p>
AREF	<p>AREF is the analog reference pin for the A/D Converter.</p>



Resources

A comprehensive set of development tools, application notes and datasheets are available for download on <http://www.atmel.com/avr>.

Data Retention

Reliability Qualification results show that the projected data retention failure rate is much less than 1 PPM over 20 years at 85°C or 100 years at 25°C.

Register Summary

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	9
\$3E (\$5E)	SPH	–	–	–	–	–	SP10	SP9	SP8	12
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	12
\$3C (\$5C)	OCR0	Timer/Counter0 Output Compare Register								85
\$3B (\$5B)	GICR	INT1	INT0	INT2	–	–	–	IVSEL	IVCE	48, 69
\$3A (\$5A)	GIFR	INTF1	INTF0	INTF2	–	–	–	–	–	70
\$39 (\$59)	TIMSK	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	85, 115, 133
\$38 (\$58)	TIFR	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	86, 115, 133
\$37 (\$57)	SPMCR	SPMIE	RWWWSB	–	RWWWSRE	BLBSET	PGWRT	PGERS	SPMEN	250
\$36 (\$56)	TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE	180
\$35 (\$55)	MCUCR	SM2	SE	SM1	SM0	ISC11	ISC10	ISC01	ISC00	32, 68
\$34 (\$54)	MCUCSR	JTD	ISC2	–	JTRF	WDRF	BORF	EXTRF	PORF	41, 69, 231
\$33 (\$53)	TCCR0	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00	83
\$32 (\$52)	TCNT0	Timer/Counter0 (8 Bits)								85
\$31 ⁽¹⁾ (\$51) ⁽¹⁾	OSCCAL	Oscillator Calibration Register								30
	ODCR	On-Chip Debug Register								227
\$30 (\$50)	SFIOR	ADTS2	ADTS1	ADTS0	–	ACME	PUD	PSR2	PSR10	57, 88, 134, 201, 221
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	WGM11	WGM10	110
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	–	WGM13	WGM12	CS12	CS11	CS10	113
\$2D (\$4D)	TCNT1H	Timer/Counter1 – Counter Register High Byte								114
\$2C (\$4C)	TCNT1L	Timer/Counter1 – Counter Register Low Byte								114
\$2B (\$4B)	OCR1AH	Timer/Counter1 – Output Compare Register A High Byte								114
\$2A (\$4A)	OCR1AL	Timer/Counter1 – Output Compare Register A Low Byte								114
\$29 (\$49)	OCR1BH	Timer/Counter1 – Output Compare Register B High Byte								114
\$28 (\$48)	OCR1BL	Timer/Counter1 – Output Compare Register B Low Byte								114
\$27 (\$47)	ICR1H	Timer/Counter1 – Input Capture Register High Byte								114
\$26 (\$46)	ICR1L	Timer/Counter1 – Input Capture Register Low Byte								114
\$25 (\$45)	TCCR2	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20	128
\$24 (\$44)	TCNT2	Timer/Counter2 (8 Bits)								130
\$23 (\$43)	OCR2	Timer/Counter2 Output Compare Register								130
\$22 (\$42)	ASSR	–	–	–	–	AS2	TCN2UB	OCR2UB	TCR2UB	131
\$21 (\$41)	WDTCSR	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0	43
\$20 ⁽²⁾ (\$40) ⁽²⁾	UBRRH	URSEL	–	–	–	UBRR[11:8]				167
	UCSRC	URSEL	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL	166
\$1F (\$3F)	EEARH	–	–	–	–	–	–	–	EEAR8	19
\$1E (\$3E)	EEARL	EEPROM Address Register Low Byte								19
\$1D (\$3D)	EEDR	EEPROM Data Register								19
\$1C (\$3C)	EEDCR	–	–	–	–	EERIE	EEMWE	EERE	EERE	19
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	66
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	66
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	66
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	66
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	66
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	66
\$15 (\$35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	67
\$14 (\$34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	67
\$13 (\$33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	67
\$12 (\$32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	67
\$11 (\$31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	67
\$10 (\$30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	67
\$0F (\$2F)	SPDR	SPI Data Register								142
\$0E (\$2E)	SPSR	SPIF	WCOL	–	–	–	–	–	SPI2X	142
\$0D (\$2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	140
\$0C (\$2C)	UDR	USART I/O Data Register								163
\$0B (\$2B)	UCSRA	RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM	164
\$0A (\$2A)	UCSRB	RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8	165
\$09 (\$29)	UBRRL	USART Baud Rate Register Low Byte								167
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	202
\$07 (\$27)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	217
\$06 (\$26)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	219
\$05 (\$25)	ADCH	ADC Data Register High Byte								220
\$04 (\$24)	ADCL	ADC Data Register Low Byte								220
\$03 (\$23)	TWDR	Two-wire Serial Interface Data Register								182
\$02 (\$22)	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	182



Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
\$01 (\$21)	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0	181
\$00 (\$20)	TWBR	Two-wire Serial Interface Bit Rate Register								180

- Notes:
1. When the OCDEN Fuse is unprogrammed, the OSCCAL Register is always accessed on this address. Refer to the debug-ger specific documentation for details on how to use the OCDR Register.
 2. Refer to the USART description for details on how to access UBRRH and UCSRC.
 3. For compatibility with future devices, reserved bits should be written to zero if accessed. Reserved I/O memory addresses should never be written.
 4. Some of the Status Flags are cleared by writing a logical one to them. Note that the CBI and SBI instructions will operate on all bits in the I/O Register, writing a one back into any flag read as set, thus clearing the flag. The CBI and SBI instructions work with registers \$00 to \$1F only.



Instruction Set Summary

Mnemonics	Operands	Description	Operation	Flags	#Clocks
ARITHMETIC AND LOGIC INSTRUCTIONS					
ADD	Rd, Rr	Add two Registers	$Rd \leftarrow Rd + Rr$	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry two Registers	$Rd \leftarrow Rd + Rr + C$	Z,C,N,V,H	1
ADIW	RdI,K	Add Immediate to Word	$Rdh:Rdl \leftarrow Rdh:Rdl + K$	Z,C,N,V,S	2
SUB	Rd, Rr	Subtract two Registers	$Rd \leftarrow Rd - Rr$	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	$Rd \leftarrow Rd - K$	Z,C,N,V,H	1
SBC	Rd, Rr	Subtract with Carry two Registers	$Rd \leftarrow Rd - Rr - C$	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	$Rd \leftarrow Rd - K - C$	Z,C,N,V,H	1
SBIW	RdI,K	Subtract Immediate from Word	$Rdh:Rdl \leftarrow Rdh:Rdl - K$	Z,C,N,V,S	2
AND	Rd, Rr	Logical AND Registers	$Rd \leftarrow Rd \bullet Rr$	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	$Rd \leftarrow Rd \bullet K$	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	$Rd \leftarrow Rd \vee Rr$	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	$Rd \leftarrow Rd \vee K$	Z,N,V	1
EOR	Rd, Rr	Exclusive OR Registers	$Rd \leftarrow Rd \oplus Rr$	Z,N,V	1
COM	Rd	One's Complement	$Rd \leftarrow \$FF - Rd$	Z,C,N,V	1
NEG	Rd	Two's Complement	$Rd \leftarrow \$00 - Rd$	Z,C,N,V,H	1
SBR	Rd,K	Set Bit(s) in Register	$Rd \leftarrow Rd \vee K$	Z,N,V	1
CBR	Rd,K	Clear Bit(s) in Register	$Rd \leftarrow Rd \bullet (\$FF - K)$	Z,N,V	1
INC	Rd	Increment	$Rd \leftarrow Rd + 1$	Z,N,V	1
DEC	Rd	Decrement	$Rd \leftarrow Rd - 1$	Z,N,V	1
TST	Rd	Test for Zero or Minus	$Rd \leftarrow Rd \bullet Rd$	Z,N,V	1
CLR	Rd	Clear Register	$Rd \leftarrow Rd \oplus Rd$	Z,N,V	1
SER	Rd	Set Register	$Rd \leftarrow \$FF$	None	1
MUL	Rd, Rr	Multiply Unsigned	$R1:R0 \leftarrow Rd \times Rr$	Z,C	2
MULS	Rd, Rr	Multiply Signed	$R1:R0 \leftarrow Rd \times Rr$	Z,C	2
MULSU	Rd, Rr	Multiply Signed with Unsigned	$R1:R0 \leftarrow Rd \times Rr$	Z,C	2
FMUL	Rd, Rr	Fractional Multiply Unsigned	$R1:R0 \leftarrow (Rd \times Rr) \lll 1$	Z,C	2
FMULS	Rd, Rr	Fractional Multiply Signed	$R1:R0 \leftarrow (Rd \times Rr) \lll 1$	Z,C	2
FMULSU	Rd, Rr	Fractional Multiply Signed with Unsigned	$R1:R0 \leftarrow (Rd \times Rr) \lll 1$	Z,C	2
BRANCH INSTRUCTIONS					
RJMP	k	Relative Jump	$PC \leftarrow PC + k + 1$	None	2
IJMP		Indirect Jump to (Z)	$PC \leftarrow Z$	None	2
JMP	k	Direct Jump	$PC \leftarrow k$	None	3
RCALL	k	Relative Subroutine Call	$PC \leftarrow PC + k + 1$	None	3
ICALL		Indirect Call to (Z)	$PC \leftarrow Z$	None	3
CALL	k	Direct Subroutine Call	$PC \leftarrow k$	None	4
RET		Subroutine Return	$PC \leftarrow STACK$	None	4
RETI		Interrupt Return	$PC \leftarrow STACK$	I	4
CPSE	Rd,Rr	Compare, Skip if Equal	if $(Rd = Rr) PC \leftarrow PC + 2$ or 3	None	1 / 2 / 3
CP	Rd,Rr	Compare	$Rd - Rr$	Z, N, V, C, H	1
CPC	Rd,Rr	Compare with Carry	$Rd - Rr - C$	Z, N, V, C, H	1
CPI	Rd,K	Compare Register with Immediate	$Rd - K$	Z, N, V, C, H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if $(Rr(b)=0) PC \leftarrow PC + 2$ or 3	None	1 / 2 / 3
SBRS	Rr, b	Skip if Bit in Register is Set	if $(Rr(b)=1) PC \leftarrow PC + 2$ or 3	None	1 / 2 / 3
SBIC	P, b	Skip if Bit in I/O Register Cleared	if $(P(b)=0) PC \leftarrow PC + 2$ or 3	None	1 / 2 / 3
SBIS	P, b	Skip if Bit in I/O Register is Set	if $(P(b)=1) PC \leftarrow PC + 2$ or 3	None	1 / 2 / 3
BRBS	s, k	Branch if Status Flag Set	if $(SREG(s) = 1) PC \leftarrow PC + k + 1$	None	1 / 2
BRBC	s, k	Branch if Status Flag Cleared	if $(SREG(s) = 0) PC \leftarrow PC + k + 1$	None	1 / 2
BREQ	k	Branch if Equal	if $(Z = 1) PC \leftarrow PC + k + 1$	None	1 / 2
BRNE	k	Branch if Not Equal	if $(Z = 0) PC \leftarrow PC + k + 1$	None	1 / 2
BRCS	k	Branch if Carry Set	if $(C = 1) PC \leftarrow PC + k + 1$	None	1 / 2
BRCC	k	Branch if Carry Cleared	if $(C = 0) PC \leftarrow PC + k + 1$	None	1 / 2
BRSH	k	Branch if Same or Higher	if $(C = 0) PC \leftarrow PC + k + 1$	None	1 / 2
BRLO	k	Branch if Lower	if $(C = 1) PC \leftarrow PC + k + 1$	None	1 / 2
BRMI	k	Branch if Minus	if $(N = 1) PC \leftarrow PC + k + 1$	None	1 / 2
BRPL	k	Branch if Plus	if $(N = 0) PC \leftarrow PC + k + 1$	None	1 / 2
BRGE	k	Branch if Greater or Equal, Signed	if $(N \oplus V = 0) PC \leftarrow PC + k + 1$	None	1 / 2
BRLT	k	Branch if Less Than Zero, Signed	if $(N \oplus V = 1) PC \leftarrow PC + k + 1$	None	1 / 2
BRHS	k	Branch if Half Carry Flag Set	if $(H = 1) PC \leftarrow PC + k + 1$	None	1 / 2
BRHC	k	Branch if Half Carry Flag Cleared	if $(H = 0) PC \leftarrow PC + k + 1$	None	1 / 2
BRTS	k	Branch if T Flag Set	if $(T = 1) PC \leftarrow PC + k + 1$	None	1 / 2
BRTC	k	Branch if T Flag Cleared	if $(T = 0) PC \leftarrow PC + k + 1$	None	1 / 2
BRVS	k	Branch if Overflow Flag is Set	if $(V = 1) PC \leftarrow PC + k + 1$	None	1 / 2
BRVC	k	Branch if Overflow Flag is Cleared	if $(V = 0) PC \leftarrow PC + k + 1$	None	1 / 2

Mnemonics	Operands	Description	Operation	Flags	#Clocks
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then PC ← PC + k + 1	None	1 / 2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then PC ← PC + k + 1	None	1 / 2
DATA TRANSFER INSTRUCTIONS					
MOV	Rd, Rr	Move Between Registers	Rd ← Rr	None	1
MOVW	Rd, Rr	Copy Register Word	Rd+1:Rd ← Rr+1:Rr	None	1
LDI	Rd, K	Load Immediate	Rd ← K	None	1
LD	Rd, X	Load Indirect	Rd ← (X)	None	2
LD	Rd, X+	Load Indirect and Post-Inc.	Rd ← (X), X ← X + 1	None	2
LD	Rd, -X	Load Indirect and Pre-Dec.	X ← X - 1, Rd ← (X)	None	2
LD	Rd, Y	Load Indirect	Rd ← (Y)	None	2
LD	Rd, Y+	Load Indirect and Post-Inc.	Rd ← (Y), Y ← Y + 1	None	2
LD	Rd, -Y	Load Indirect and Pre-Dec.	Y ← Y - 1, Rd ← (Y)	None	2
LDD	Rd, Y+q	Load Indirect with Displacement	Rd ← (Y + q)	None	2
LD	Rd, Z	Load Indirect	Rd ← (Z)	None	2
LD	Rd, Z+	Load Indirect and Post-Inc.	Rd ← (Z), Z ← Z+1	None	2
LD	Rd, -Z	Load Indirect and Pre-Dec.	Z ← Z - 1, Rd ← (Z)	None	2
LDD	Rd, Z+q	Load Indirect with Displacement	Rd ← (Z + q)	None	2
LDS	Rd, k	Load Direct from SRAM	Rd ← (k)	None	2
ST	X, Rr	Store Indirect	(X) ← Rr	None	2
ST	X+, Rr	Store Indirect and Post-Inc.	(X) ← Rr, X ← X + 1	None	2
ST	-X, Rr	Store Indirect and Pre-Dec.	X ← X - 1, (X) ← Rr	None	2
ST	Y, Rr	Store Indirect	(Y) ← Rr	None	2
ST	Y+, Rr	Store Indirect and Post-Inc.	(Y) ← Rr, Y ← Y + 1	None	2
ST	-Y, Rr	Store Indirect and Pre-Dec.	Y ← Y - 1, (Y) ← Rr	None	2
STD	Y+q, Rr	Store Indirect with Displacement	(Y + q) ← Rr	None	2
ST	Z, Rr	Store Indirect	(Z) ← Rr	None	2
ST	Z+, Rr	Store Indirect and Post-Inc.	(Z) ← Rr, Z ← Z + 1	None	2
ST	-Z, Rr	Store Indirect and Pre-Dec.	Z ← Z - 1, (Z) ← Rr	None	2
STD	Z+q, Rr	Store Indirect with Displacement	(Z + q) ← Rr	None	2
STS	k, Rr	Store Direct to SRAM	(k) ← Rr	None	2
LPM		Load Program Memory	R0 ← (Z)	None	3
LPM	Rd, Z	Load Program Memory	Rd ← (Z)	None	3
LPM	Rd, Z+	Load Program Memory and Post-Inc	Rd ← (Z), Z ← Z+1	None	3
SPM		Store Program Memory	(Z) ← R1:R0	None	-
IN	Rd, P	In Port	Rd ← P	None	1
OUT	P, Rr	Out Port	P ← Rr	None	1
PUSH	Rr	Push Register on Stack	STACK ← Rr	None	2
POP	Rd	Pop Register from Stack	Rd ← STACK	None	2
BIT AND BIT-TEST INSTRUCTIONS					
SBI	P, b	Set Bit in I/O Register	I/O(P, b) ← 1	None	2
CBI	P, b	Clear Bit in I/O Register	I/O(P, b) ← 0	None	2
LSL	Rd	Logical Shift Left	Rd(n+1) ← Rd(n), Rd(0) ← 0	Z, C, N, V	1
LSR	Rd	Logical Shift Right	Rd(n) ← Rd(n+1), Rd(7) ← 0	Z, C, N, V	1
ROL	Rd	Rotate Left Through Carry	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	Z, C, N, V	1
ROR	Rd	Rotate Right Through Carry	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	Z, C, N, V	1
ASR	Rd	Arithmetic Shift Right	Rd(n) ← Rd(n+1), n=0..6	Z, C, N, V	1
SWAP	Rd	Swap Nibbles	Rd(3..0) ← Rd(7..4), Rd(7..4) ← Rd(3..0)	None	1
BSET	s	Flag Set	SREG(s) ← 1	SREG(s)	1
BCLR	s	Flag Clear	SREG(s) ← 0	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	T ← Rr(b)	T	1
BLD	Rd, b	Bit load from T to Register	Rd(b) ← T	None	1
SEC		Set Carry	C ← 1	C	1
CLC		Clear Carry	C ← 0	C	1
SEN		Set Negative Flag	N ← 1	N	1
CLN		Clear Negative Flag	N ← 0	N	1
SEZ		Set Zero Flag	Z ← 1	Z	1
CLZ		Clear Zero Flag	Z ← 0	Z	1
SEI		Global Interrupt Enable	I ← 1	I	1
CLI		Global Interrupt Disable	I ← 0	I	1
SES		Set Signed Test Flag	S ← 1	S	1
CLS		Clear Signed Test Flag	S ← 0	S	1
SEV		Set Twos Complement Overflow	V ← 1	V	1
CLV		Clear Twos Complement Overflow	V ← 0	V	1
SET		Set T in SREG	T ← 1	T	1
CLT		Clear T in SREG	T ← 0	T	1
SEH		Set Half Carry Flag in SREG	H ← 1	H	1

Mnemonics	Operands	Description	Operation	Flags	#Clocks
CLH		Clear Half Carry Flag in SREG	H ← 0	H	1
MCU CONTROL INSTRUCTIONS					
NOP		No Operation		None	1
SLEEP		Sleep	(see specific descr. for Sleep function)	None	1
WDR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1
BREAK		Break	For On-Chip Debug Only	None	N/A



Ordering Information

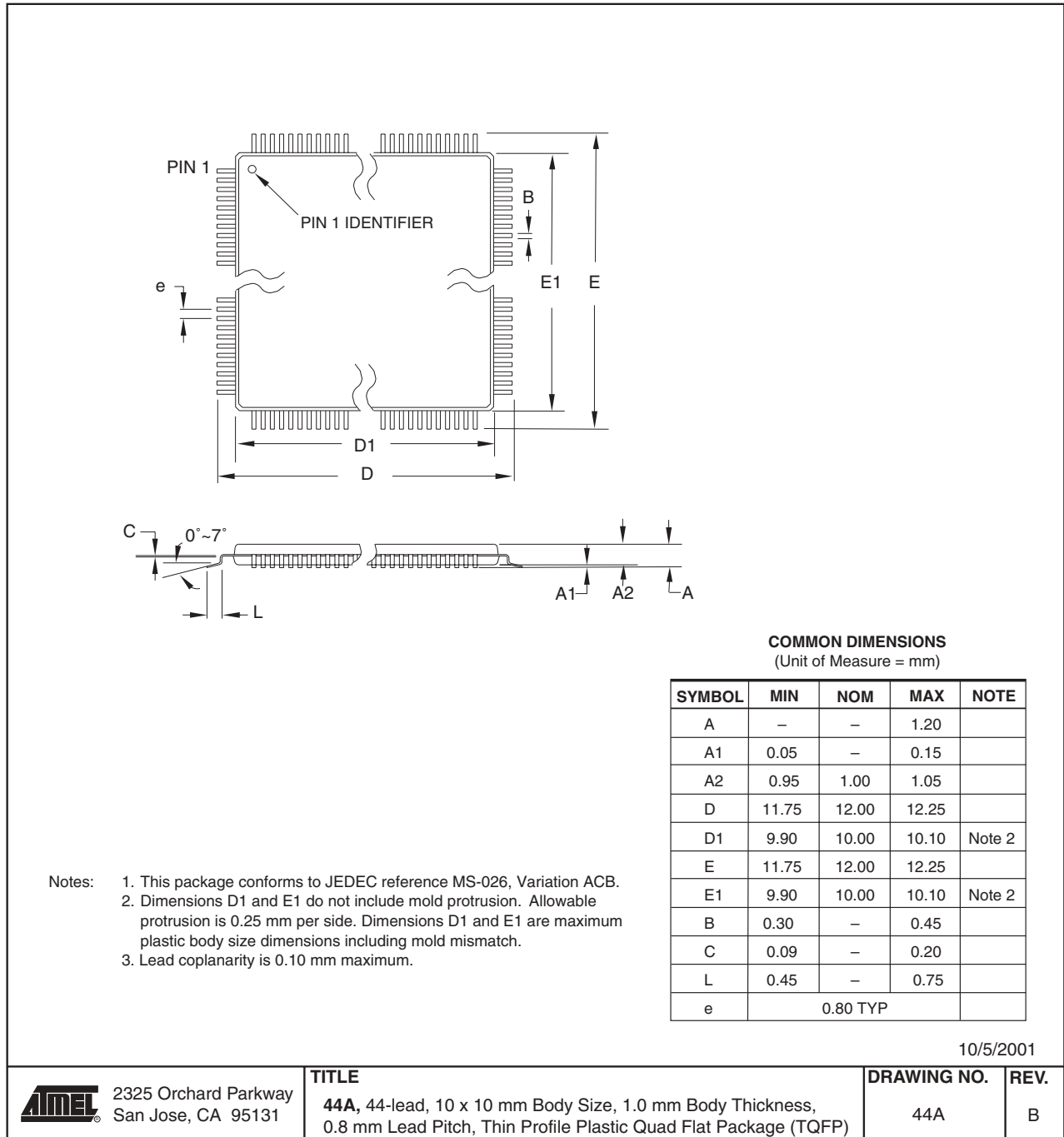
Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range		
8	2.7 - 5.5V	ATmega16L-8AC	44A	Commercial (0°C to 70°C)		
		ATmega16L-8PC	40P6			
		ATmega16L-8MC	44M1			
				ATmega16L-8AI	44A	Industrial (-40°C to 85°C)
				ATmega16L-8AU ⁽¹⁾	44A	
				ATmega16L-8PI	40P6	
				ATmega16L-8PU ⁽¹⁾	40P6	
		ATmega16L-8MI	44M1			
		ATmega16L-8MU ⁽¹⁾	44M1			
16	4.5 - 5.5V	ATmega16-16AC	44A	Commercial (0°C to 70°C)		
		ATmega16-16PC	40P6			
		ATmega16-16MC	44M1			
				ATmega16-16AI	44A	Industrial (-40°C to 85°C)
				ATmega16-16AU ⁽¹⁾	44A	
				ATmega16-16PI	40P6	
				ATmega16-16PU ⁽¹⁾	40P6	
				ATmega16-16MI	44M1	
				ATmega16-16MU ⁽¹⁾	44M1	

Note: 1. Pb-free packaging alternative, complies to the European Directive for Restriction of Hazardous Substances (RoHS directive). Also Halide free and fully Green.

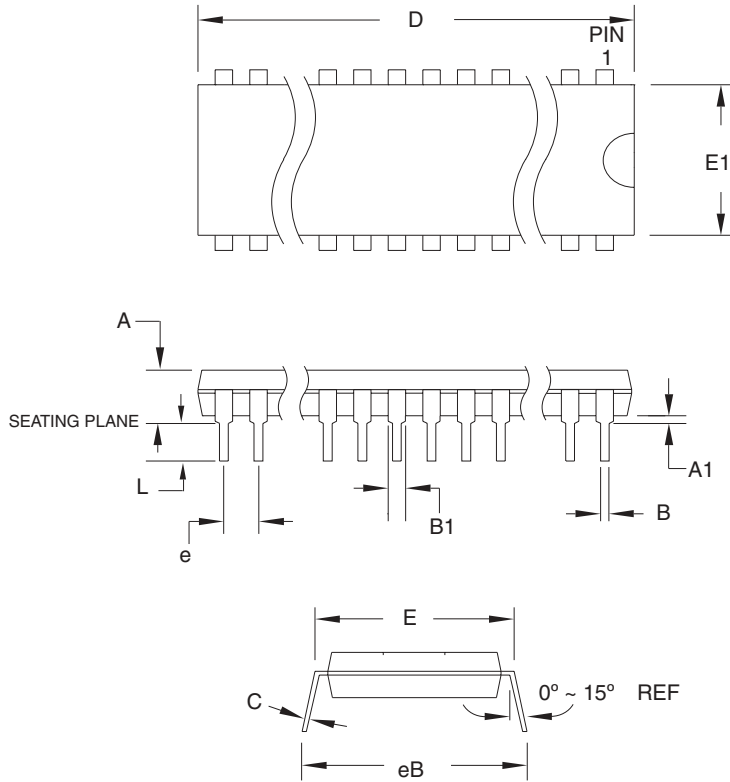
Package Type	
44A	44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flat Package (TQFP)
40P6	40-pin, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44M1	44-pad, 7 x 7 x 1.0 mm body, lead pitch 0.50 mm, Quad Flat No-Lead/Micro Lead Frame Package (QFN/MLF)

Packaging Information

44A



40P6



COMMON DIMENSIONS
(Unit of Measure = mm)

SYMBOL	MIN	NOM	MAX	NOTE
A	–	–	4.826	
A1	0.381	–	–	
D	52.070	–	52.578	Note 2
E	15.240	–	15.875	
E1	13.462	–	13.970	Note 2
B	0.356	–	0.559	
B1	1.041	–	1.651	
L	3.048	–	3.556	
C	0.203	–	0.381	
eB	15.494	–	17.526	
e	2.540 TYP			

- Notes: 1. This package conforms to JEDEC reference MS-011, Variation AC.
2. Dimensions D and E1 do not include mold Flash or Protrusion.
Mold Flash or Protrusion shall not exceed 0.25 mm (0.010").

09/28/01



2325 Orchard Parkway
San Jose, CA 95131

TITLE

40P6, 40-lead (0.600"/15.24 mm Wide) Plastic Dual
Inline Package (PDIP)

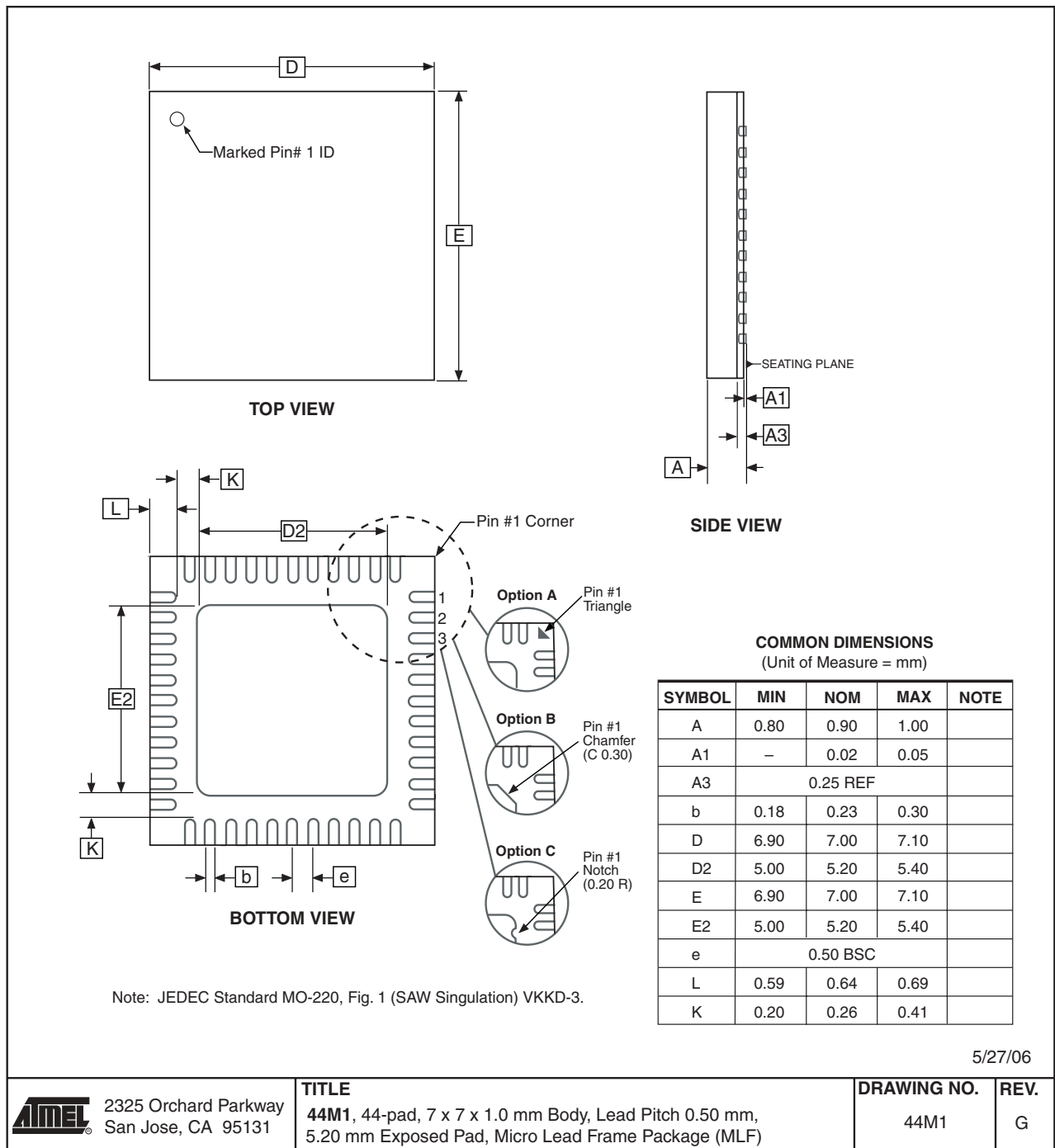
DRAWING NO.

40P6

REV.

B

44M1



Errata

The revision letter in this section refers to the revision of the ATmega16 device.

ATmega16(L) Rev. M

- First Analog Comparator conversion may be delayed
- Interrupts may be lost when writing the timer registers in the asynchronous timer
- IDCODE masks data from TDI input
- Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request

1. First Analog Comparator conversion may be delayed

If the device is powered by a slow rising V_{CC} , the first Analog Comparator conversion will take longer than expected on some devices.

Problem Fix/Workaround

When the device has been powered or reset, disable then enable the Analog Comparator before the first conversion.

2. Interrupts may be lost when writing the timer registers in the asynchronous timer

If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

Problem Fix/Workaround

Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. IDCODE masks data from TDI input

The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

Problem Fix / Workaround

- If ATmega16 is the only device in the scan chain, the problem is not visible.
- Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
- If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the first device in the chain.

4. Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request.

Reading EEPROM by using the ST or STS command to set the EERE bit in the EECR register triggers an unexpected EEPROM interrupt request.

Problem Fix / Workaround

Always use OUT or SBI to set EERE in EECR.

ATmega16(L) Rev. L

- First Analog Comparator conversion may be delayed
- Interrupts may be lost when writing the timer registers in the asynchronous timer
- IDCODE masks data from TDI input
- Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request

1. First Analog Comparator conversion may be delayed

If the device is powered by a slow rising V_{CC} , the first Analog Comparator conversion will take longer than expected on some devices.

Problem Fix/Workaround

When the device has been powered or reset, disable then enable the Analog Comparator before the first conversion.

2. Interrupts may be lost when writing the timer registers in the asynchronous timer

If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

Problem Fix/Workaround

Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. IDCODE masks data from TDI input

The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

Problem Fix / Workaround

- If ATmega16 is the only device in the scan chain, the problem is not visible.
- Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
- If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the first device in the chain.

4. Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request.

Reading EEPROM by using the ST or STS command to set the EERE bit in the EECR register triggers an unexpected EEPROM interrupt request.

Problem Fix / Workaround

Always use OUT or SBI to set EERE in EECR.

ATmega16(L) Rev. K

- First Analog Comparator conversion may be delayed
- Interrupts may be lost when writing the timer registers in the asynchronous timer
- IDCODE masks data from TDI input
- Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request

1. First Analog Comparator conversion may be delayed

If the device is powered by a slow rising V_{CC} , the first Analog Comparator conversion will take longer than expected on some devices.

Problem Fix/Workaround

When the device has been powered or reset, disable then enable the Analog Comparator before the first conversion.

2. Interrupts may be lost when writing the timer registers in the asynchronous timer

If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

Problem Fix/Workaround

Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. IDCODE masks data from TDI input

The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

Problem Fix / Workaround

- If ATmega16 is the only device in the scan chain, the problem is not visible.
- Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
- If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the first device in the chain.

4. Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request.

Reading EEPROM by using the ST or STS command to set the EERE bit in the EECR register triggers an unexpected EEPROM interrupt request.

Problem Fix / Workaround

Always use OUT or SBI to set EERE in EECR.

ATmega16(L) Rev. J

- First Analog Comparator conversion may be delayed
- Interrupts may be lost when writing the timer registers in the asynchronous timer
- IDCODE masks data from TDI input
- Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request

1. First Analog Comparator conversion may be delayed

If the device is powered by a slow rising V_{CC} , the first Analog Comparator conversion will take longer than expected on some devices.

Problem Fix/Workaround

When the device has been powered or reset, disable then enable the Analog Comparator before the first conversion.

2. Interrupts may be lost when writing the timer registers in the asynchronous timer

If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

Problem Fix/Workaround

Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. IDCODE masks data from TDI input

The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

Problem Fix / Workaround

- If ATmega16 is the only device in the scan chain, the problem is not visible.
- Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.

- If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the first device in the chain.

4. Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request.

Reading EEPROM by using the ST or STS command to set the EERE bit in the EECR register triggers an unexpected EEPROM interrupt request.

Problem Fix / Workaround

Always use OUT or SBI to set EERE in EECR.

ATmega16(L) Rev.

- First Analog Comparator conversion may be delayed
- Interrupts may be lost when writing the timer registers in the asynchronous timer
- IDCODE masks data from TDI input
- Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request

1. First Analog Comparator conversion may be delayed

If the device is powered by a slow rising V_{CC} , the first Analog Comparator conversion will take longer than expected on some devices.

Problem Fix/Workaround

When the device has been powered or reset, disable then enable the Analog Comparator before the first conversion.

2. Interrupts may be lost when writing the timer registers in the asynchronous timer

If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

Problem Fix/Workaround

Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. IDCODE masks data from TDI input

The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

Problem Fix / Workaround

- If ATmega16 is the only device in the scan chain, the problem is not visible.
- Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
- If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the first device in the chain.

4. Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request.

Reading EEPROM by using the ST or STS command to set the EERE bit in the EECR register triggers an unexpected EEPROM interrupt request.

Problem Fix / Workaround

Always use OUT or SBI to set EERE in EECR.

ATmega16(L) Rev. H

- First Analog Comparator conversion may be delayed
- Interrupts may be lost when writing the timer registers in the asynchronous timer
- IDCODE masks data from TDI input
- Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request

1. First Analog Comparator conversion may be delayed

If the device is powered by a slow rising V_{CC} , the first Analog Comparator conversion will take longer than expected on some devices.

Problem Fix/Workaround

When the device has been powered or reset, disable then enable the Analog Comparator before the first conversion.

2. Interrupts may be lost when writing the timer registers in the asynchronous timer

If one of the timer registers which is synchronized to the asynchronous timer2 clock is written in the cycle before a overflow interrupt occurs, the interrupt may be lost.

Problem Fix/Workaround

Always check that the Timer2 Timer/Counter register, TCNT2, does not have the value 0xFF before writing the Timer2 Control Register, TCCR2, or Output Compare Register, OCR2

3. IDCODE masks data from TDI input

The JTAG instruction IDCODE is not working correctly. Data to succeeding devices are replaced by all-ones during Update-DR.

Problem Fix / Workaround

- If ATmega16 is the only device in the scan chain, the problem is not visible.
- Select the Device ID Register of the ATmega16 by issuing the IDCODE instruction or by entering the Test-Logic-Reset state of the TAP controller to read out the contents of its Device ID Register and possibly data from succeeding devices of the scan chain. Issue the BYPASS instruction to the ATmega16 while reading the Device ID Registers of preceding devices of the boundary scan chain.
- If the Device IDs of all devices in the boundary scan chain must be captured simultaneously, the ATmega16 must be the first device in the chain.

4. Reading EEPROM by using ST or STS to set EERE bit triggers unexpected interrupt request.

Reading EEPROM by using the ST or STS command to set the EERE bit in the EECR register triggers an unexpected EEPROM interrupt request.

Problem Fix / Workaround

Always use OUT or SBI to set EERE in EECR.

Datasheet Revision History

Please note that the referring page numbers in this section are referred to this document. The referring revision in this section are referring to the document revision.

Rev. 2466P-08/07

1. Updated **“Features”** on page 1.
2. Added **“Data Retention”** on page 6.
3. Updated **“Errata”** on page 16.
4. Updated **“Slave Mode”** on page 140.

Rev. 2466O-03/07

1. Updated **“Calibrated Internal RC Oscillator”** on page 29.
2. Updated C code example in **“USART Initialization”** on page 149.
3. Updated **“ATmega16 Boundary-scan Order”** on page 241.
4. Removed **“preliminary”** from **“ADC Characteristics”** on page 297.
5. Updated from V to mV in **“I/O Pin Input Hysteresis vs. VCC”** on page 317.
6. Updated from V to mV in **“Reset Input Pin Hysteresis vs. VCC”** on page 318.

Rev. 2466N-10/06

1. Updated **“Timer/Counter Oscillator”** on page 31.
2. Updated **“Fast PWM Mode”** on page 102.
3. Updated **Table 38 on page 83, Table 40 on page 84, Table 45 on page 111, Table 47 on page 112, Table 50 on page 128 and Table 52 on page 129.**
4. Updated C code example in **“USART Initialization”** on page 149.
5. Updated **“Errata”** on page 16.

Rev. 2466M-04/06

1. Updated typos.
2. Updated **“Serial Peripheral Interface – SPI”** on page 135.
3. Updated **Table 86 on page 221, Table 116 on page 276, Table 121 on page 295 and Table 122 on page 297.**

Rev. 2466L-06/05

1. Updated note in **“Bit Rate Generator Unit”** on page 178.
2. Updated values for V_{INT} in **“ADC Characteristics”** on page 297.
3. Updated **“Serial Programming Instruction set”** on page 276.
4. Updated USART init C-code example in **“USART”** on page 144.

Rev. 2466K-04/05

1. Updated **“Ordering Information”** on page 12.

2. MLF-package alternative changed to “Quad Flat No-Lead/Micro Lead Frame Package QFN/MLF”.
3. Updated “[Electrical Characteristics](#)” on page 291.

Rev. 2466J-10/04

1. Updated “[Ordering Information](#)” on page 12.

Rev. 2466I-10/04

1. Removed references to analog ground.
2. Updated [Table 7](#) on page 28, [Table 15](#) on page 38, [Table 16](#) on page 42, [Table 81](#) on page 209, [Table 116](#) on page 276, and [Table 119](#) on page 293.
3. Updated “[Pinout ATmega16](#)” on page 2.
4. Updated features in “[Analog to Digital Converter](#)” on page 204.
5. Updated “[Version](#)” on page 229.
6. Updated “[Calibration Byte](#)” on page 261.
7. Added “[Page Size](#)” on page 262.

Rev. 2466H-12/03

1. Updated “[Calibrated Internal RC Oscillator](#)” on page 29.

Rev. 2466G-10/03

1. Removed “Preliminary” from the datasheet.
2. Changed ICP to ICP1 in the datasheet.
3. Updated “[JTAG Interface and On-chip Debug System](#)” on page 36.
4. Updated assembly and C code examples in “[Watchdog Timer Control Register – WDTCSR](#)” on page 43.
5. Updated [Figure 46](#) on page 103.
6. Updated [Table 15](#) on page 38, [Table 82](#) on page 217 and [Table 115](#) on page 276.
7. Updated “[Test Access Port – TAP](#)” on page 222 regarding JTAGEN.
8. Updated description for the JTD bit on [page 231](#).
9. Added note 2 to [Figure 126](#) on page 252.
10. Added a note regarding JTAGEN fuse to [Table 105](#) on page 260.
11. Updated Absolute Maximum Ratings* and DC Characteristics in “[Electrical Characteristics](#)” on page 291.
12. Updated “[ATmega16 Typical Characteristics](#)” on page 299.
13. Fixed typo for 16 MHz QFN/MLF package in “[Ordering Information](#)” on page 12.

14. Added a proposal for solving problems regarding the JTAG instruction IDCODE in [“Errata” on page 16](#).

Rev. 2466F-02/03

1. Added note about masking out unused bits when reading the Program Counter in [“Stack Pointer” on page 12](#).
2. Added Chip Erase as a first step in [“Programming the Flash” on page 288](#) and [“Programming the EEPROM” on page 289](#).
3. Added the section [“Unconnected pins” on page 55](#).
4. Added tips on how to disable the OCD system in [“On-chip Debug System” on page 34](#).
5. Removed reference to the [“Multi-purpose Oscillator” application note](#) and [“32 kHz Crystal Oscillator” application note](#), which do not exist.
6. Added information about PWM symmetry for Timer0 and Timer2.
7. Added note in [“Filling the Temporary Buffer \(Page Loading\)” on page 253](#) about writing to the EEPROM during an SPM Page Load.
8. Removed ADHSM completely.
9. Added [Table 73, “TWI Bit Rate Prescaler,” on page 182](#) to describe the TWPS bits in the [“TWI Status Register – TWSR” on page 181](#).
10. Added section [“Default Clock Source” on page 25](#).
11. Added note about frequency variation when using an external clock. Note added in [“External Clock” on page 31](#). An extra row and a note added in [Table 118 on page 293](#).
12. Various minor TWI corrections.
13. Added [“Power Consumption” data in “Features” on page 1](#).
14. Added section [“EEPROM Write During Power-down Sleep Mode” on page 22](#).
15. Added note about Differential Mode with Auto Triggering in [“Prescaling and Conversion Timing” on page 207](#).
16. Added updated [“Packaging Information” on page 13](#).

Rev. 2466E-10/02

1. Updated [“DC Characteristics” on page 291](#).

Rev. 2466D-09/02

1. Changed all Flash write/erase cycles from 1,000 to 10,000.
2. Updated the following tables: [Table 4 on page 26](#), [Table 15 on page 38](#), [Table 42 on page 85](#), [Table 45 on page 111](#), [Table 46 on page 111](#), [Table 59 on page 143](#), [Table 67 on page 167](#), [Table 90 on page 235](#), [Table 102 on page 258](#), [“DC Characteristics” on page 291](#), [Table 119 on page 293](#), [Table 121 on page 295](#), and [Table 122 on page 297](#).
3. Updated [“Errata” on page 16](#).

1. Updated typical EEPROM programming time, [Table 1 on page 20](#).
2. Updated typical start-up time in the following tables:
[Table 3 on page 25](#), [Table 5 on page 27](#), [Table 6 on page 28](#), [Table 8 on page 29](#), [Table 9 on page 29](#), and [Table 10 on page 29](#).
3. Updated [Table 17 on page 43](#) with typical WDT Time-out.
4. **Added Some Preliminary Test Limits and Characterization Data.**
Removed some of the TBD's in the following tables and pages:
[Table 15 on page 38](#), [Table 16 on page 42](#), [Table 116 on page 272](#) (table removed in document review #D), [“Electrical Characteristics” on page 291](#), [Table 119 on page 293](#), [Table 121 on page 295](#), and [Table 122 on page 297](#).
5. **Updated TWI Chapter.**
Added the note at the end of the [“Bit Rate Generator Unit” on page 178](#).
6. **Corrected description of ADSC bit in “ADC Control and Status Register A – ADCSRA” on page 219.**
7. **Improved description on how to do a polarity check of the ADC doff results in “ADC Conversion Result” on page 216.**
8. **Added JTAG version number for rev. H in [Table 87 on page 229](#).**
9. **Added note regarding OCDEN Fuse below [Table 105 on page 260](#).**
10. **Updated Programming Figures:**
[Figure 127 on page 262](#) and [Figure 136 on page 273](#) are updated to also reflect that AVCC must be connected during Programming mode. [Figure 131 on page 269](#) added to illustrate how to program the fuses.
11. **Added a note regarding usage of the “PROG_PAGELOAD (\$6)” on page 280 and “PROG_PAGEREAD (\$7)” on page 280.**
12. **Removed alternative algorithm for leaving JTAG Programming mode.**
See [“Leaving Programming Mode” on page 288](#).
13. **Added Calibrated RC Oscillator characterization curves in section “ATmega16 Typical Characteristics” on page 299.**
14. **Corrected ordering code for QFN/MLF package (16MHz) in “Ordering Information” on page 12.**
15. **Corrected [Table 90](#), “Scan Signals for the Oscillators(1)(2)(3),” on page 235.**



Headquarters

Atmel Corporation
2325 Orchard Parkway
San Jose, CA 95131
USA
Tel: 1(408) 441-0311
Fax: 1(408) 487-2600

International

Atmel Asia
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimshatsui
East Kowloon
Hong Kong
Tel: (852) 2721-9778
Fax: (852) 2722-1369

Atmel Europe
Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
Tel: (33) 1-30-60-70-00
Fax: (33) 1-30-60-71-11

Atmel Japan
9F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
Tel: (81) 3-3523-3551
Fax: (81) 3-3523-7581

Product Contact

Web Site
www.atmel.com

Technical Support
avr@atmel.com

Sales Contact
www.atmel.com/contacts

Literature Requests
www.atmel.com/literature

Disclaimer: The information in this document is provided in connection with Atmel products. No license, express or implied, by estoppel or otherwise, to any intellectual property right is granted by this document or in connection with the sale of Atmel products. **EXCEPT AS SET FORTH IN ATMEL'S TERMS AND CONDITIONS OF SALE LOCATED ON ATMEL'S WEB SITE, ATMEL ASSUMES NO LIABILITY WHATSOEVER AND DISCLAIMS ANY EXPRESS, IMPLIED OR STATUTORY WARRANTY RELATING TO ITS PRODUCTS INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTY OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NON-INFRINGEMENT. IN NO EVENT SHALL ATMEL BE LIABLE FOR ANY DIRECT, INDIRECT, CONSEQUENTIAL, PUNITIVE, SPECIAL OR INCIDENTAL DAMAGES (INCLUDING, WITHOUT LIMITATION, DAMAGES FOR LOSS OF PROFITS, BUSINESS INTERRUPTION, OR LOSS OF INFORMATION) ARISING OUT OF THE USE OR INABILITY TO USE THIS DOCUMENT, EVEN IF ATMEL HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.** Atmel makes no representations or warranties with respect to the accuracy or completeness of the contents of this document and reserves the right to make changes to specifications and product descriptions at any time without notice. Atmel does not make any commitment to update the information contained herein. Unless specifically provided otherwise, Atmel products are not suitable for, and shall not be used in, automotive applications. Atmel's products are not intended, authorized, or warranted for use as components in applications intended to support or sustain life.

© 2007 Atmel Corporation. All rights reserved. Atmel®, logo and combinations thereof, AVR® and others are registered trademarks or trademarks of Atmel Corporation or its subsidiaries. Other terms and product names may be trademarks of others.